

# Capítulo 3

## Interfaces LVDS

### 3.1. Introducción

Las prestaciones de los sistemas digitales modernos se han visto increíblemente beneficiadas de la evolución de la microelectrónica. No obstante, los consumidores demandan de sus sistemas una capacidad de procesar y comunicar datos que supone un reto para las arquitecturas actuales, basadas en el manejo en paralelo de la información. Además, las aplicaciones actuales (nuevas placas bases, enlaces ópticos de comunicaciones, concentradores, conmutadores y enrutadores inteligentes,...) requieren una velocidad del orden de Gbps en la comunicación entre los distintos chips. A estas tasas los esquemas paralelo actuales presentan grandes problemas, relacionados sobre todo con la dificultad de mantener igualados los retrasos asociados a cada una de las líneas del bus. Esto se traduce en un incremento de los costes, tanto de encapsulado del circuito integrado como de rutado de la placa de circuito impreso (PCB) sobre la que se use.

Por las razones anteriores, se ha observado en la industria una tendencia en sustituir las antiguas interfaces paralelas por nuevas interfaces serie de alta velocidad, de forma que se puedan conseguir mayores tasas de transmisión globales sin los problemas de sincronización ya mencionados. De hecho, los buses internos para comunicar la CPU y el disco duro en los ordenadores modernos han dejado de ser paralelos: el sistema ATA ha sido sustituido por el bus ATA serie. Los buses en las placas madre se implementan usando PCI-Express (un bus serie) en vez de PCI (una solución paralela). Además de estos, podríamos citar más ejemplos en otros ámbitos: USB, Fire-Wire,...

En este contexto, las interfaces basadas en LVDS (*Low Voltage Differential Signalling*) [26]-[27] son capaces de soportar altas tasas de transferencia de información (desde 100 Mbps hasta algunos Gbps) y, a la vez, reducir significativamente el consumo de potencia (del orden de algunos mW) con respecto a otras tecnologías con las que compite. Además de ésta, se pueden citar las siguientes ventajas que afectan a la operación del enlace de comunicaciones:

- Compatibilidad con los nuevos esquemas de bajo consumo para el diseño de circuitos.
- Operación en condiciones de bajo ruido y con un alto grado de rechazo al ruido captado

en modo común.

- Utilización de una señalización robusta para la transferencia de datos.
- Facilidad para integrar las interfaces a nivel de sistema en circuitos integrados complejos.

LVDS fue introducida por National Semiconductor como un estándar en 1994 para dar respuesta a una necesidad detectada en el mercado: el crecimiento exponencial de la demanda de ancho de banda, manteniendo un bajo consumo de potencia. El objetivo era generar un estándar capaz de superar las tasas ofrecidas por otros ya existentes para la transferencia serie (como RS-422 y RS-485). Por otro lado, en esa época estaban disponibles los sistemas ECL (*Emitter-Coupled Logic*) o PCL (*Emitter Coupled Logic*) que, en cierta forma, prestaban un servicio similar al de LVDS. No obstante, presentaban una serie de limitaciones que los hacían poco adecuados para un uso masivo industrial: no eran compatibles con los niveles lógicos estándar, usaba raíles de alimentación negativa y presentan un consumo mayor.

### 3.2. Generalidades de la interfaz

LVDS es diferencial, por lo que utiliza dos líneas para la transferencia de información. Esto parece un inconveniente, puesto que para transmitir los datos necesitamos el doble de hardware. Sin embargo, también es un esquema de transmisión serie, por lo que se pueden multiplexar varios canales sobre un único enlace. Esto hace que, por ejemplo, cuando se transmitan varios canales sobre el mismo enlace el sistema LVDS sea más eficiente en cuanto al consumo de recursos.

Una de las razones que llevó a usar la transmisión en modo diferencial fue que así el enlace era mucho menos sensible al ruido de modo común en comparación con los esquemas de transmisión unipolares. La razón es que cuando un cierto ruido se acopla en los dos hilos que transportan las señales diferenciales, lo hace por igual en ambos (si el sistema se ha diseñado cuidadosamente), por lo que se traduce en una componente de modo común. Como los receptores sólo procesan el modo diferencial, rechazando el modo común, esta componente de ruido que se ha acoplado es eliminada, permitiendo un funcionamiento a velocidades mayores. Por otro lado, las señales diferenciales tienden a radiar menos ruido que las unipolares debido a la cancelación de los campos que se produce. Además, la transmisión en modo corriente es menos propensa a producir cambios abruptos en la señal debido a las conmutaciones y es mucho más estable.

Debido a la mejora en la relación señal ruido que supone el procesado en modo diferencial, las señales LVDS presentan una excursión del orden de unos cuantos cientos de milivoltios. Esto permite transmitir mayores tasas al ser los tiempos de subida de las señales mucho menores, pues no tienen que llegar hasta los raíles de polarización. Además, permite reducir el consumo de potencia con respecto a otras tecnologías que utilizan excursiones de raíl a raíl o mayores que del orden de mV. Al usar un driver en modo corriente, también podemos conseguir que el consumo de potencia sea prácticamente plano con respecto a la frecuencia, al ser muy pequeños

los picos provocados por la conmutación de las señales. Esto hace que al aumentar la velocidad de conmutación, el consumo no se dispare exponencialmente.

La figura 3.1 nos muestra un esquema simplificado de cómo es el funcionamiento de una interfaz LVDS. En ella, se pueden distinguir los elementos básicos de cualquier sistema de comunicaciones: un transmisor, un canal de comunicaciones y un receptor. El transmisor no es más que una fuente de corriente conmutada que, según la señal de entrada, genera en una resistencia de terminación de línea una caída de tensión cuya polaridad depende de la polaridad de la fuente. A grandes rasgos, el receptor no es más que un comparador que procesa el modo diferencial de la señal, rechazando la componente de modo común. La misión principal de este bloque es la de pasar de los rangos LVDS a una salida raíl a raíl compatible con los niveles de la lógica CMOS que vaya a procesar la señal digital.

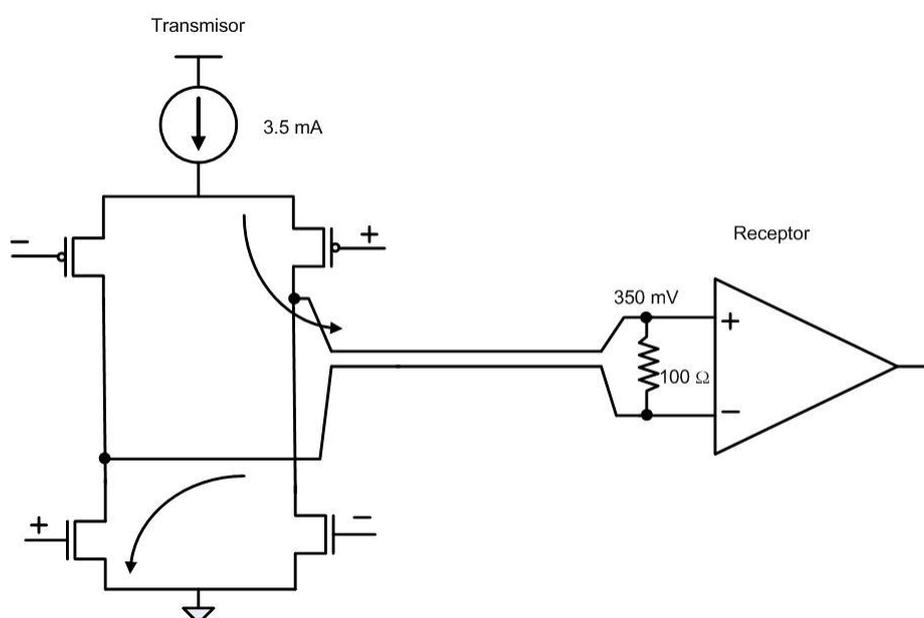


Figura 3.1: Esquema simplificado de una interfaz LVDS

El valor nominal de la corriente que se usa para generar la señal LVDS es de 3.5 mA y se aplica sobre una resistencia de 100 Ω, por lo que la excursión de la señal diferencial que procesa el receptor es del orden de 350 mV. Por tanto, la potencia típica que se entrega a la carga viene a ser del orden de 1.2 mW, lo cual supone una mejora sustancial con respecto a otros sistemas. Por otro lado, la mayor parte de los drivers y de los receptores LVDS se implementan en CMOS, con lo cual el consumo de potencia estático se ve muy reducido por las propias características de la tecnología. Para dar una idea del ahorro en consumo de potencia que se tiene, valga la comparación con RS-422 que genera una caída de 3V sobre una resistencia de 100 Ω, lo que supone un consumo de 90 mW (del orden de 75 veces más que LVDS).

La máxima velocidad de conmutación de LVDS es una cuestión compleja cuya respuesta depende de una gran cantidad de factores: el rendimiento del driver y el receptor que se utilice, el ancho de banda del medio de transmisión y la calidad de señal requerida por la aplicación.

Puesto que normalmente las salidas del driver suelen ser bastante rápidas, los factores más limitadores suelen ser:

- La velocidad con la que la circuitería digital previa sea capaz de suministrar los datos al driver.
- Las prestaciones en cuanto a ancho de banda del medio de transmisión elegido, además de su longitud.

El impacto en el mercado de las interfaces LVDS ha sido importante y existen numerosos circuitos que se encargan de las tareas de comunicación implicadas. Los circuitos integrados más típicos que podemos encontrar en cualquier interfaz se listan a continuación:

- **Drivers/Receptores:** estos dispositivos se usan básicamente para transformar las señales unipolares de raíl a raíl, que la lógica digital de procesado utilizada, a un formato óptimo para ser transmitidas a través de las pistas de una PCB ó un cable. Estos bloques se encuentran disponibles tanto para interfaces que usen un sólo canal, como en configuraciones multicanal.
- **Serializadores-Deserializadores:** estos circuitos se utilizan para multiplexar un cierto número de señales CMOS de baja velocidad para ser transmitidas a través de un único canal a una tasa mucho mayor. Así se consigue reducir el número de pines y líneas necesarias para transmitir los mismo canales de datos. Debido a esta reducción de la complejidad hardware que suponen, muchas veces estos circuitos se integran junto con la electrónica que procesa los datos.
- **Conmutadores:** LVDS es una solución para establecer las comunicaciones en arquitecturas de red conmutadas, donde el elemento de conmutación tiene que operar a unas tasas muy grandes para soportar todo el tráfico que recibe. Estos conmutadores pueden ser usados por ejemplo para distribuir el reloj entre los elementos de la red, aprovechándose para ello de la robustez de LVDS.

Normalmente los enlaces que utilizan LVDS suelen ser punto a punto. No obstante, la especificación de la tecnología también contempla la posibilidad de construir buses: BLVDS. Esta opción se diferencia de la punto a punto en que se obliga al driver a generar una corriente mayor para poder suministrar suficiente corriente a cada una de las dobles terminaciones que existen en el bus. Usando LVDS es posible solventar algunos de los problemas que se presentaban a la hora de abordar diseños de buses de alta velocidad:

- BLVDS elimina la necesidad de usar líneas de *pull-up* específicas o dispositivos activos para conseguir una correcta terminación de línea.
- Se usan líneas de alimentación estándar (3.3-5 V o incluso inferiores).

- El esquema de terminación de línea es muy simple.
- Minimiza el consumo de potencia debido a las interfaces.
- Genera poco ruido.
- Soporta la inserción de tarjetas en el bus en tiempo real.
- Es capaz de dar corriente suficiente aún con buses muy cargados a velocidades del orden de cientos de Mbps.

Las aplicaciones de la tecnología LVDS, tanto en su versión punto a punto como multipunto, son muy variadas y se encuentran en ámbitos muy diversos. Debido a la versatilidad del estándar y sus prestaciones en cuanto a velocidad y bajo consumo. A modo de ejemplo se muestra una tabla en la que se pueden observar algunos de los ámbitos industriales en los que estas interfaces tienen cabida.

PC/computación	Telecomunicaciones	Electrónica de consumo
Conexión con el monitor	Conmutadores	Enlaces de vídeo domésticos
Conexiones SCI	Multiplexores Add&Drop	Conexiones STB-televisor
Conexiones con la impresora	Routers	Red multimedia aviones
Fotocopiadoras digitales	Hubs	Mandos de los videojuegos
Conexión tarjetas multimedia	Concentradores banda ancha	
Clusters de procesadores	Estaciones base	

### 3.3. Estandarización

LVDS está actualmente estandarizado por la TIA/EIA (*Telecommunication Industry Association/Electronic Industries Association*) a través del estándar ANSI/TIA/EIA-644-A (LVDS). La especificación genérica contenida en este documento surgió en 1995 en el entorno de trabajo del comité TR30.2 dedicado al estudio de interfaces de transmisión de datos. El estándar fue revisado y publicado como tal en 2001, incluyéndose consideraciones acerca de la operación con múltiples receptores (configuración bus). El contenido de la especificación se centra en las características eléctricas de la señal a la salida del transmisor y a la entrada del receptor. Las especificaciones funcionales, protocolos o características de los medios de interconexión se dejan abiertas pues son fuertemente dependientes de la aplicación en la que el sistema vaya a ser empleado. De esta forma, el ANSI/TIA/EIA-644-A trata de ser una referencia para otros estándares que especifican la interfaz completa, incluyendo conectores, protocolos,... Con esto se trató de facilitar la adopción de la tecnología en entornos muy diversos sin poner cortapisas a su uso intensivo.

La siguiente tabla nos muestra la características de la interfaz LVDS especificadas en el estándar.

Especificaciones del transmisor				
Señal	Parámetro	Min	Max	Unit.
$V_{od}$	Voltaje diferencial de salida	247	454	mV
$V_{os}$	Tensión de offset (modo común)	1.125	1.375	V
$\Delta V_{od}$	Diferencia entre amplitud de la salida positiva y negativa		50	mV
$\Delta V_{os}$	Diferencia entre los niveles de offset de las salidas		50	mV
$R_o$	Resistencia de salida del driver	40	140	$\Omega$
$I_{sa}, I_{sb}$	Corriente de cortocircuito		24	mA
$t_r/t_f$	Tiempos de subida y bajada (a 200 Mbps)	0.26	1.5	ns
Especificaciones del receptor				
$V_{th}$	Sensibilidad del receptor		100	mV
$V_{IN}$	Rango de las señales de entrada	0	2.4	V
$R_{in}$	Resistencia de entrada diferencial	90	110	$\Omega$

El estándar de la ANSI/TEIA/EIA recomienda una tasa máxima de 655 Mbps y proporciona una tasa máxima teórica de 1.923 Gbps bajo la asunción de la transmisión de las señales por medios sin pérdidas. Esto permite a estándares superiores que usen LVDS a especificar la máxima tasa permitida sobre el nivel físico en función de la calidad de señal requerida y del tipo y longitud del medio de transmisión especificado. Además de esto, el estándar también se ocupa de las especificaciones medias del medio, modos de operación en condiciones de seguridad bajo ciertas circunstancias de fallo y otros conceptos relacionados con las configuración del enlace de comunicaciones, como por ejemplo el funcionamiento con muchos receptores.

Además del estándar antes mencionado, existe otro promovido por un proyecto de la IEEE. Éste surgió de la necesidad de especificar una interfaz de comunicaciones entre procesadores en sistemas multi-procesador o para agrupar estaciones de trabajo pertenecientes a un clúster. De estos esfuerzos nació SCI (*Scalable Coherent Interface*) que especifica un enlace de comunicaciones basado en una interfaz ECL. Este sistema alcanzaba las necesidades de tasa de transmisión requerida, pero no así los requerimientos de consumo de potencia o integrabilidad. El estándar SCI-LVDS viene a solucionar el problema del consumo y está estandarizado a través de la norma IEEE 1596.3. En ella se hace una especificación eléctrica de la interfaz similar a la que se ha hecho aquí con el ANSI/TIA/EIA-644-A, definiéndose una capa física de bajo consumo para SCI. Además, el estándar establecía la codificación necesaria para la conmutación de paquetes usada en las transferencias de datos usando SCI. No obstante, este estándar fue aprobado en marzo de 1996 y expiró 5 años después, no siendo renovado posteriormente.

La especificación de LVDS se intentó hacer independiente de la tecnología, el medio de transmisión utilizado o la tensión de alimentación usada. Se hizo así con el objeto de que múltiples protocolos y sistemas pudieran implementar su capa física usando LVDS sin que esto supusiera una limitación funcional para los mismos. De esta forma, un driver o un receptor LVDS pueden ser implementados en CMOS, GaAs u otras tecnologías que soporten las velocidades que se manejan. Por otro lado, migrar los circuitos de 5V a 3.3V (o incluso menores) es totalmente transparente a la interfaz y el medio de transmisión se puede elegir según consideraciones económicas

o de ancho de banda.

### 3.4. Comparación con otros estándares

La siguiente tabla muestra una comparación entre LVDS básico y otros estándares para la transmisión serie de información como son PECL y RS-422, que también son usados en la industria.

Parámetro	RS-422	PECL	LVDS
Amplitud diferencial (salida driver)	$\pm 2$ a $\pm 5V$	$\pm 600$ a $1000mV$	$\pm 250 - 450mV$
Sensibilidad entrada receptor	$\pm 200mV$	$\pm 200$ a $300mV$	$\pm 100mV$
Tasa de transmisión	$\leq 30Mbps$	$\geq 400Mbps$	400 Mbps
Corriente polarización driver	60 mA (max)	32 a 65 mA (max)	8 mA
Corriente polarización receptor	23 mA (max)	40 mA (max)	15 mA (max)
Retardo propagación del driver	11 ns (max)	4.5 ns (max)	1.7 ns (max)
Retardo de propagación del receptor	30 ns (max)	7 ns (max)	2.7 ns (max)
Desviación ancho pulso	No esp.	500 ps(max)	400 ps (max)

Podemos observar como las variaciones de señal máximas permitidas en LVDS son del orden de la mitad de las que especifica PECL y de la décima parte de las que se usan en RS-422 e incluso en la lógica TTL/CMOS. Además, para LVDS estas características no se dan para una tensión de alimentación concreta (por ejemplo 5V), por lo que migrar hacia tensiones de alimentación más bajas es una tarea sencilla pues no requiere variar los niveles de señal del estándar. Por contra, tecnologías como ECL y PECL tienen una dependencia mucho mayor con las tensiones de alimentación, lo cual hace difícil adaptar los circuitos de unas tecnologías para otras.

Otra de las diferencias importantes entre LVDS y PECL (que se podría considerar como la tecnología competidora) es la simplicidad de la terminación de línea. Para minimizar las pérdidas por reflexión y poder operar a la máxima velocidad permitida por la electrónica, es necesario terminar el medio de transmisión con su impedancia característica diferencial. Este requerimiento es el mismo tanto si se usa un cable de una determinada impedancia, como si la transmisión se hace a través de trazas de una PCB de impedancia característica controlada. Además de reducir los efectos nocivos de la reflexión de señales, una correcta terminación de impedancias reduce la radiación electromagnética del medio y proporciona una calidad de señal óptima.

Para prevenir reflexiones, LVDS necesita una resistencia de terminación que esté adaptada a la impedancia característica del medio de transmisión. Un valor típico para esta resistencia es de  $100 \Omega$  y suele situarse entre las líneas diferenciales que transportan las señales diferenciales lo más cercana posible de la entrada del receptor. De hecho, muchas veces esta resistencia viene integrada en los propios circuitos integrados que implementan los propios receptores.

La simplicidad del esquema de terminación LVDS hace que sea fácil adaptar su uso en la mayor parte de las aplicaciones. ECL y PECL requieren una mayor complejidad que una única

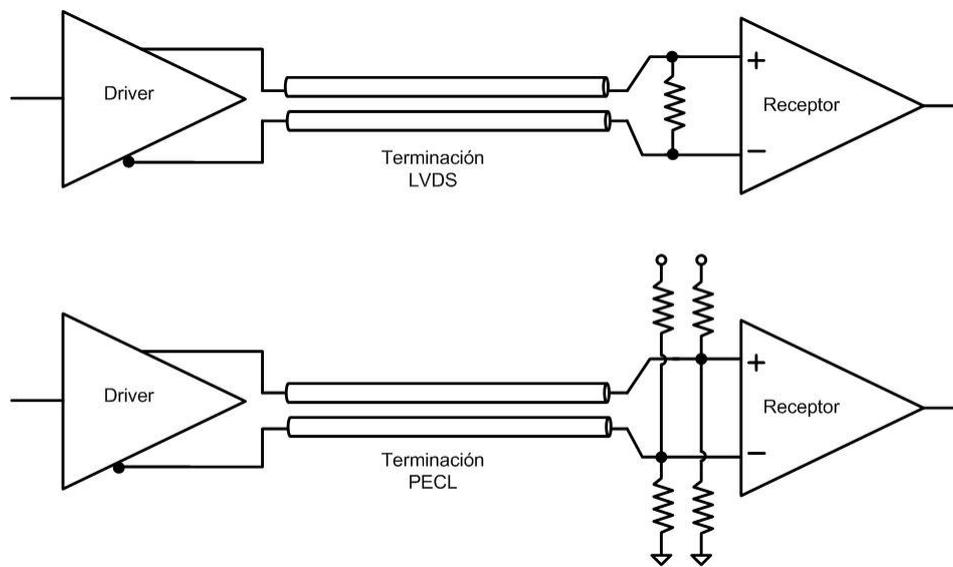


Figura 3.2: Terminación de línea en LVDS y PECL

resistencia, lo cual muchas veces puede ser intolerable. Los receptores PECL deben cumplir varias condiciones para operar correctamente. Por un lado, los receptores tienen que estar polarizados alrededor de un voltio por debajo de  $V_{EE}$ ; por otro lado, las líneas de transmisión deben estar terminadas y debe haber un camino resistivo para la corriente de DC para que pueda fluir hacia fuera del driver. El esquema de conexión asociado a ambas terminaciones se muestra en la figura 3.2.

### 3.5. Configuraciones existentes

La configuración más típica para una interfaz LVDS es la de punto a punto, la cual se muestra en la figura 3.3. Como el camino de señal puede ser controlado con mucha precisión, es la configuración que proporciona una mayor calidad. Así, en este tipo de configuraciones y usando LVDS se pueden transmitir grandes tasas binarias sobre distancias de cable apreciables, consumiendo poca potencia y en condiciones de muy bajo ruido. No obstante, no es la única posibilidad disponible.

LVDS también es una tecnología apropiada para implementar enlaces punto a punto bidireccionales y aplicaciones que impliquen topologías en bus. La figura 3.3 es un ejemplo de una topología bidireccional usando un único cable de pares. En cada instante los datos pueden propagarse solamente en un sentido. Como se necesitan dos resistencias terminales, el margen de ruido diferencial se ve reducido, así como los niveles de señal que se tienen a la entrada de los receptores. Por tanto, esta configuración debe ser considerada cuando estamos en situaciones de bajo ruido y la distancia entre los terminales de la comunicación es corta (10 m).

Por último, también son posibles configuraciones donde se tenga un único driver, pero múltiples receptores. Estas situaciones son típicas en aplicaciones donde se requiere una distribución

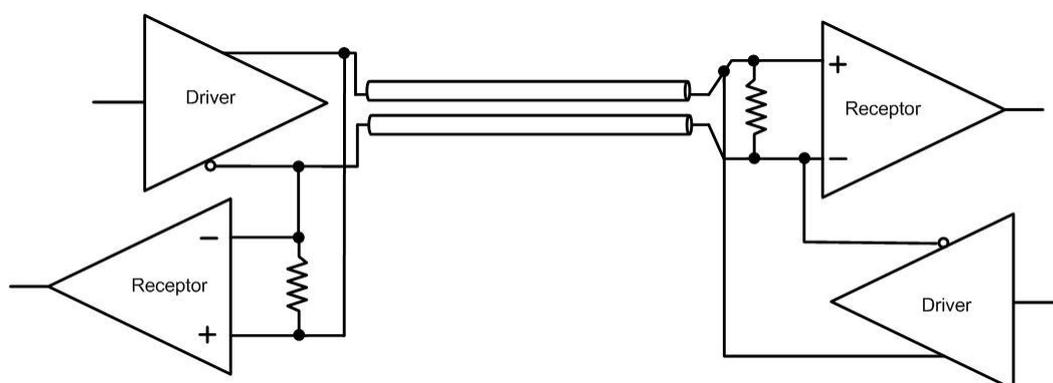


Figura 3.3: Configuración punto a punto half-dúplex

de datos entre distintos puntos. Un requerimiento importante es que los *stubs* que conectan los receptores con el bus deben tener longitudes mínimas (menor de 20 mm, pero es muy dependiente de la aplicación). La figura 3.4 muestra un esquema de las conexiones necesarias en esta configuración.

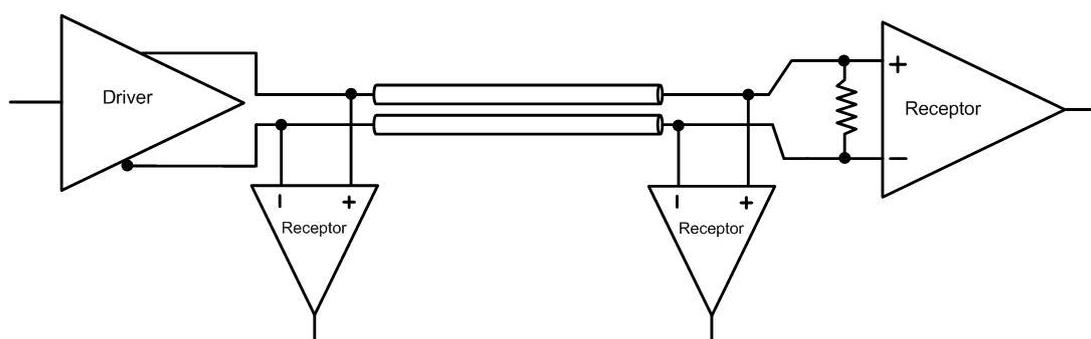


Figura 3.4: Configuración en bus

### 3.6. Integración en FPGAs y ASICs

Los últimos diseños de FPGAs (*Field Programmable Gate Arrays*) y ASICs (*Application-Specific Integrated Circuits*) integran en sus interfaces externas la tecnología LVDS. Estos nuevos productos están diseñados para optimizar al máximo las prestaciones de los circuitos en configuraciones punto a multipunto. Cuando se integran las interfaces dentro del mismo chip que implementa la FPGA se puede ahorrar en cuanto a los circuitos que hay que localizar en la PCB simplificando y compactando así el diseño. Los ingenieros de sistemas deberán alcanzar una solución de compromiso entre lo anteriormente comentado y la pérdida en cuanto a integridad de señal que se pueda producir, así como el incremento en el coste de la FPGA.

Cuando se diseña la interconexión entre los chips que se pretenden integrar en una PCB, se deben tener en cuenta una serie de aspectos que son de vital importancia para el correcto funcionamiento del sistema:

- **Longitud de los stubs:** es la longitud de las pistas de metal que conectan el bus LVDS con los receptores. Con el objeto de mejorar la integridad de la señal en el bus, es necesario mantener acotada esta distancia hasta como máximo unos 2.5 cm. Sería posible diseñar sistemas que tuvieran stubs más largos, pero a costa de aumentar el ruido en el sistema debido al aumento de las reflexiones. Muchas veces el ingeniero que diseña el rutado de la placa no tiene completa libertad a la hora de situar en ella la FPGA o el ASIC, problema que se puede ver agravado si la interfaz LVDS viene integrada en el chip. Esto se debe a que el diseñador debe atender no sólo a consideraciones de sistemas, sino que debe asegurar la calidad de la señal LVDS cumpliendo con las especificaciones del estándar. Este problema se puede ver reducido cuando la FPGA o el ASIC dispone de un número grande de entradas y salidas de alta velocidad, dando más libertad a la hora de la localización dentro de la PCB. Cuando se opta por implementar la interfaz mediante elementos discretos, se dispone de una mayor libertad para diseñar la placa.
- **Protección ESD:** cada vez que se conecta una placa o un cable en un determinado sistema existe el peligro de que ocurran eventos de ESD (*ElectroStatic Discharge*). El riesgo aumenta si la interfaz con ese circuito tiene que interactuar con el mundo exterior y, lo que es peor, con el usuario. Así, es necesario elegir para estas interfaces circuitos con protecciones muy robustas frente a ESD. Por tanto, el diseño de una circuitería de protección frente a ESD robusta es uno de los retos de diseño importantes en LVDS.
- **Carga capacitiva:** cuando se conecta una tarjeta a un bus, introduce una carga capacitiva en el mismo y, como consecuencia, cae su impedancia. Esto provoca una desadaptación en los terminales que, a su vez, provoca una disminución del margen de ruido y, por tanto, de las prestaciones del sistema. Tres son los factores fundamentales que afectan a la capacidad parásita introducida: la asociada al conector, la traza de la PCB y la estructura de entrada/salida del chip. Para un correcto diseño la capacidad introducida no puede superar los 10 pF, aunque el valor concreto que se pretenda dependerá mucho de la aplicación y la velocidad con la que se trabaje.

La figura 3.5 muestra una gráfica extraída de la documentación que National Semiconductors ofrece sobre LVDS [28] comparando las soluciones discretas con las embebidas dentro de la FPGA. Las tasas de datos son bastante más grandes cuando se usan soluciones discretas, debido principalmente a que la capacidad parásita en los pines de entrada/salida es mucho más baja.

### 3.7. Consideraciones de EMI

El incremento de las tasas que se ha producido en los últimos años, unido a la aparición de estándares de compatibilidad electromagnética (EMC) bastante restrictivos, ha provocado que las radiaciones electromagnéticas sean un problema a considerar de vital importancia. Los

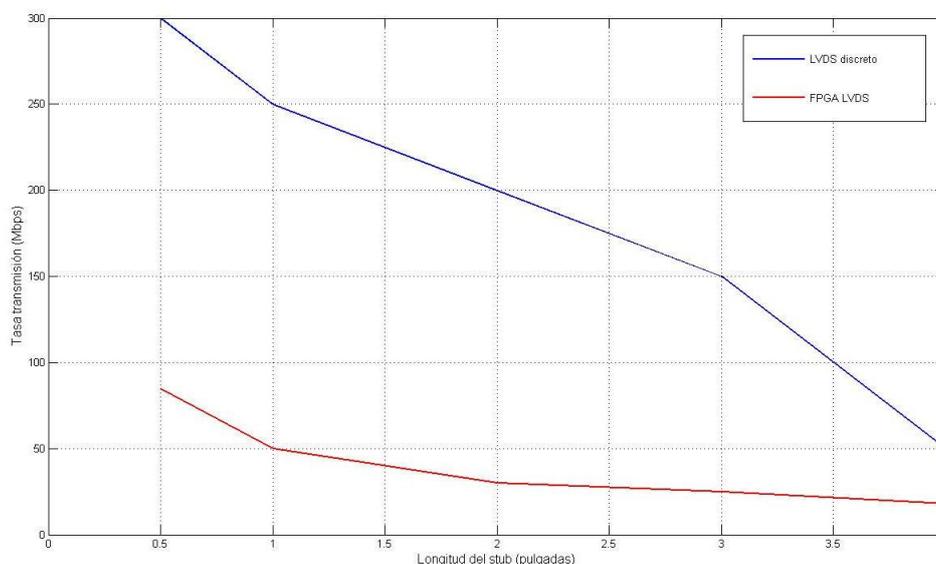


Figura 3.5: Comparación de la solución discreta vs integrada

diseñadores de sistemas están normalmente más preocupados por los campos radiados de procedencia lejana que se propagan a través de ondas TEM. Estos campos se escapan de las protecciones y el apantallamiento que se pueda preparar y pueden causar que el sistema completo no cumpla las especificaciones de emisión e inmunidad frente a EMI.

Los campos en el entorno de un conductor son proporcionales al voltaje o corriente que se le aplica, los cuales son pequeños en LVDS. Estos campos se distorsionan por la interacción del conductor con su entorno, lo cual hace que el EMI sea muy difícil de modelar y predecir. Los esquemas diferenciales aprovechan esto en su beneficio y toman ventaja de ello mediante el acoplamiento electromagnético de las líneas diferenciales. Para conseguirlo, basta con situar las líneas de polaridad opuesta lo suficientemente juntas de forma que los campos que una genera se acoplen a la línea vecina.

En soluciones unipolares las líneas que transportan la señal no encuentran ningún impedimento en radiar parte de la energía electromagnética que transportan en forma de ondas TEM. Estas señales pueden ser interceptadas por otras estructuras actuando como antenas parásitas y generar un acoplamiento ruidoso entre las dos estructuras. En cambio, si las señales se hacen diferenciales podemos impedir que se radie potencia equilibrando correctamente las dos líneas de forma que los campos se compensen.

Cuando se transmite en modo diferencial se dice que a través de la línea de transmisión se propaga el modo impar. De esta forma, los campos magnéticos concéntricos a los conductores tienden a compensarse entre sí pues las corrientes viajan en sentidos opuestos. En cambio, en el campo eléctrico se va a producir un fuerte acoplamiento. Esto impedirá que que estos campos puedan radiarse en forma de ondas TEM más allá de la vecindad del conductor. No obstante, no todo el campo está acoplado, sino que hay una porción de las líneas de campo que nacen en un conductor y que no mueren en el conductor vecino. Estos campos si podrán radiar energía

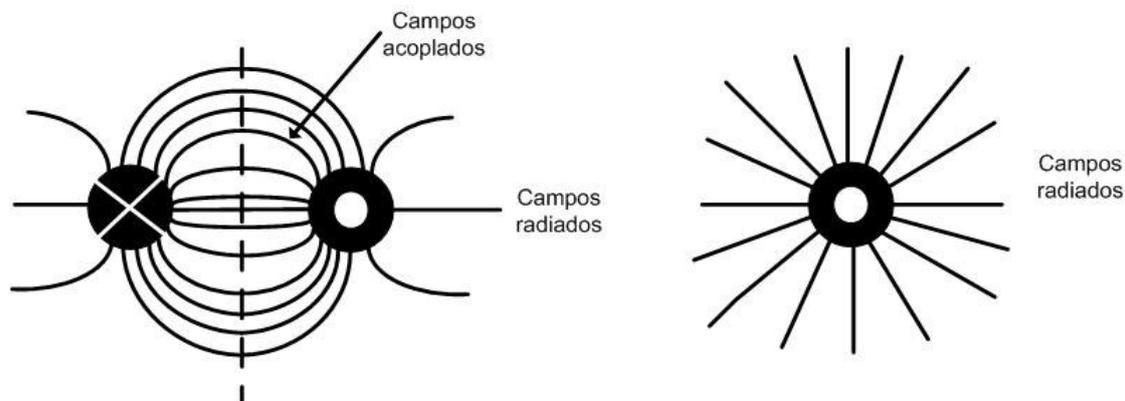


Figura 3.6: Comparación del campo diferencial vs unipolar

a puntos alejados del sistema. La ventaja es que la porción de la energía total disponible que se va a radiar es muy inferior con respecto al caso unipolar, consiguiéndose grandes prestaciones cuando el acoplamiento es correcto y las líneas están lo suficientemente juntas.

Todas las consideraciones anteriores suponen que la transmisión está completamente equilibrada y las corrientes por ambas líneas diferenciales son iguales. En la práctica esto es imposible y existirán pequeños desajustes debido a los inevitables parásitos que aparecen en el enlace. El desequilibrio se traduce en un exceso de campos no acoplados que provocan a su vez un aumento de la potencia radiada a larga distancia. Por supuesto, el exceso de potencia radiada será mayor cuanto mayor sea el desequilibrio entre las corrientes.

Este problema también lo tenemos cuando la transmisión es a través de las trazas de una PCB. Estos casos se pueden modelar como la propagación de una señal a través de una línea microstrip o stripline, según como sea el diseño de la placa. El caso ideal, cuando las corrientes están perfectamente equilibradas y no hay reflexiones en la línea, se muestra en la figura 3.7.

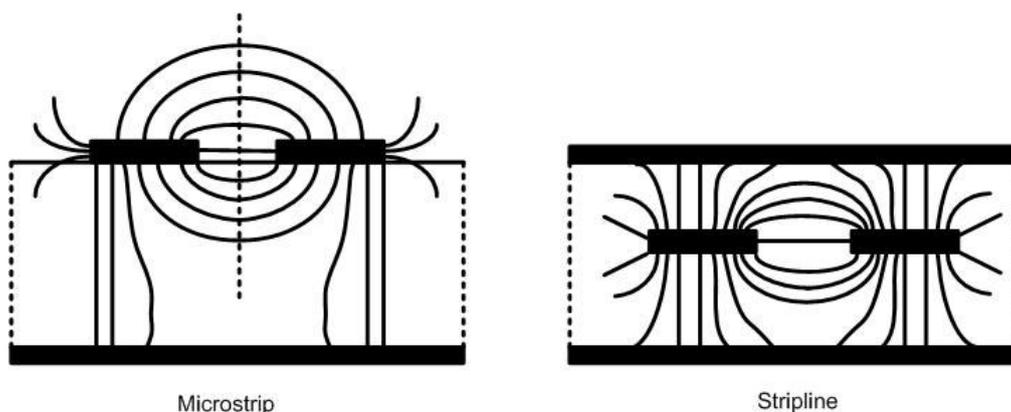


Figura 3.7: Campos en líneas microstrip y stripline

En la figura anterior se puede observar como las líneas stripline ayudan a reducir el campo radiado, puesto que parte de las líneas de campo que no son acopladas, van a morir al conductor

que actúa como plano de tierra. El efecto global es que el campo radiado y que causa EMI se ve notablemente reducido. La situación en líneas stripline es aún mejor al estar apantalladas las líneas de señal por sendos conductores que atenúan enormemente los campos que puedan ser radiados. La desventaja de este tipo de diseños es que la velocidad de propagación es menor (alrededor de un 40 % más lenta que en microstrip), se necesitan más planos de conexión en la PCB y es difícil conseguir impedancias diferenciales del orden de  $100\Omega$ , que son las que especifica el estándar.

Cuando se usa un diseño de las trazas basado en microstrip es posible mejorar el confinamiento de los campos incluyendo capas de metal adicionales, lo cual tiene la ventaja de no tener un impacto significativo en la velocidad de propagación. No obstante, estas trazas adicionales (normalmente de tierra) hay que añadir las con cuidado, manteniendo la simetría diferencial necesaria. En caso de, por ejemplo, incluir sólo una de estas capas adicionales o incluirlas demasiado cercanas a algunas de las trazas de señal, puede provocar una pérdida de simetría que, en vez de disminuir la potencia emitida, la aumentaría. También es recomendable poner contactos al plano de tierra en estas líneas adicionales cada poca distancia (del orden del cuarto de la longitud de onda de trabajo) para conseguir un buen aislamiento.

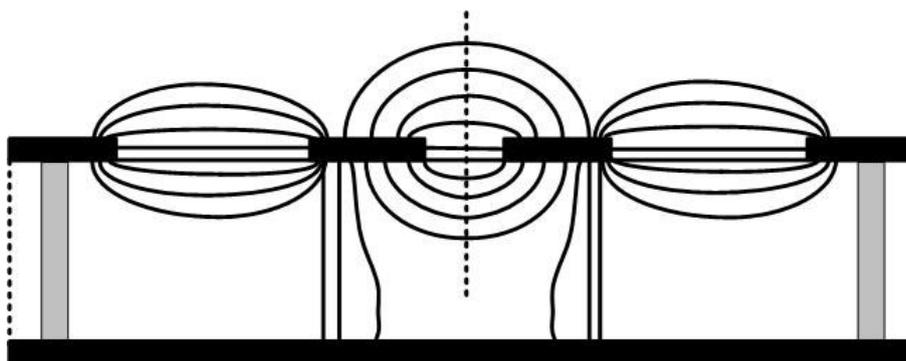


Figura 3.8: Efecto de introducir trazas de metal adicionales

A la hora de diseñar trazas para la transmisión de señales diferenciales hay dos factores que son esenciales y que se deben tener siempre presentes en el diseño de sistemas:

- **Fuerte acoplamiento entre los conductores de cada par.** Para conseguir esto es necesario que el espacio entre los conductores se mantenga al mínimo que permita la tecnología de fabricación de PCBs disponible. En el caso de que se opte por una solución stripline, la distancia de los planos de tierra y alimentación al plano de señal debe ser mayor que la separación entre las trazas de señal. Así se conseguirá un mayor acoplo transversal que vertical. Por tanto, la estrategia de diseño suele ser mantener la distancia entre los conductores al mínimo posible y usar la anchura de las pistas de metal para conseguir la adaptación de impedancias, es decir, para fijar la impedancia característica de la línea de transmisión.
- **Minimizar el desapareamiento entre las trazas de metal.** Cuando en un sistema

interaccionan objetos con una geometría arbitraria y en condiciones no controladas, se producen entre ellos unos campos que son difíciles de predecir y analizar (especialmente en el caso dinámico). No obstante, es posible hacer ciertas generalizaciones. El primer objetivo debe ser compensar la impedancia característica de las dos líneas, pues diferencias en dicho parámetro se traducen en mayores campos no acoplados y, por tanto, mayor emisión de EMI. Para que esto no sea un problema es necesario que, cuando se tengan que salvar discontinuidades en el rutado de la placa, las acciones que se tomen se reproduzcan de forma idéntica en cada una de las líneas.

La medida de los campos radiados por un determinado sistema no es una tarea sencilla debido a la alta frecuencia de los mismos y su baja potencia. No obstante, las señales sí son fáciles de medir mediante, por ejemplo, un osciloscopio y cómo los campos son proporcionales a la amplitud de los voltajes/corrientes en cualquier instante. Cualquier factor que afecte a la temporización (retrasos, velocidad,...) y/o a la amplitud (atenuación) de la señal puede provocar EMI. La figura 3.9 nos muestra cómo se pueden observar, en el dominio del tiempo, ciertos fenómenos de EMI que, de otra forma, serían muy difíciles de visualizar.

Una señal diferencial real contiene desbalanceo en el ancho de los pulsos, desequilibrio en los retrasos de ambas líneas, variación entre los tiempos de subida y bajada de la señal, distintas atenuaciones para cada traza,... Todo esto contribuye a que las amplitudes de los campos en cada una de las líneas no sean exactamente las mismas y se reduzcan los efectos de cancelación de los campos de los que se ha hablado. El objetivo será conseguir que el apareamiento entre las señales diferenciales sea lo mayor posible para conseguir así una reducción de los niveles de ruido con los que opera el sistema.

Otro aspecto importante será mantener acotadas las reflexiones debido a la desadaptación de impedancias. Cuando la impedancia del medio por el que se propaga la onda es distinta a la impedancia de terminación, parte de la señal se refleja y distorsiona la forma de onda generada. Si la simetría no es perfecta parte de esta potencia reflejada puede radiarse hacia el exterior empeorando el comportamiento frente a EMI. Por ello, en LVDS conseguir una buena adaptación de impedancias (sobre todo diferencial) es un aspecto muy importante y algo a tener en cuenta cuando se diseñe el rutado de la PCB donde vaya a insertarse el chip LVDS. Para evitar problemas hay que usar traza de una impedancia característica adecuada, evitar al máximo los tramos de impedancia no controlada, aparear muy bien las líneas diferenciales, evitar los *stubs*,...

### 3.8. Procedimientos de prueba de interfaces LVDS

La calidad de la señal LVDS puede ser determinada a partir de la medida de una serie de parámetros característicos: el tiempo de subida en la carga, el jitter a través de un diagrama de ojo, la tasa de errores del enlace,... Los dos últimos métodos mencionados son los que se usan más comunmente [30] y son los que se describen a continuación:

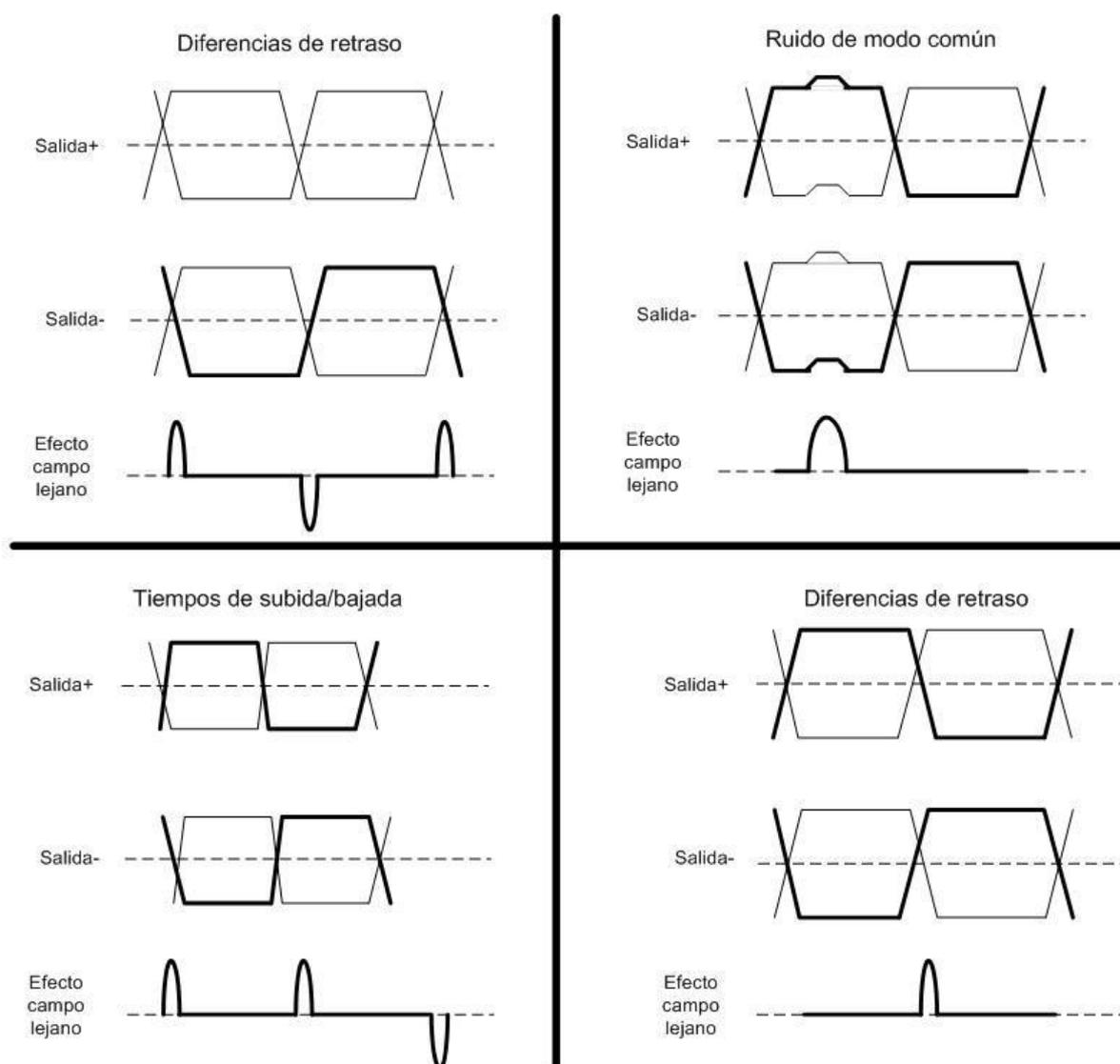


Figura 3.9: Efectos EMI campo lejano en distintas situaciones

- Diagramas de ojo:** esta técnica se utiliza para medir los efectos de la interferencia intersimbólica en una secuencia aleatoria de datos transmitida sobre un cierto medio. Este efecto tiene su causa en las características dispersivas del medio que tienden a ensanchar el pulso. Esto provoca que los pulsos que representan los datos en un determinado instante estén afectados por los pulsos anteriores y se produzca una degradación de las prestaciones del enlace. Ello es especialmente crítico cuando se usa una codificación NRZ (*Non Return to Zero*): las transiciones a nivel alto después de periodos largos a nivel bajo son más lentas que cuando se alternan niveles altos y bajos (101010...). Esto se debe a los efectos de filtrado paso de baja que introduce el canal.

La figura 3.10 muestra la formación de un diagrama de ojos mediante la superposición de varias formas de onda, tanto a la entrada del canal como a la salida del mismo. Vemos que

el canal suaviza las transiciones entre los niveles alto y bajo y provoca un ensanchamiento de los pulsos de información. El aumento de la ISI (Inter-Symbol Interference) se manifiesta en el ensanchamiento de la zona de cruce por el umbral de decisión y la disminución de la apertura del ojo.

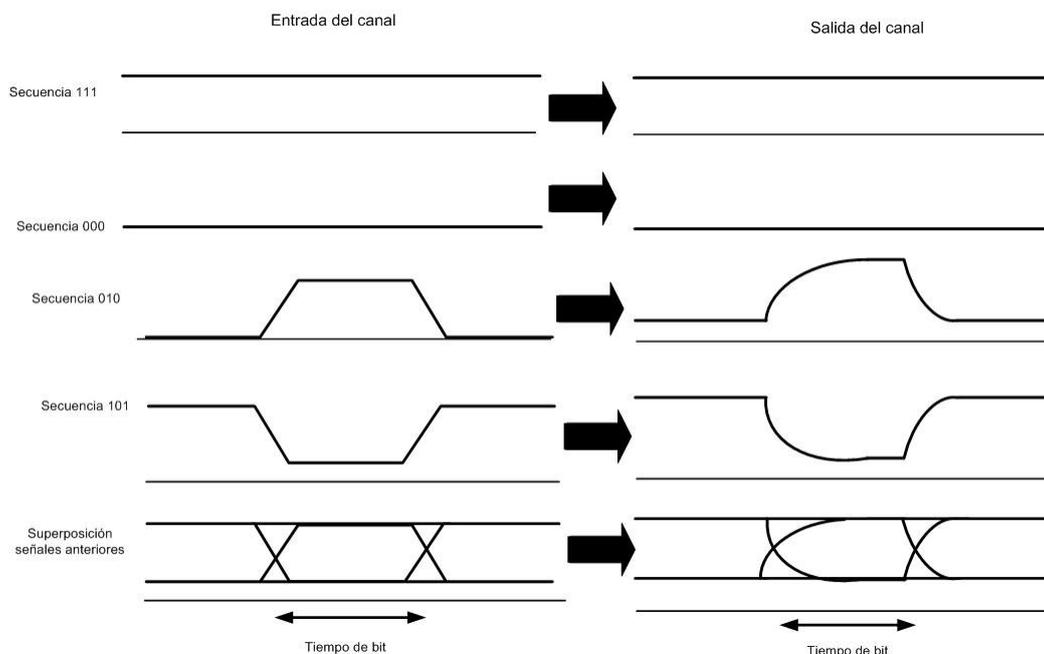


Figura 3.10: Formación del diagrama de ojo por superposición

Un test sencillo consiste en aplicar una señal periódica de reloj sobre la línea diferencial LVDS y medir el diagrama de ojo resultante a distintas distancias en el cable. Dependiendo de las exigencias en cuanto a ISI y distorsión de la señal, el diseñador podrá elegir la distancia óptima para la aplicación. El periodo de esta señal, y no el ancho del pulso, será usado para determinar la máxima tasa de transmisión exigible. Por ejemplo, si la tasa del reloj es el doble que la de los datos, la distancia máxima para el reloj es la misma que para los datos.

Una vez que se tiene la forma del diagrama, se pueden determinar una serie de parámetros midiendo sobre ella. El jitter pico a pico es la anchura de la zona de cruce de la señal por el umbral de decisión óptimo. Para un receptor diferencial este valor sería de 0 V, ya que el modo diferencial se moverá en  $[-100, 100]$  (mV). Para el peor caso de jitter se debe centrar la medida en un cuadro que cubra este intervalo de tensiones y determinar el primer y el último cruce por cero, siendo la diferencia el jitter medido (ver figura 3.11). Para la medida de las señales se recomienda el uso de sondas diferenciales que presentan un mayor rechazo al ruido y resultan en mejores medidas. No obstante, se requiere que la medida se interprete correctamente y se sepa en todo momento qué señal presenta el osciloscopio por pantalla.

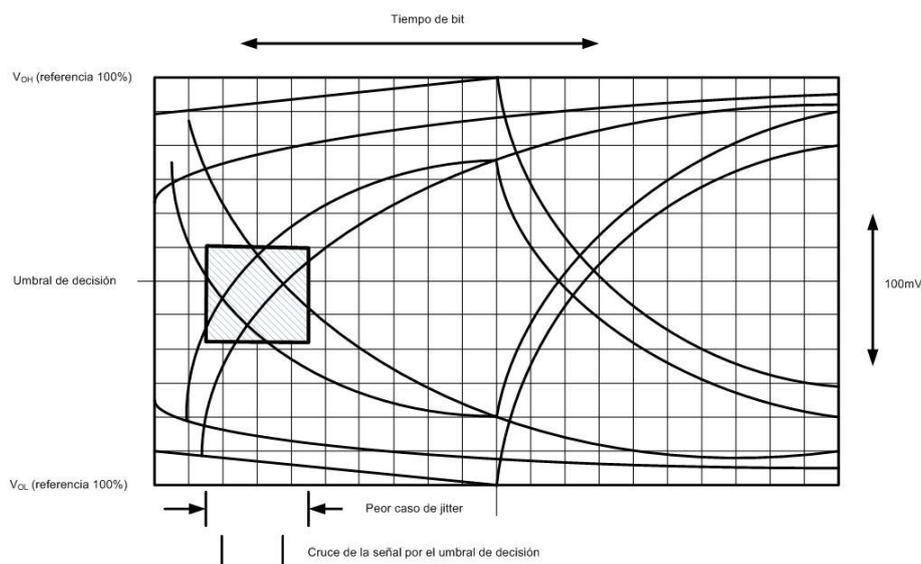


Figura 3.11: Elementos de un diagrama de ojo

Dependiendo de la aplicación se tienen unos niveles de jitter, que se suelen medir como un tanto por ciento con respecto al tiempo de bit. Valores típicos son de 5, 10 o 20 %, siendo este último valor el límite teórico. Por encima de este valor de jitter hay un riesgo alto de que el ojo tienda a cerrarse y el enlace no pueda operar con una probabilidad de error aceptable.

- **BERT (Bit Error Ratio Testing):** es uno de los parámetros más usados en la caracterización de enlaces de comunicación digitales y se define matemáticamente como:

$$BERT = \frac{\text{bits con error}}{\text{bits totales transmitidos}}$$

Una cuestión importante cuando se habla de la BERT es la ventana de tiempo sobre la que se mide, es decir, el tiempo que esperamos para computar el cociente anterior. Para que los resultados sean estadísticamente fiables, tendremos que transmitir una gran cantidad de bits para poder medir probabilidades de error muy pequeñas. Así, la ventana temporal también vendrá determinada por la tasa utilizada: a mayor tasa menor tiempo habrá que esperar para obtener resultados. Por ejemplo, en un enlace a 50 Mbps en el que se quiera medir una tasa de error del orden de  $10^{-14}$  necesitamos al menos 2.000.000 de segundos de prueba. Esto equivale a 555.6 horas o lo que es lo mismo ¡23.15 días!

Ensayos sobre interfaces comerciales demuestran que es posible alcanzar tasas de error del orden de  $10^{-15}$  –  $10^{-16}$  a tasas del orden de 100 Mbps en un enlace de hasta 5m de cable de pares. Esto muestra que si se siguen unas mínimas prácticas de buen diseño para alta frecuencia, se pueden conseguir grandes rendimientos con muy bajo consumo de potencia y con un alto grado de robustez.

