

Capítulo 4

Estudio de drivers y receptores LVDS

4.1. Introducción

En este capítulo se pretende hacer una revisión acerca del funcionamiento y arquitecturas de drivers y receptores compatibles con el estándar LVDS, prestando especial atención a los circuitos de librería que se han utilizado. Se intentarán resaltar aquellos aspectos de implementación que se consideren más relevantes y explicar cuáles son los retos de diseño y qué técnicas se utilizan para superarlos.

En el capítulo 3 se presentó un análisis del estándar LVDS y se presentaron una serie de consideraciones de los enlaces basados en él a nivel de sistema. El objetivo ahora es conocer cómo es la circuitería que realiza estas funciones para poder profundizar así en el conocimiento de este tipo de interfaces. A su vez esto permitirá dar respuesta a posibles problemas que se detecten en el sistema tras haberlo fabricado. Por otro lado, abre la posibilidad de que en un futuro se optimicen al máximo estos circuitos para transportar información del protocolo AER diseñando una interfaz propia.

En otro orden de cosas, se pondrá énfasis en los aspectos tecnológicos que influyen en el diseño de este tipo de interfaces y qué circuitería necesitan: circuitos de polarización, adaptadores de señal, circuitos de control del modo común, pads necesarios,... El diseño de interfaces de alta velocidad es un área lo suficientemente compleja como para que aquí sólo se presente un pequeño esbozo de todos los aspectos de diseño que intervienen. Sin embargo, este capítulo servirá para poner de manifiesto una serie de cuestiones esenciales que serán útiles posteriormente.

4.2. Arquitecturas para drivers LVDS

Generalmente el diseño de drivers LVDS está basado en técnicas de conmutación de corriente: una corriente constante circula por una resistencia de terminación de 100Ω y se conmuta su polaridad en función de los datos de entrada. Para la correcta operación del circuito es necesario

que la variación del modo diferencial supere un cierto valor dado por el estándar (entorno a 300mV) y que el modo común esté estabilizado entorno a su valor nominal de 1.2V. La figura 4.1 muestra distintas configuraciones posibles para construir un driver LVDS [33], atendiendo al método usado para generar las conmutaciones de corriente.

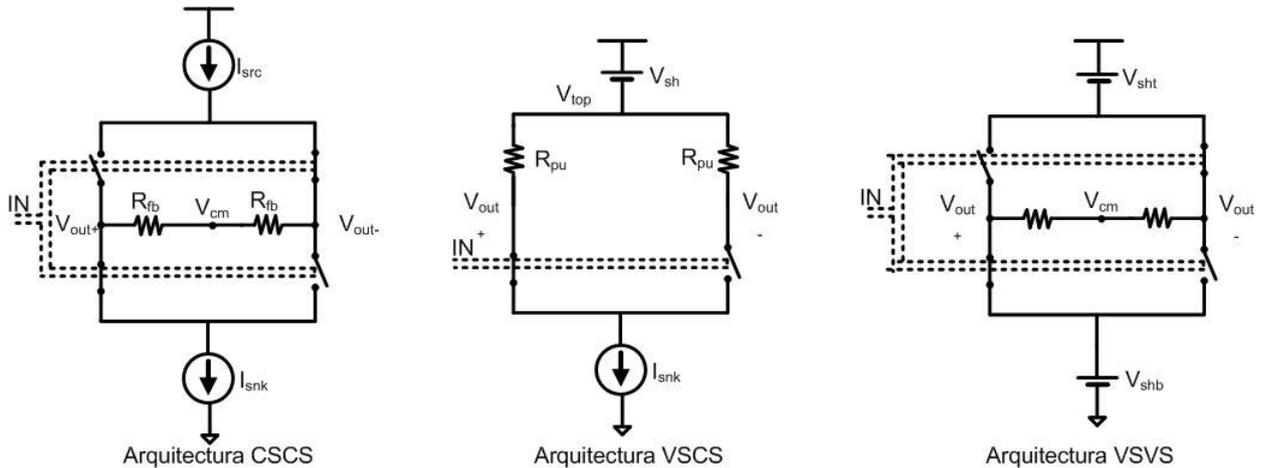


Figura 4.1: Esquemas de drivers LVDS

La primera arquitectura (CSCS) es la más usada en las implementaciones prácticas. El gran problema que presenta es la necesidad de aparear las intensidades I_{src} e I_{snk} para controlar el modo común que se genera y equilibrar las amplitudes del modo diferencial. Es por esto que, además de la propia fuente de corriente conmutada, son necesarios circuitos que sensen el modo común y actúen sobre las fuentes de intensidad para equilibrar su valor. Mediante un diseño correcto de las llaves analógicas en cuanto a su resistencia cuando conducen corriente y manteniendo las resistencias usadas para sensar el modo común altas (R_{fb}), se pueden conseguir buenas tolerancias frente a las variaciones de los parámetros de fabricación y la derivas causadas por la temperatura.

El esquema VSCS utiliza tanto fuente de intensidad como de corriente para generar las variaciones de corriente. Para mantener el modo común controlado ambas magnitudes se generan con el mismo *bandgap*, de manera que se puedan conseguir referencias precisas y apareadas. La limitación de la arquitectura viene dada por el consumo de potencia, pues necesita mantener la tensión V_{top} lo suficientemente elevada para asegurar que el modo común y que la amplitud del modo diferencial se mueven en los valores especificados por el estándar. La ventaja de la arquitectura es que permite velocidades de operación altas debido a la estructura de conmutación de corrientes diferencial que usa.

En el caso de la solución VSVS la funcionalidad LVDS se consigue estabilizando dos fuentes de tensión a los valores especificados por el estándar para las señales de salida. Con esta arquitectura toda la corriente que se genera por las tensiones de referencia creada circula por la resistencia de terminación de línea, con lo que el consumo es menor y el diseño es más sencillo. El precio a pagar es un incremento en la complejidad del esquema de terminación de línea debido a

que las resistencias parásitas de las llaves de paso influyen de manera significativa. Como estas resistencias son activas y difíciles de aparear, se pueden tener problemas para tener diseños robustos.

Debido a la sencillez y buenas prestaciones del esquema CSCS, se trata de la arquitectura que viene siendo usada con más frecuencia en la práctica. Por ello el circuito mostrado en la figura 4.2 [34] se suele presentar como el driver LVDS típico: una fuente de corriente conmutada cuya polaridad viene dada en función de un valor digital de entrada, junto con un circuito de control del modo común. Las dos resistencias situadas entre las salidas diferenciales sirven para sensar el modo común, generando la entrada al CMFB que se encarga de controlar el modo común de salida actuando sobre la corriente I_b de la fuente de corriente NMOS.

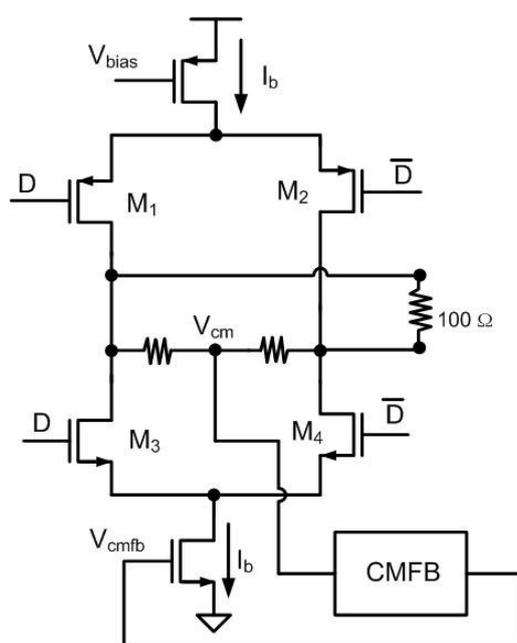


Figura 4.2: Driver LVDS típico

El funcionamiento del circuito hay que descomponerlo en dos modos, diferenciados por el valor de los datos serie a transmitir. Cuando D está a nivel alto, los transistores M_3 y M_2 , que actúan como interruptores, dejando pasar la corriente constante generada por las fuentes de corriente NMOS y PMOS (transistores con tensión constante a su puerta). Dicha corriente fluye por la resistencia de terminación provocando la variación de tensión diferencial que se desea. La situación es similar cuando M_1 y M_4 están activos (D a nivel bajo), con la única diferencia de que la corriente fluye en sentido contrario provocando una caída de tensión diferencial de signo contrario a la anterior. Para que la conmutación sea rápida, se necesita que los transistores cambien de estado rápidamente, lo que se consigue dando tamaños pequeños para ellos. Sin embargo, debido a las grandes corrientes que deben circular (unos 3.5mA para conseguir una amplitud de 350mV en el modo diferencial), es necesario elevar el tamaño de los transistores para que puedan conducir grandes corrientes. Por tanto, hay que llegar a una solución de compromiso. No

obstante, las tecnologías CMOS actuales permiten armonizar estos dos aspectos, consiguiéndose tasas de transmisión del orden de Gbps.

Uno de los grandes retos en el diseño de drivers LVDS es la estabilización del modo común independientemente de la incertidumbre del proceso de fabricación, variaciones de temperatura, cambios en la tensión de alimentación,... Es por ello que se han presentado en la literatura numerosos esquemas para el control del modo común de salida. Todos ellos se basan en un mismo principio: medir el modo común y, en función de su valor, actuar sobre alguno de los parámetros del circuito (normalmente sobre alguna de las fuentes de corriente). El problema está en que la precisión que se necesita es elevada, pues el estándar especifica un rango muy ajustado para el modo común $1,125V \leq V_{CM} \leq 1,375V$. Además, es aconsejable que la solución que se adopte no necesite de componentes o ajustes externos para funcionar, ya que esto haría aumentar la complejidad de la interfaz haciéndola poco práctica.

Otro de los puntos en común de las soluciones aportadas es la necesidad de referencias de tensión estables frente a las variaciones tecnológicas, de temperatura y tensión de polarización. Para esto, se suele utilizar un *bandgap*: un circuito capaz de proporcionar una referencia de tensión continua a su salida independiente de todos los parámetros anteriores. Normalmente, una de estas referencias suele ser la propia tensión de modo común deseada, que se compara con la conseguida a través de un amplificador diferencial.

Como ya se ha expuesto, para sensar el modo común se necesitan dos resistencias de un elevado valor entre las salidas diferenciales del driver. Para que éstas no degraden el comportamiento y la corriente a través de ellas sea pequeña, es necesario que sea mucho mayor que la impedancia diferencial que se tenga (usualmente 100Ω). El precio a pagar es un mayor consumo de área y un aumento de la complejidad del circuito.

La figura 4.3 muestra algunas arquitecturas típicas para implementar el circuito CMFB. En todos los circuitos se tienen como entradas una referencia del modo común a través de la medida directa del mismo o mediante el valor de las salidas unipolares, y una o varias señales de referencia con la que comparar los valores medidos. La comparación se hace a través de un par diferencial, que genera una corriente diferencial proporcional a la diferencia entre los valores medidos y los de referencia a través de su transconductancia. La diferencia entre unos casos y otro es la configuración de los pares diferenciales y la carga activa que se diseña para procesar la diferencia de corrientes generada. Además, cada uno tiene unos esquemas de compensación propios para asegurar la estabilidad del lazo de realimentación.

En todos los casos mostrados, los transistores que se especifica que conducen una intensidad que se ha llamado I_b son los que alimentan al conmutador de corriente. Por tanto, un reto importante de diseño será conseguir ajustar estas corrientes al valor nominal requerido para que las variaciones del modo diferencial se ajusten a lo marcado por el estándar. También es necesario considerar que la velocidad de variación del modo común es mucho menor que la del modo diferencial, de forma que no se necesitan circuitos rápidos para su control. Es más, si el ancho de banda es grande puede haber problemas con el margen de fase y la estabilidad. Por ejemplo, puede que el bucle tenga una cierta oscilación en el transitorio (se tienen dos polos

complejos conjugados), con lo que el modo común tardaría mucho en estabilizarse o presentaría oscilaciones entorno al valor de referencia. Esto podría provocar un mal funcionamiento de la interfaz, por lo que no es aconsejable en absoluto.

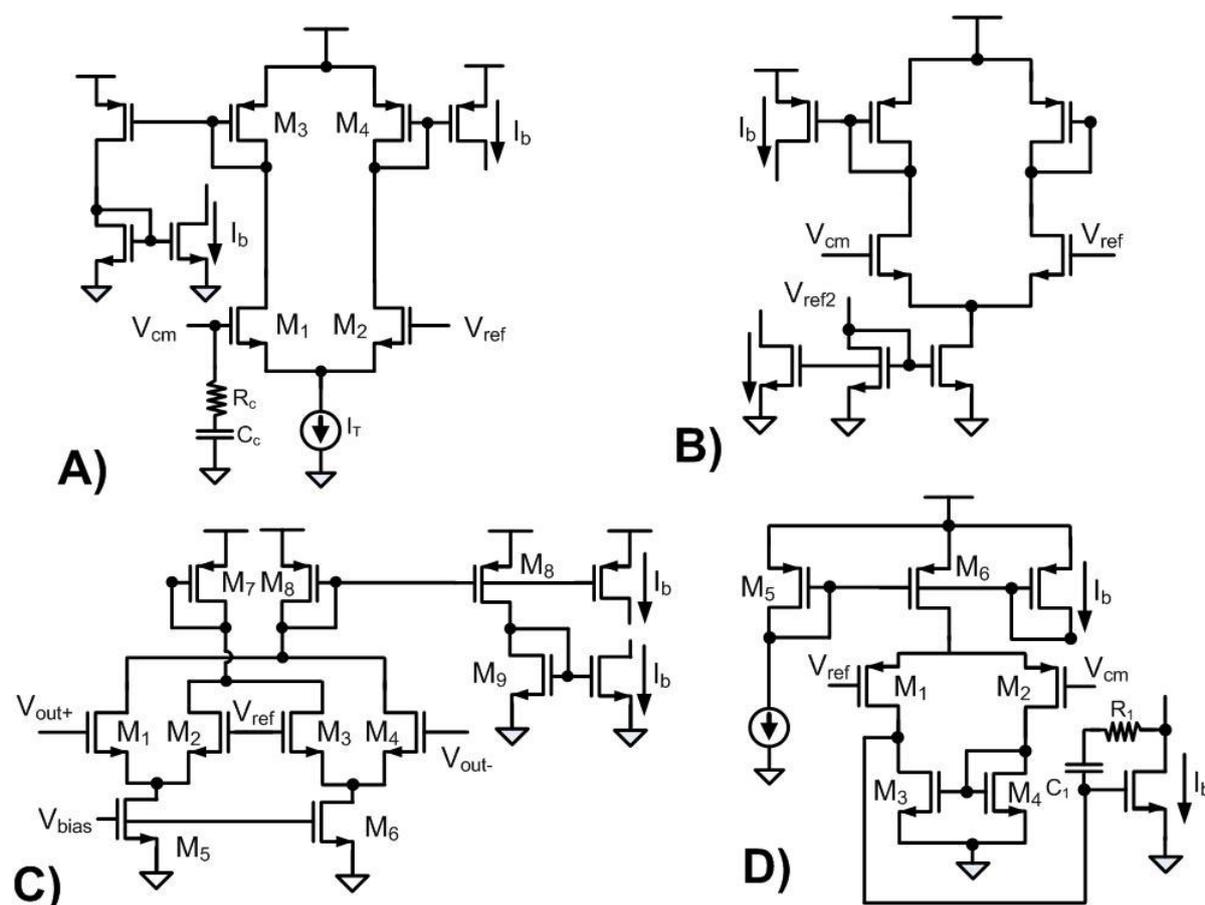


Figura 4.3: Topologías para el control del modo común

El circuito A) de la figura 4.3 [34] realiza la comparación entre la señal de referencia y el modo común medido a través de el amplificador diferencial $M_1 - M_4$. Así, la fracción de la corriente de polarización I_T que circula por los transistores M_3 y M_4 se copia a través de espejos de corriente a los transistores que generan la corriente constante que se conmuta, forzando un modo común entorno a 1.25V. Si se desea una amplitud del modo diferencial de V_{OD} y la resistencia de terminación es de 100Ω , se necesita generar una corriente de salida de $I_{out} = V_{OD}/100$. Para que esto sea posible, el espejo del CMFB debe ser alimentado con una corriente $I_T = I_{out}/K$, donde K es la ganancia en corriente de los espejos que llevan las diferencias de corriente desde el amplificador diferencial hasta la salida. El valor de esta corriente se consigue a través de un *bandgap*, que genera una tensión constante, y una resistencia, que la convierte en intensidad.

El circuito de la figura B) [35] es muy parecido al de la figura A), pero tiene una pequeña diferencia: ahora el lazo de realimentación actúa sólo sobre una de las fuentes de corriente, dejando la otra fija según un valor de referencia estable. En este caso, el par diferencial del

camino de realimentación se alimenta en corriente con la misma referencia que el puente de conmutación de corriente. Por lo demás, el principio de funcionamiento es el mismo.

El circuito de la figura C) [36] utiliza una idea algo distinta, pues la comparación se hace entre una referencia y las dos señales de salida consideradas independientemente. Por tanto, se necesitan dos pares diferenciales, uno por cada salida, alimentados con la misma corriente y terminados con la misma carga activa. Para controlar la corriente de salida, estas referencias se espejan hacia los transistores que actúan como fuentes de corriente. Cuando las tensiones de salida caen por debajo de V_{ref} , indicando un desajuste en el modo común, la corriente a través del transistor M_8 disminuye. Esto a su vez provoca una bajada de la corriente espejada hacia los transistores de salida y, por tanto, un aumento del modo común. Cuando las salidas superan la tensión de referencia el comportamiento es el contrario y el modo común baja.

Uno de los problemas del circuito A) es que el amplificador que se usa en el lazo de realimentación tiene excesivo ancho de banda, por lo que se necesita hacer una compensación polo-cero a través de los elementos R_c y C_c . Además, para conseguir que el lazo sea lo suficientemente estable (un margen de fase de al menos 60°), es necesario usar resistencias y condensadores de alto valor y que ocupan mucha área. Para solventar estos problemas se propone en la arquitectura D) [37] cargar al par diferencial con un espejo de corriente. Así, la corriente de la fuente PMOS se genera replicando la corriente de polarización generada a través de una referencia estable, mientras que la fuente NMOS se ajusta a través del bucle y un esquema de compensación Miller (R_1-C_1). Así, a la salida de la primera etapa de amplificación, en el drenador de M_3 se tiene un nudo de alta impedancia, lo que, junto con la compensación Miller, permite crear polos de baja frecuencia y asegurar la estabilidad. La ventaja de este esquema frente a la compensación polo-cero es que se necesitan resistencias y condensadores más bajos, lo cual supone un ahorro en cuanto a área efectiva del driver.

Estas ideas son las que han sido usadas en la implementación práctica de drivers LVDS en los últimos años. Sin embargo, el escalado de las tecnologías y la consiguiente disminución de las tensiones de alimentación imponen nuevos retos al diseño de estos circuitos. Por ejemplo, para implementar las fuentes de corrientes se usan transistores MOS en saturación que necesitan que su tensión drenador-fuente supere un cierto valor umbral ($V_{gs} - V_T$) para funcionar correctamente. Cuando la tensión de alimentación baja de los 2V, es difícil conseguir que las señales de salida puedan variar en el rango completo de LVDS sin degradar el comportamiento de las fuentes de corriente. Además, la tensión de modo común es relativamente alta ($\approx 1,2V$), por lo que cuando nos vamos a tecnologías profundamente submicrométricas, el problema se agrava.

Lo anterior pone en evidencia que se necesitan nuevas implementaciones para los drivers LVDS que permitan hacer frente a estos nuevos retos de diseño. Algunas de las arquitecturas presentadas en la literatura se representan en la figura 4.4. El objetivo es reducir el número de transistores que se interponen en el camino de señal, permitiendo así a las salidas poder oscilar en todo su rango. La idea de conmutar corrientes se mantiene, sólo que ahora se utilizan artificios distintos basados en llaves de paso a drenador abierto o fuentes de corriente conmutadas; más adecuadas para las aplicaciones que requieren baja tensión de alimentación. Por otro lado, los

problemas de fijación del modo común y de estabilización de las corrientes de polarización siguen estando presentes y todas las topologías presentadas anteriormente siguen siendo aplicables en mayor o menor medida.

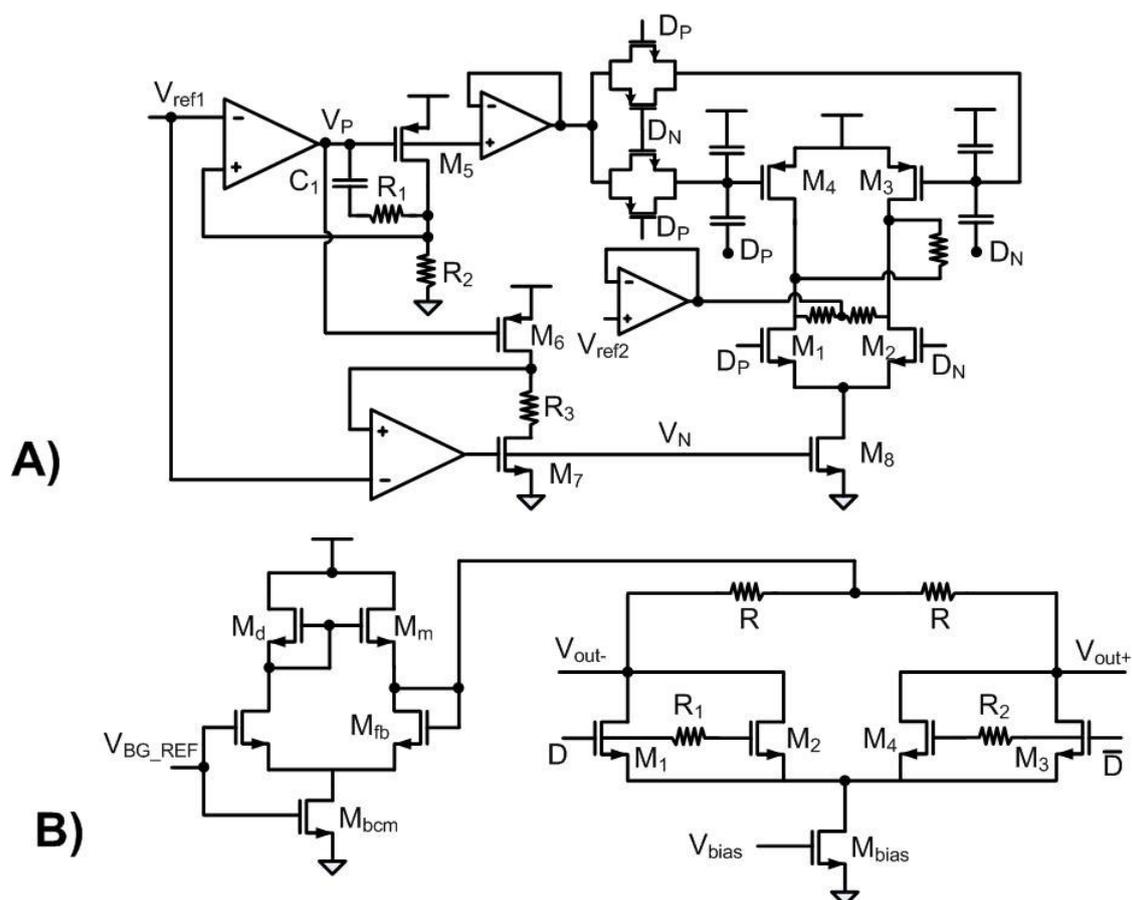


Figura 4.4: Drivers LVDS de baja tensión de alimentación

El circuito de la figura A) [38]-[39] se basa en el empleo de fuentes de corriente conmutadas (transistores M_3 y M_4) para realizar la función de transmisión LVDS. Estas fuentes vienen controladas por los datos de entrada, que en la figura vienen representados por D_N y D_P (los datos y su versión negada). Cuando $D_P=1$, sólo M_3 conduce (se activa la fuente de corriente) y la llave de paso, representada por M_1 , cierra el circuito permitiendo el flujo de corriente a través de la resistencia de carga. El caso análogo se da cuando $D_P=0$ ($D_N=1$) activándose la fuente de corriente M_4 y cerrándose el circuito a través de M_2 . La tensión V_P es la que controla las corrientes del circuito y proviene de una referencia estable generada por un $bandgap$. El objetivo es que todas las fuentes de corriente del circuito tengan el mismo valor sin necesidad de ajustes externos. Para controlar el modo común se usa otra referencia externa que se aplica directamente al nudo que fija el modo común (entre las dos resistencias de sensado de las que ya se ha hablado) a través de un búffer de tensiones para no consumir corriente del circuito.

El mecanismo para el control de las corrientes en el circuito A) es muy sencillo y parte de

la referencia externa generada para crear dos tensiones de control V_p y V_n que alimentan a las fuentes de corriente. A partir de la tensión estable de entrada se genera una intensidad usando la resistencia R_2 y un búffer de tensiones. Esta intensidad circula por los transistores M_5 y M_6 , que forman espejos con los transistores de las fuentes de corriente, por lo que la intensidad de referencia se copia en esas ramas según la ganancia del espejado.

Para conseguir velocidades de conmutación altas, antes de aplicar la tensión V_p a la puerta de los transistores M_3 y M_4 , es necesario descargar la capacidad parásita de puerta para lo que es necesario un circuito de *pull up/down*. En el esquemático presentado dicho bloque viene representado por las capacidades colocadas a la entrada de las fuentes conmutadas y controladas por la señal de entrada. Cuando D_P (o equivalentemente D_N) se pone a nivel alto, se fija rápidamente la puerta de M_3 a la tensión de alimentación y no conduce. En caso contrario, es la tensión V_p la que se fija en el nudo.

El circuito de la figura B) [40] utiliza las llaves de paso a drenador abierto (representadas por los transistores M_1 y M_3) para conseguir operar con bajas tensiones de alimentación. Como sólo hay un transistor en el camino de señal, podemos mantener su V_{Dsat} alta sin tener que utilizar relaciones de aspecto grandes que consumen área y potencia. Los transistores con resistencias a su puerta conectados en paralelo con las llaves de paso cumplen la función de controlar los tiempos de conmutación entre niveles altos y bajos. Esto se hace a través del circuito RC formado por la resistencia colocada en la puerta y la capacidad parásita (C_{gs}) intrínseca del transistor. Así, se tienen dos versiones retrasadas de la conmutación, lo cual hace disminuir el *slew rate* de los datos de entrada, haciendo más suaves las transiciones. La fijación del modo común se consigue con un esquema parecido a los ya estudiados, donde un amplificador de transconductancia realimentado para que tenga ganancia unidad compara una señal de referencia creada por un *bandgap* con el modo común medido a través de un puente resistivo, fijando al valor deseado la tensión en ese nudo.

Un aspecto importante en el diseño del receptor que aún no se ha tratado es la adaptación de impedancia necesaria para la transmisión de la señal LVDS a través de una línea de transmisión en ausencia de reflexiones. El problema de la adaptación de impedancias consiste básicamente en presentar a la salida del transmisor una impedancia lo más parecida posible a 100Ω . Si se utiliza una línea de transmisión cuya impedancia característica diferencial y resistencia de terminación sean iguales a este valor, se tendrá asegurada la adaptación. No obstante, esto plantea dos problemas adicionales: conseguir una línea de transmisión cuyas características sean las especificadas sobre todo el rango de temperaturas y condiciones de operación y, lo que es aún peor, conseguir una resistencia controlada en las mismas condiciones. Tanto si esta resistencia se integra como si se utiliza un componente discreto externo, pueden surgir problemas de desadaptación.

Por tanto, en interfaces de alta velocidad, donde los problemas de adaptación son más notables, se utilizan dos estrategias para reducir las reflexiones. La primera consiste en terminar doblemente la línea, situando resistencias de 100Ω tanto al principio como al final de la línea. Esto hace que si hay reflexiones en la terminación, la propia onda reflejada sufra múltiples reflexiones, quedando mitigado su efecto por los coeficientes de reflexión de la carga y la fuente. La

otra estrategia consiste en construir resistencias de terminación ajustables que permitan variar las condiciones de adaptación de impedancias en función de alguna variable eléctrica. La figura 4.5 [41] muestra un ejemplo de este enfoque para la adaptación de impedancias.

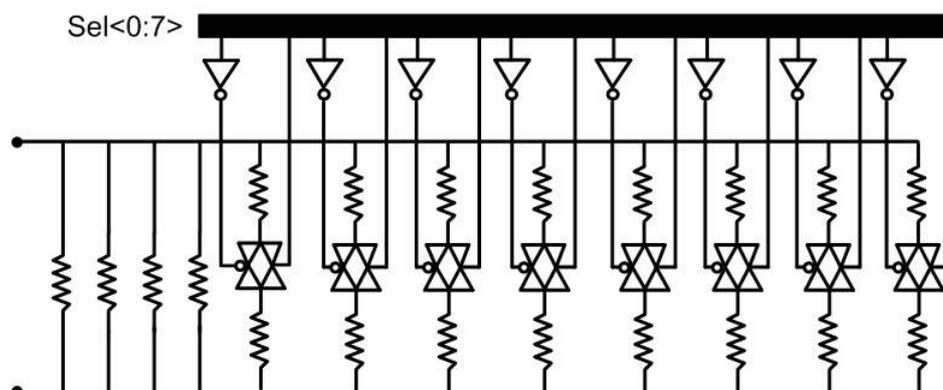


Figura 4.5: Esquema activo de adaptación de impedancias

Normalmente las resistencias de terminación se suelen hacer con polisilicio por presentar menos variabilidad en el proceso de fabricación. Aún así, pueden haber derivas del orden del 30 % en el valor de la resistencia. Para compensar esto la idea es poner un conjunto de resistencias en paralelo y elegir mediante una valor digital el número de ellas que se desean para conseguir la adaptación. En la figura 4.5 hay dos etapas: una primera con resistencias fijas que determinan un valor nominal de 100Ω y 8 ramas que son activadas por sendas puertas de transmisión. Controlando el número de unos de la palabra digital *Sel* y diseñando los valores de las resistencias de cada rama, se puede conseguir un rango de sintonización suficiente para asegurar una buena adaptación de impedancias.

4.3. Arquitecturas para receptores LVDS

El estándar LVDS especifica un valor mínimo de 100mV para la amplitud del modo diferencial y una variación del modo común en el rango $0,1V \leq V_{CM} \leq 2,4V$ a la entrada del receptor. Por tanto, existen unas especificaciones de diseño claras: que la ganancia del receptor sea suficiente como para llevar la señal diferencial de pequeña amplitud hasta los raíles de polarización para que sea interpretada por la lógica posterior y mantener esta ganancia en todo el rango de modo común. Además de esto, es fundamental una relación de rechazo al modo común extremadamente alta para evitar ruidos acoplados externamente y minimizar el EMI. Así, los circuitos que mejor se adaptan a estas funciones son la de los comparadores diferenciales: cuando la amplitud de la señal sea positiva, el comparador llevará la señal de salida a la tensión de alimentación, mientras que cuando sea negativa se la llevará a tierra.

La figura 4.6 [34] muestra el receptor típico LVDS de entradas PMOS formado por un comparador regenerativo con histéresis y un búffer de salida. Es necesario incorporar histéresis en el comparador para evitar que el circuito oscile cuando la entrada del circuito no está definida.

Estas situaciones se pueden dar cuando las entradas del receptor no están conectadas, cuando el driver está en un modo de bajo consumo o durante las transiciones. Los transistores M_5 y M_6 están en configuración Schmitt-Trigger asegurando una histéresis de 25-50 mV, mientras que los transistores M_7 y M_8 actúan como driver de salida asegurando la variación de raíl a raíl de la señal de salida.

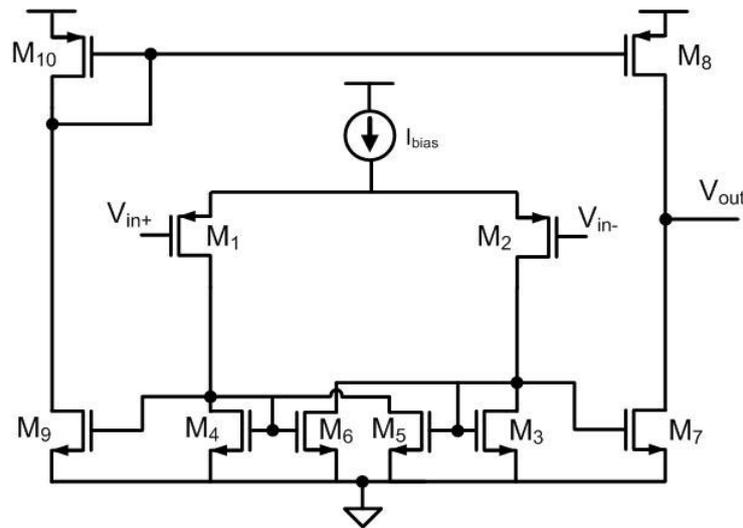


Figura 4.6: Receptor típico LVDS

Los comparadores con histéresis basan su principio de operación en la realimentación positiva. Se observa como la estructura del núcleo circuito se divide en dos partes: el par diferencial que convierte los cambios en la tensión de entrada en cambios de corriente y una estructura con realimentación positiva para cargar la etapa de entrada. Mediante dos espejos de corriente se sensan las corrientes de cada una de las ramas del par, aplicando la salida de los mismos a la otra rama. De esta forma, cuando por una rama la corriente aumenta, el bucle actúa disminuyendo la del otro bloque, lo que a su vez provoca un aumento de la primera corriente. Es decir, se tiene un bucle de realimentación positiva. Esto eleva la ganancia estática del comparador sin penalizar la velocidad, con lo que la relación de compromiso existente en todo comparador entre velocidad y ganancia se relaja, pudiéndose obtener mejores prestaciones con menor complejidad.

La arquitectura anterior es la base de gran parte de los receptores LVDS, pero tiene un gran problema: tiene dificultades para operar correctamente en todo el rango de modo común que especifica el estándar. Esto se debe a que los transistores del par diferencial entran en zona óhmica cuando el modo común llega a alguno de los extremos: si la entrada es PMOS, aparecen los problemas con el límite inferior, mientras que con la entrada NMOS se tienen los problemas con el otro extremo del rango. Cuando los transistores del par entran en zona óhmica, la ganancia del comparador disminuye impidiendo que el circuito opere correctamente con la señal diferencial. Por tanto, en muchas circunstancias es necesario una primera etapa preamplificadora que se encargue de acomodar el modo común de entrada a un valor óptimo para que el comparador opere en todo el rango. Dicho circuito, además de aportar cierta ganancia

diferencial, también debe tener un rango de modo común de entrada muy amplio.

En la figura 4.7 se muestran algunos ejemplos de circuitos usados para modificar el rango de modo común de entrada permitido por el estándar a la respuesta típica del comparador con histéresis. Normalmente se suelen usar amplificadores raíl a raíl o de amplio rango de entrada.

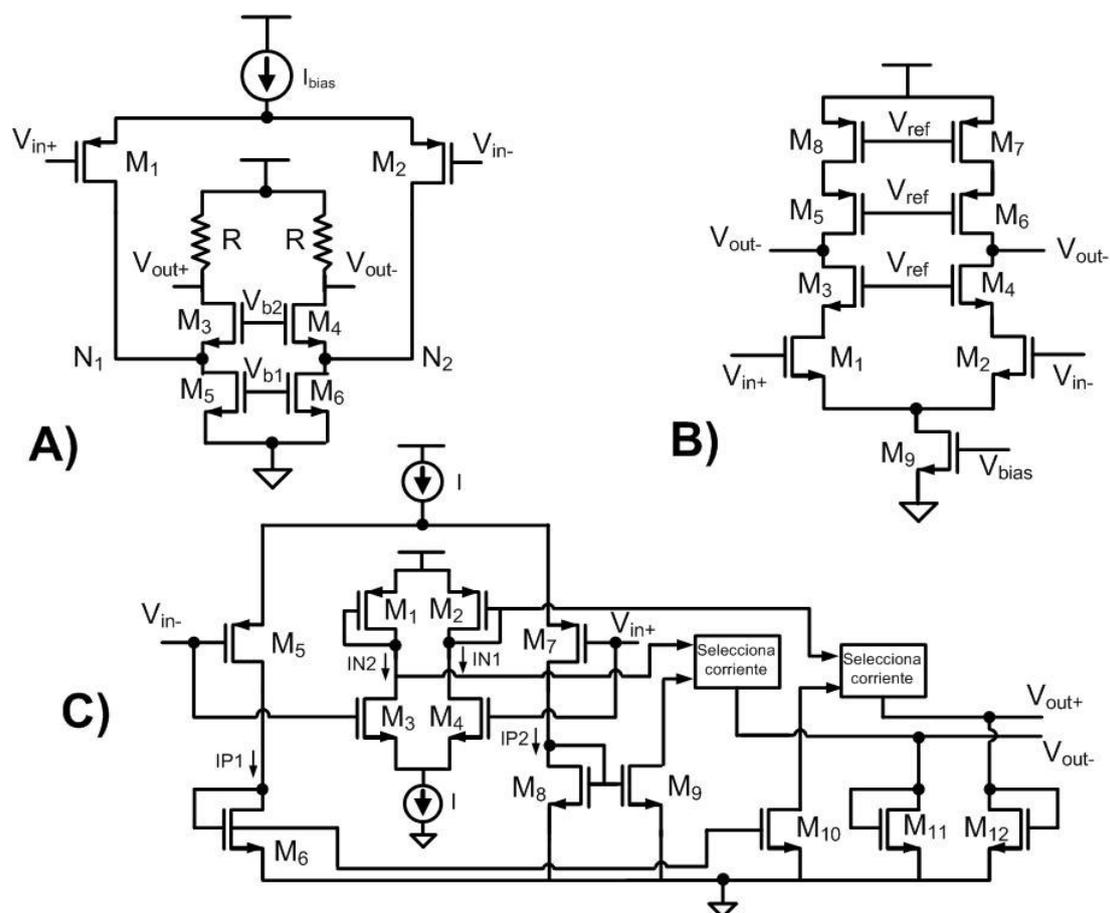


Figura 4.7: Arquitecturas de pre-amplificadores

En el circuito de la figura A) [34] se utiliza un amplificador en configuración *folded-cascode*, formado por los transistores M_1 - M_6 , cargado con las resistencias R_1 y R_2 . Los transistores M_3 y M_4 con su puerta conectada fuerzan a la salida del par diferencial una tensión baja en continua para así conseguir insensibilizar la ganancia del circuito con respecto al modo común. Los transistores del par diferencial de entrada M_1 y M_2 se diseñan con una relación de aspecto bastante elevada para conseguir la ganancia diferencial requerida, por lo que las capacidades parásitas en el nudo de salida del par serán grandes. Por tanto, para controlar el ancho de banda del circuito hay que ser cuidadosos al cargar ese nudo. En el circuito A) se ha optado por una configuración *cascode* que asegura una resistencia en pequeña señal baja en los nudos N_1 y N_2 . El valor de las resistencias de carga se debe optimizar para conseguir conciliar la ganancia diferencial del bloque, el ancho de banda y el rango de modo común de salida para la siguiente etapa. Este diseño del preamplificador está pensado para ser usado con el receptor típico LVDS,

pero en este caso en su versión NMOS.

La arquitectura de la figura B) [44] representa un amplificador telescópico utilizado como etapa preamplificadora por sus ventajas en cuanto a menor consumo y mayor velocidad que otras topologías. El precio a pagar por estas ventajas es un rango de salida reducido, por lo que necesita de otro circuito que aporte una ganancia adicional para generar una salida raíl a raíl. Para que el circuito funcione correctamente es necesario que los transistores operen en región de saturación, para lo que su tensión drenador fuente debe ser mayor que el umbral V_{DSsat} . Como hay varios transistores entre la entrada y la salida, el recorte del rango es apreciable. Otra desventaja es que la etapa de entrada tiene un par diferencial y una fuente de corriente, por lo que la mejora del rango común de entrada tampoco es excesiva. Como ventaja tenemos facilidad para tener ganancias altas (la ganancia se puede hacer del orden de $(g_m r_o)^2$) y el gran ancho de banda.

El circuito de la figura C) [45] utiliza una idea un tanto distinta para ampliar el rango de modo común, que normalmente viene limitado por el par diferencial de entrada. Pues bien, la idea del circuito C) es usar pares diferenciales NMOS y PMOS, junto con bloques de selección de corriente para que en todo momento haya, al menos, un par diferencial operando correctamente. El bloque de selección de corriente se encarga de tomar en cada momento la salida del par diferencial que opere con una mayor ganancia y conseguir así independizar la ganancia del circuito del modo común de entrada. En cierta forma, se usan dos amplificadores independientes, uniendo sus salidas a través de los selectores de corriente. La corriente de salida de éstos se aplica sobre las cargas activas M_{11} y M_{12} para generar la caída de tensión de salida.

La figura 4.8 muestra circuitos que se usan para modificar el modo común de la entrada a un valor conocido para que la entrada al comparador sea óptima y éste pueda trabajar en régimen de máxima ganancia y velocidad. El enfoque ahora no es ampliar el rango de modo común, sino modificar un modo común de entrada esperado a un valor adecuado para el comparador.

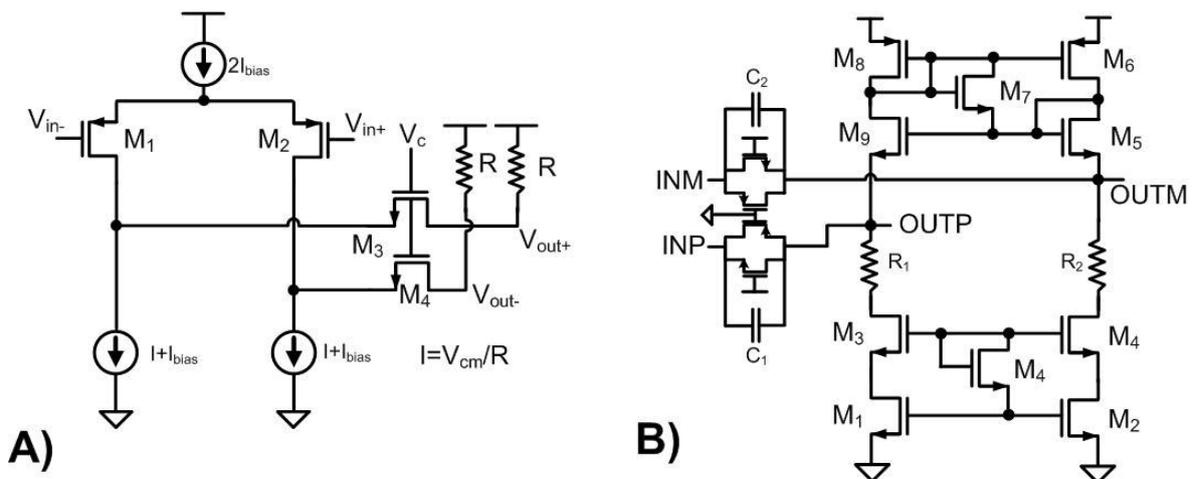


Figura 4.8: Circuitos desplazadores del modo común

El circuito de la figura A) [1] modifica el modo común de la entrada según una fuente de

corriente generada internamente. A la salida se puede elegir el modo común deseado en función de las resistencias R situadas entre el raíl de alimentación y las salidas del circuito: $V_{cm} = RI$. El circuito opera sustrayendo la corriente de modo común del par diferencial de entrada (que aparece como I_{bias} en la figura) de la rama de entrada y sustituyéndola por una corriente controlada (nombrada como I). Aplicando estas corrientes sobre las impedancias de salida, se obtiene el modo común deseado. Si el par diferencial de entrada se diseña con una relación de aspecto alta, se pueden obtener ganancias diferenciales que se sumen (en dB) a la propia ganancia del comparador para un mejor funcionamiento.

El circuito de la figura B) [46] es un simple atenuador que actúa como desplazador de nivel cuando se quiere combinar la recepción de señales LVDS con receptores que operen con tensiones de alimentación por debajo de los 1.8 V. En esos rangos es imposible la recepción de las señales diferenciales con el modo común especificado por el estándar. Una técnica disponible para adaptar las señales a tensiones de alimentación más bajas es atenuar ese modo común de entrada, para lo que se usan circuitos como el presentado. Las llaves de paso de entrada (señales INM e INP) se ponen en un estado fijo y presentan una cierta resistencia al paso de la corriente. Combinando esta resistencia con el circuito activo de protección se tiene la atenuación del modo común deseada a la salida (señales OUTP y OUTM).

En la figura 4.9 se muestran arquitecturas de receptores LVDS alternativas a la del comparador con histéresis.

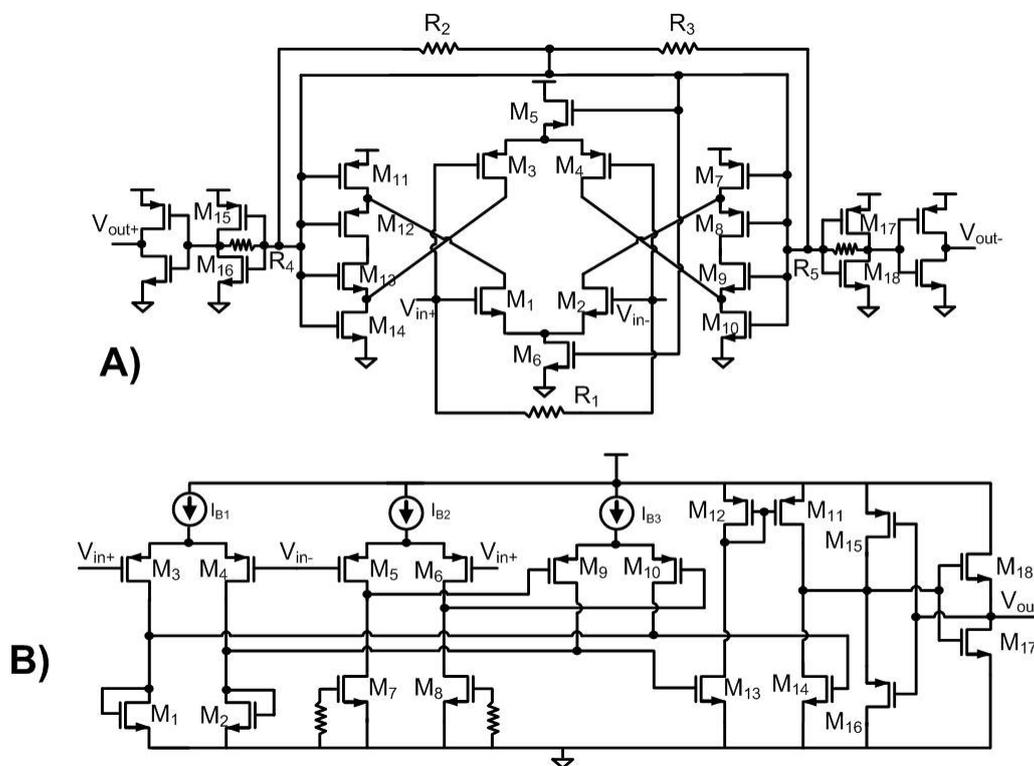


Figura 4.9: Otras arquitecturas de receptores LVDS

El circuito de la figura A) [47] utiliza el concepto de la autopolarización para conseguir una alta insensibilidad en el receptor con respecto a las variaciones de los parámetros de fabricación. Además, utiliza una arquitectura completamente diferencial para reducir al máximo la diferencia de retrasos entre la señal en sí y su versión negada. Para conseguir un amplio rango de modo común, se utilizan dos pares diferenciales alimentados por la misma entrada: de esta forma cuando el modo común de entrada limite a uno, el otro par será capaz de trabajar correctamente. La salida de los pares diferenciales de entrada se aplica a sendas estructuras cascode también autopolarizadas con el objeto de fijar bien la impedancia en esos nodos y controlar el ancho de banda. Para generar las diferencias de tensión requeridas se utilizan convertidores tensión corrientes, representados en el esquemático por los elementos $M_{15} - M_{16} - R_4$ y $M_{17} - M_{18} - R_5$. En la figura R_1 es la resistencia de terminación de línea, mientras que R_2 y R_3 se usan para sensar el modo común de salida.

Por contra, la arquitectura de la figura B) [48] usa un amplificador en configuración *folded-cascode* para superar las limitaciones que en el diseño impone el comparador con histéresis usado en la topología típica. La presencia de histéresis provoca que la respuesta sea multievaluada y que la ganancia estática se reduzca a causa del mismo fenómeno. Con el circuito se pueden conseguir grandes productos ganancia ancho de banda y una respuesta en frecuencia muy plana mediante la inserción de un cero de alta frecuencia dado por $1/R_1 C_{gs8}$ (R_1 y R_2 son iguales). Los transistores $M_{15} - M_{18}$ forman un comparador en modo corriente, cuya impedancia de entrada es aproximadamente $1/g_m$. Como esta resistencia es baja y se usa una etapa de entrada en configuración de seguidor, es posible realimentar las tensiones de puerta de los transistores. Para hacer esto se usa el inversor de salida. Una ventaja adicional que ofrece esta estructura es que tiene un retraso de grupo máximamente plano en la banda de paso, lo que reduce la interferencia entre símbolos (ISI) en la recepción de los datos.

4.4. Librería IO90GPSVTHVT_LVDS_STD_50

La librería IO90GPSVTHVT_LVDS_STD_50-7M2T [25] contiene 15 buffers LVDS (6 en configuración STAG y 9 en LIN), 2 celdas para el rutado interno VSSIO_2V5REFD_CONNECT_LIN y VSSIO_2V5REFD_CONNECT_STAG y una celda macro llamada BANDGAP_LVDS. No obstante, para contruir cualquier anillo de pads de interconexión necesita bloques contenidos en las librerías IO90GPHVT_BASIC_50A_7M2T e IO90GPHVT_REF_COMPENSATION_2V5_50. Por tanto, todos los bloques necesarios, así como los pads y los recursos de interconexión, vienen dados por el propio suministrador de la tecnología (*STMicroelectronics*), siendo responsabilidad del diseñador su correcta utilización en función de la aplicación.

Uno de los principales problemas cuando se diseñan interfaces LVDS en tecnologías profundamente submicrométricas es la elevada tensión de modo común que fija el estándar. Por ejemplo, en la tecnología de 90nm con la que se ha diseñado el serializador-deserializador se recomienda la utilización de tensiones de alimentación en el rango [1,1.2] (V). Por tanto, resultaría imposible diseñar un driver LVDS que fuera capaz de fijar la tensión de modo común al valor del estándar

y a la vez garantizara una variación completa del modo diferencial. Ante este problema pueden adoptarse dos soluciones: variar el modo común a un valor distinto al del estándar o bien usar circuitería adicional para poder trabajar con tensiones de alimentación más altas.

La primera de las soluciones propuestas tiene el problema de que no asegura la total compatibilidad con otras soluciones comerciales. Es decir, si se usa un driver con tensión de modo común modificada y un receptor comercial estándar, podría producirse una degradación de las prestaciones del enlace. Por tanto, no parece una solución adecuada para el diseño de interfaces destinadas a usarse en entornos heterogéneos donde pueden existir distintas implementaciones de los drivers y receptores LVDS. Si se desea una completa interoperabilidad es necesario optar por la segunda opción.

Para ello *STMicroelectronics* proporciona transistores especiales capaces de trabajar con tensiones de alimentación de 2.2 y 3.3 V. Estos dispositivos están contruidos usando un grosor del óxido de puerta mayor que el que se utiliza para los transistores estándar de la tecnología. Así, se evitan los problemas con la superación de los campos de ruptura del óxido que se dan cuando se usan transistores con un espesor muy fino con tensiones de alimentación altas. No obstante, hay un precio a pagar: una disminución de la velocidad de respuesta. Este efecto es especialmente indeseable en el diseño de interfaces de alta velocidad, donde los transistores se utilizan en conmutación y se necesita de ellos velocidades de respuesta altas.

Así, la utilización de transistores con espesor del óxido de puerta modificado impone una limitación a la máxima frecuencia de funcionamiento. Además, se complica la circuitería adicional necesaria para poder interaccionar con los circuitos digitales que utilizan la interfaz. Por ejemplo, se necesita una lógica que controle el proceso de digitalización de los datos recibidos y un receptor que trabaje a 2.5V para tener un rango de modo común suficiente para cumplir con las exigencias del estándar LVDS. Esto obliga a utilizar circuitos desplazadores de tensión, a construir los receptores y transmisores en varias etapas, un *bandgap* mucho más complejo,...

Como se ha visto en apartados anteriores, una de las entradas principales de cualquier driver LVDS es una referencia de tensión fija y estable para la fijación y estabilización del modo común. Para que la interfaz sea robusta frente a cambios de temperatura y de entorno, es necesario que dicha referencia se genere a través de circuitos específicos (*bandgap*) muy estables frente a estos factores. Es por ello que la propia librería trae integrada una implementación CMOS de un *bandgap* que genera una tensión de referencia de 1.218V a través de un pin global llamado REFD. El bloque utiliza tanto las tensiones de alimentación de 2.5V como la de 1.0V. Para la gestión de dicho circuito, se dispone de una entrada EN de habilitación que permite al usuario colocarlo en un estado de bajo consumo cuando no se está utilizando. Cuando EN se encuentra a nivel alto, la salida del circuito se pone en triestado y el consumo de potencia es despreciable.

La conexión del pin REFD es responsabilidad del usuario y debe hacerse al anillo de interconexión diseñado para los bloques de la librería. Para facilitar esta tarea, se tiene la celda VSSIO_2V5REFD_CONNECT, que proporciona la conectividad del bandgap con la pista que lleva la señal de referencia al resto de los bloques. La figura 4.10 muestra un ejemplo de como hacer la conexión de esta señal para las configuraciones STAG y LIN.

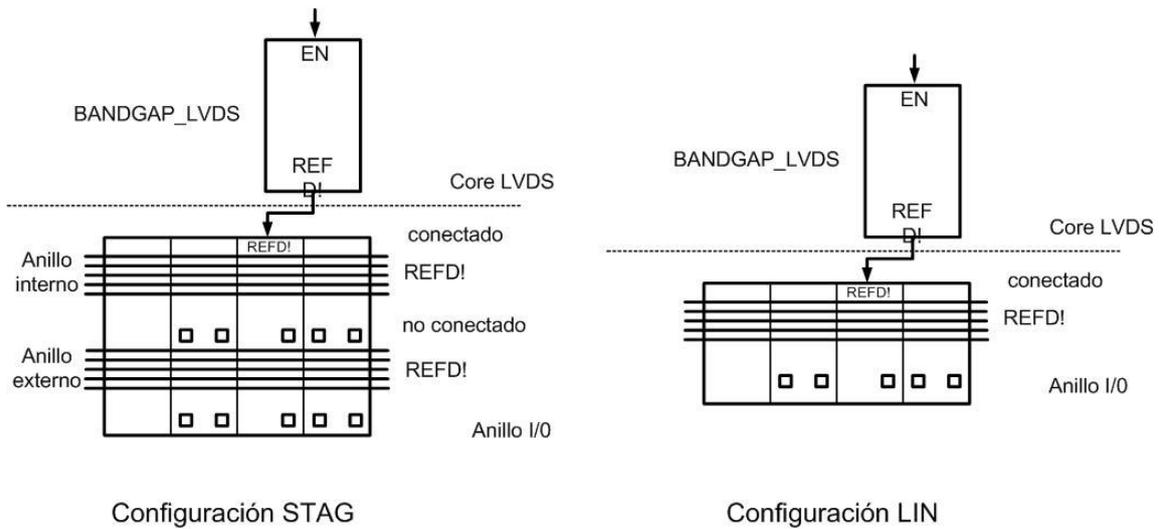


Figura 4.10: Conexión REF para esquemas STAG y LIN

El diseño de los pads de los drivers y receptores es parametrizable para que el usuario pueda escoger aquellos que se correspondan mejor con sus necesidades de área y empaquetado. Existen versiones para pads de 30, 40, 50, 65 y 80 μm tanto del driver como del receptor. Otras opciones disponibles son la configuración de los pads (LIN o STAG) y la existencia o no de la resistencia de terminación integrada en el receptor. Esta última opción nos permite usar una resistencia integrada en el propio chip para terminar la línea LVDS o bien usar un componente discreto si se requiere más precisión o esquemas de terminación de línea más complejos.

En la documentación que el fabricante proporciona también vienen definidas las especificaciones eléctricas de la interfaz, con el objeto de que el diseñador conozca con exactitud las prestaciones del enlace. La siguiente tabla muestra las características eléctricas más relevantes para las celdas del driver y del receptor. Estos parámetros son esenciales en interfaces LVDS, donde la complejidad del circuito puede provocar excesivos consumos.

| | Parámetro | Min | Tip | Max | Unid. |
|---------|-------------------|-----|-----|-----|--------------------|
| Vdd | Alimentación core | 0.9 | 1 | 1.1 | V |
| Vdde2v5 | Alimentación LVDS | 2.2 | 2.5 | 2.7 | V |
| T_j | Rango temperatura | -40 | 25 | 125 | $^{\circ}\text{C}$ |

La operación del *bandgap* viene caracterizada por los parámetros presentados en la tabla siguiente.

| | Parámetro | Min | Tip | Max | Unid. |
|---------|----------------------------------|-----|-----|-----|--------------------|
| Vdd | Alimentación core | 0.9 | 1 | 1.1 | V |
| Vdd | Alimentación core (rango amplio) | 0.8 | 1.0 | 1.1 | V |
| Vdde2v5 | Alimentación LVDS | 2.2 | 2.5 | 2.7 | V |
| T_j | Rango temperatura | -40 | 25 | 125 | $^{\circ}\text{C}$ |

Las especificaciones del driver coinciden para las dos configuraciones de pad: STAG y LIN. Para cada concepto se especifica las condiciones en las que los parámetros que definen el comportamiento del driver se deben medir, que se corresponden con lo especificado por el estándar. Se incluyen tanto características estáticas como dinámicas para caracterizar completamente al circuito. Como se puede comprobar en la siguiente tabla, las prestaciones de la circuitería de biblioteca se adaptan perfectamente a las especificaciones del estándar LVDS.

| | Parámetro | Condiciones | Min | Max | Unid. |
|------------------|------------------------------|------------------------------|------|------|----------|
| Voh | Salida máxima | $Z_L = 100 \pm 10 \% \Omega$ | | 1475 | mV |
| Vol | Salida mínima | $Z_L = 100 \pm 10 \% \Omega$ | 925 | | mV |
| $ V_{od} $ | Salida diferencial | $Z_L = 100 \pm 10 \% \Omega$ | 250 | 400 | mV |
| V_{os} | Salida modo común | $Z_L = 100 \pm 10 \% \Omega$ | 1125 | 1275 | mV |
| R_o | Impedancia salida unipolar | $V_{cm}=1.0V$ y $1.4V$ | 40 | 140 | Ω |
| I_{sa}, I_{sb} | Corriente salida | Drivers conectados a tierra | | 40 | mA |
| I_{sab} | Corriente salida | Drivers conectados entre sí | | 12 | mA |
| C_{op} | Capacidad parásita de salida | | | 5 | pF |
| Clock | <i>Duty cycle</i> del reloj | 800 MHz | 40 | 60 | % |
| t_{fall} | Tiempo bajada 20-80 % | $Z_L = 100 \pm 10 \% \Omega$ | 150 | 300 | ps |
| t_{rise} | Tiempo subida 20-80 % | $Z_L = 100 \pm 10 \% \Omega$ | 150 | 300 | ps |

Por otro lado, es necesario caracterizar al receptor para asegurar que es capaz de interpretar la señal LVDS que va a recibir. Para ello se presenta una tabla similar a la que se dio para el driver, centrando la atención en los requerimientos que la ganancia limitada del receptor impone sobre la sensibilidad a la entrada. De nuevo, las especificaciones son válidas para las configuraciones LIN y STAG.

| Símbolo | Parámetro | Condiciones | Min | Max | Unid. |
|------------|------------------------------------|-------------------------|------|-----|--------|
| V_i | Rango de entrada | | 0.4 | 2.2 | V |
| V_{idth} | Amplitud diferencial entrada | | -100 | 100 | mV |
| V_{hyst} | Histéresis diferencial entrada | $V_{idthh} - V_{idthl}$ | 25 | | mV |
| R_{in} | Resistencia diferencial de entrada | | 80 | 120 | Ohmios |

La figura 4.11 muestra los pines de entrada y salida del driver y del receptor para las versiones en configuración LIN, que es la que se ha usado. Además de las entradas y salidas diferenciales, marcadas con las siglas *VIA-VIB* y *VOB-VOA* respectivamente, se presentan las entradas de configuración que sirven para definir el comportamiento del circuito.

- **REFD**: es un nudo global que no aparece en la figura. Se trata de la salida del *bandgap* con la referencia de tensión continua para la fijación del modo común. En el layout se conecta directamente al anillo de entrada-salida a través de la celda de librería `VSSIO_2V5_REFD_CONNECT_(LIN)`.
- **REFEIO2V5**: se trata de otra referencia de tensión (esta vez a un valor de 1.28 V). Se conecta al anillo de entrada salida a través de la celda `VSSIO_REF_ASRC_(LIN/STAG)`, perteneciente a una librería que proporciona los bloques necesarios para gestionar las

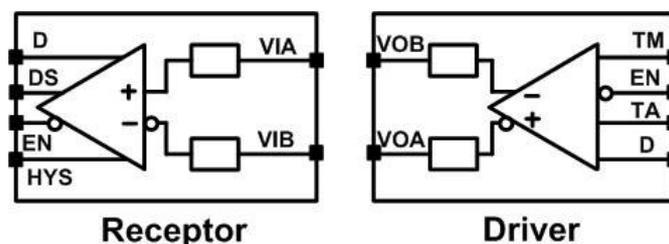


Figura 4.11: Esquema conexión driver y receptor

tensiones de alimentación de hasta 2.5V que se manejan en las etapas de salida del driver y de entrada del receptor.

- **D**: es la entrada de datos digitales raíl a raíl en el driver y la salida del mismo tipo para el receptor. Cuando el enlace está habilitado, esta línea contiene los datos transmitidos.
- **EN**: es la entrada de habilitación para el driver y el receptor. El enlace funciona normalmente cuando esta línea está a nivel bajo, mientras que a nivel alto el búffer está en triestado.
- **TA**: se trata de un pin de entrada para test del driver. Cuando el EN está a nivel bajo y TM a nivel alto, los datos en TA se transfieren directamente a la salida.
- **TM**: es el pin que sirve como entrada de activación del modo de prueba cuando está a nivel alto.
- **HYS**: cuando esta entrada del receptor está activada, se activa la etapa de histéresis del receptor.
- **DS**: es un pin de salida del receptor para realizar pruebas sobre el circuito.