Capítulo 3.

Familias TMS320 de Texas
Instruments.

1. INTRODUCCIÓN	3
2. FAMILIA TMS320C2000	4
2.1 Generación TMS320C24x	4
2.2 Generación TMS320C28x	6
2.3 Generación TMS320C5000	7
2.4 Generación TMS320C54x	7
2.5 Generación TMS320C55x	9
3. DSP DE ALTAS PRESTACIONES: FAMILIA TMS320C3X	10
4. DSP DE ALTAS PRESTACIONES: FAMILIA TMS320C6000	11
4.1 Generaciones TMS320C64x y TMS320DM64x	11
4.2 Generación TMS320C62x	14
4.3 Generación TMS320C67x	14

1. INTRODUCCIÓN

Texas Instruments es, hoy día, la empresa líder en la comercialización y fabricación de DSPs y aplicaciones en tiempo real. Además ya se posee bastante experiencia con estos dispositivos ya que se estudian a fondo en varias asignaturas de la titulación. Es por ello por lo que se ha decidido enfocar el presente proyecto sobre los dispositivos de esta empresa.

Texas Instruments engloba los dispositivos que comercializa dentro de una serie de grupos que denominaremos familias. Cada una de ellas posee una serie de particularidades (bajo consumo, potencia de cálculo, precio, etc.) que la hacen especialmente útil en un campo concreto de la ingeniería.

Aunque aquí se van a tratar todas ellas nos vamos a centrar principalmente en las dos familias denominadas de ‘altas prestaciones’, que son la familia TMS20C3x y la TMS320C6000.

La primera de ellas ha sido durante años la solución con mejor coeficiente precio-prestaciones para aplicaciones multipropósito. De esta manera, goza, aún en la actualidad, de gran divulgación en los medios formativos, especialmente universitarios, y sigue siendo de gran utilidad en la industria electrónica.

Por otro lado, la familia TMS320C6000 es de reciente aparición y presenta numerosos cambios respecto a su predecesora. Ha supuesto una revolución tanto en la potencia de cálculo como en la manera en la que se facilita su programación. Evidentemente, su coste es relativamente elevado y presenta una arquitectura bastante más compleja que su predecesora.

2. FAMILIA TMS320C2000

La familia TMS320C2000 posee la arquitectura interna típica de un procesador digital de señales, pero adicionalmente integra un elevado número de periféricos de memoria, de conversión y de comunicaciones, que lo convierten en una adecuada plataforma de diseño para aplicaciones de control de motores y de dispositivos de potencia en general.

Se puede decir que combina prestaciones típicas de un microcontrolador con una arquitectura de procesador digital de señales. La gran cantidad de periféricos y entradas salidas digitales le dota de una gran flexibilidad y adaptabilidad, dando lugar a soluciones embebidas dentro del propio chip. Pero, al mismo tiempo, la arquitectura interna de procesador digital le permite implementar algoritmos matemáticos de una manera bastante eficiente. Las aplicaciones fundamentales de ambas generaciones de DSPs se centran en la industria de automoción, fuentes de alimentación, medidores eléctricos, impresoras y copiadoras, sensores inteligentes, láseres ajustables, herramientas de mano, sistemas de aire acondicionado y bienes de consumo en general.

2.1 Generación TMS320C24x

La generación TMS320C24x posee una CPU de 16 bits en coma fija, que permite conseguir hasta 40 MIPS, y está dotada de tres modos de bajo consumo, un control de emulación JTAG y soporta diseños a 3.3 y 5 V.

Además de la CPU, cuenta con los siguientes periféricos:

- Convertidor A/D de 10 bits, 16 canales de entrada y tiempo mínimo de conversión de 375 ns.
- Módulo watchdog.
- Hasta 41 pines de entrada/salida de propósito general.
- 5 interrupciones externas.
- Hasta 2 gestores de eventos. El gestor de eventos incorpora temporizadores de 16 bits de propósito general, generación de señales PWM y capturadores de entradas, algunos de ellos con circuitos de pulsos de encoder en cuadratura.

- Hasta 32 Kwords de memoria Flash.
- Memoria RAM de acceso dual (DARAM), que permite un acceso doble en el mismo ciclo de máquina.
- Interfaz CAN (“Controller Area Network”). Totalmente compatible con el protocolo CAN, versión 2.0B. Es un protocolo de comunicación serie multimaestro que sirve de soporte de manera eficiente un control distribuido en tiempo real con altos niveles de integridad de los datos, y que alcanza velocidades de 1 Mbps.
- Interfaz seria asíncrona SCI (“Serial Communications Interface”).
- Interfaz serie síncrona SPI (Serial Peripheral Interface”).
- Memoria boot ROM.

La CPU posee una arquitectura Harvard segmentada, de una profundidad de cuatro niveles: recogida de instrucción, decodificación de la instrucción, recogida de operandos y ejecución de la instrucción. Estas 4 etapas son independientes, lo que permite un solapamiento de hasta 4 instrucciones distintas. Es decir, en un mismo ciclo pueden ejecutarse hasta 4 instrucciones, aunque en etapas de ejecución diferentes.

La CPU cuenta con tres juegos de buses:

- Bus de direcciones/datos de lectura programa (BDrLP y BDLP).
- Bus de direcciones/datos de lectura de datos (BDrLD y BDL D).
- Bus de direcciones/datos de escritura de datos (BDrED y BDED).

La existencia de buses dedicados a programa y a datos permite a la CPU disponer de dos mapas de memoria independientes: uno de programa y uno de datos, con la posibilidad de acceso simultáneo a ambos espacios de memoria. Por su parte, los buses dedicados a datos están formados a su vez por un juego de buses direcciones/datos de lectura y otro de direcciones/datos de escritura. Esto le permite a la CPU realizar una lectura y una escritura de datos en el mismo ciclo de máquina.

Respecto a los operadores aritméticos, la generación C24x cuenta con una unidad aritmético-lógica (ALU) de 32 bits, un acumulador de 32 bits, un multiplicador

de 16x16 bits, una unidad aritmético lógica auxiliar (ARAU) para generación de direcciones junto con 8 registros auxiliares (AR7-AR0) de 16 bits y diversos desplazadores.

Finalmente, un puerto JTAG permite el acceso a la lógica de emulación para el control externo del dispositivo y la depuración de programas desde el entorno de desarrollo proporcionado por Texas Instruments y otras empresas colaboradoras.

2.2 Generación TMS320C28x

La generación TMS320C28x surge como evolución de la generación anterior. Posee una CPU de 32 bits en punto fijo, con una capacidad de hasta los 150 MIPS y tensiones de alimentación de 1,9 V para el core y 3,3 V para los periféricos.

Con respecto a los periféricos, la generación C28x aporta:

- Convertidores A/D de mayor resolución, 12 bits, y mayor rapidez, 80 ns de tiempo mínimo de conversión.
- 128 Kwords de memoria Flash interna.
- Dos canales SCI, uno más que la generación C24x.
- Módulo CAN mejorado.
- Módulo McBSP (multichannel Buffered Serial Port). Es un puerto serie síncrono multicanal que tiene como características principales hasta 128 canales, comunicación full-duplex, relojes y tramas independientes programables para transmisión y recepción y con dos FIFOs de 32 bits y 16 niveles.

La CPU de la generación C28x también añade mejoras significativas. Posee una arquitectura Harvard supersegmentada, con una profundidad de 8 niveles: recogida de instrucción (etapas F1 y F2), decodificación (etapas D1 y D2), lectura de operandos (etapas R1 y R2), ejecución (etapa E) y escritura (etapa W). Las 8 fases de ejecución permiten un solapamiento máximo de 8 instrucciones en fases de ejecución diferentes. La segmentación considera además dos segmentos desacoplados: uno que va desde F1 a D1 y el otro de D2 a W. El desacoplo permite que, si ocurre algún conflicto en uno de los segmentos, el otro continúe su ejecución normal.

Al igual que la generación C24x, dispone de 3 juegos de buses internos: uno de ellos para programa y dos para datos (uno para lectura y otro para escritura de datos), pero ahora todos los buses de datos son de 32 bits en lugar de 16. También cuenta con diversos registros auxiliares y una unidad aritmético-lógica auxiliar para generar direcciones.

La recogida de instrucciones dispone de una pila FIFO interna de 4 posiciones de 32 bits, donde se guardan las instrucciones que se van leyendo en las fases F1 y F2. Respecto a los operadores aritméticos, posee una ALU de 32 bits y un multiplicador capaz de realizar productos de 16x16 bits (resultado de 32 bits) y de 32x32 bits (resultado de 64 bits). Si bien con 32 bits no puede realizar operaciones multiacumuladoras (igual que ocurría con el C24x, que carecía de una unidad multiacumuladora), cuando trabaja en 16 bits sí que posee instrucciones que permiten acumular productos.

2.3 Generación TMS320C5000

La familia TMS320C5000 proporciona un amplio número de dispositivos con las mejores prestaciones en cuanto a consumo y espacio. Como consecuencia, está especialmente orientada a aplicaciones portátiles e inalámbricas, donde tanto el consumo como las limitaciones de espacio son de especial relevancia.

2.4 Generación TMS320C54x

La generación TMS320C54x posee una CPU de 16 bits en como fija, que permite conseguir una disipación de potencia de 60 mW para 100 MIPS. Admite tres modos de bajo consumo, tensiones de alimentación de 1.2, 1.8, 2.5, 3.3 y 5 V, y alcanzar velocidades entre 30 y 532 MIPS.

La CPU posee internamente cuatro juegos de buses direcciones/datos: uno dedicado a programa y los otros tres a datos, interconectando diversos elementos como la CPU, la lógica de dirección de direcciones de datos y de programa, periféricos internos y memoria. Dos unidades aritmético-lógicas auxiliares (ARAU0 y ARAU1) permiten generar dos direcciones de memoria de datos en un solo ciclo de máquina. De este modo, si un operando se toma de memoria de programa y los otros dos se leen

utilizando en paralelo las dos unidades ARAUs, es posible ejecutar una instrucción de tres operandos en un solo ciclo de máquina.

Respecto a los operadores aritméticos, la CPU cuenta con:

- ALU de 40 bits.
- Dos acumuladores de 40 bits.
- Desplazadores.
- Multiplicador de 17x17 bits.
- Sumador de 40 bits.
- Codificación exponencial y normalización en un solo ciclo.
- Unidad de comparación, selección y almacenamiento. Soporta el operador Viterbi, que se usa en la decodificación de canales y ecualización.

La ALU y el multiplicador pueden operar en paralelo para realizar operaciones de producto y acumulación en un solo ciclo de máquina.

La estructura de ejecución de instrucciones de la generación C54x es supersegmentada con una profundidad de 6 niveles: pre-recogida, recogida de instrucción, decodificación, acceso, lectura y ejecución. Las 6 fases o etapas son independientes, lo que permite tener hasta 6 instrucciones activas, aunque en fases de ejecución distintas. Las dos primeras etapas conforman la secuencia de recogida de instrucción. Asimismo, las fases acceso y lectura conforman la secuencia de lectura de los operandos. La operación de escritura se extiende a lo largo de dos fases de la segmentación: la fase de lectura, en la que se pone la dirección del dato en el bus de direcciones correspondiente, y la de ejecución, en la que se escribe el dato en memoria.

Aplicaciones típicas de la generación C54x son: comunicaciones móviles digitales, sistemas de comunicación personal, dispositivos PDAs, comunicaciones inalámbricas, módems, voz sobre IP, etc.

2.5 Generación TMS320C55x

La generación TMS320C55x, de 16 bits en coma fija, es la sucesora de la C54x y alcanza velocidades de hasta 400 MIPS, mejorando todavía más las prestaciones de la generación anterior en cuanto al consumo.

La arquitectura interna de la CPU resulta bastante más compleja que la de los DSPs anteriores. Posee un total de 6 juegos de buses de direcciones/datos:

- Tres juegos de buses direcciones/datos para lectura de datos (BAB, CAB y DAB, de 23 bits, y BB, CB y DB, de 16 bits). Conducen datos de 16 bits a las unidades funcionales de la CPU. Todas las direcciones se generan en la unidad funcional A de la CPU.
- Un juego de buses direcciones/datos de lectura de programa (PAB, de 24 bits y PB de 32 bits). Conducen el código del programa a la unidad funcional I de la CPU.
- Dos juegos de buses direcciones/datos para escritura de datos (EAB y FAB, de 23 bits, y EB y FB, de 16 bits). Conducen datos de 16 bits desde las unidades funcionales al exterior de la CPU. Las direcciones se generan en la unidad funcional A de la CPU.

La estructura interna de la CPU consta de cuatro unidades funcionales:

- La unidad I se encarga de la recogida y la decodificación de instrucciones, pasándole los datos al resto de unidades para su ejecución. Las instrucciones se recogen en 32 bits del bus de datos de lectura de programa y se guardan en una cola de instrucciones de 64 bytes. De esta cola de instrucciones se recogen hasta 6 bytes para su decodificación. Las instrucciones de la generación C55x tienen un tamaño variable de 8 a 48 bits, según el número de operandos y operaciones en paralelo que lleven a cabo. Esta generación de DSPs puede llegar a ejecutar dos instrucciones en paralelo según se establezca durante el proceso de compilación o ensamblado.
- La unidad P genera todas las direcciones de programa y controla la secuencia de instrucciones.

- La unidad A contiene toda la lógica y los registros necesarios para generar las direcciones del espacio de datos y de entrada/salida. También contiene una ALU.
- La unidad D contiene las unidades computacionales de la CPU: desplazador, ALU, dos unidades multiacumuladoras (una más que en la generación C54x) y registros internos.

La estructura de ejecución es supersegmentada, con una profundidad de 12 niveles. Igual que la generación C28x, posee dos segmentos desacoplados, el primero formado por las cuatro primeras fases y el segundo por las ocho últimas.

Las principales aplicaciones de la familia C55x se centran en telefonía móvil, reproductores de audio digitales, cámaras digitales, reconocimiento de voz, dispositivos GPS, reconocimiento de patrones, módems, dispositivos biomédicos etc.

3. DSP DE ALTAS PRESTACIONES: FAMILIA TMS320C3X

La familia TMS320C3x está formada por DSP de 32 bits con capacidad de trabajar con enteros y flotante, y puede llegar a alcanzar hasta los 150 MFLOPS.

Cuenta con una CPU y una DMA interna que pueden trabajar en paralelo. Las principales características de la familia C3x en cuanto a periféricos se resume en los siguientes puntos:

- Caché de programa (64x32).
- Dos bloques de RAM de 1Kx32 (C30, C31 y C33) y 256x32 (C32).
- Dos bloques adicionales 16Kx32 (C33).
- Memoria ROM 4Kx32 (Boot-ROM para C31, C32 y C33).
- Dos periféricos temporizadores de 32 bits.
- Un puerto serie síncrono (dos para el C30).
- Periférico DMA que trabaja en paralelo con la CPU (de dos canales para el C33).

Respecto a la CPU, cuenta internamente con un multiplicador y una ALU que trabajan tanto con enteros como con flotantes. Ambos constituyen una unidad multiacumuladora, que facilita la implementación de los algoritmos típicos del procesamiento digital de señales. Ambos operadores aritméticos trabajan con los 8 registros de precisión extendida de 40 bits. Además, cuenta con dos generadores de direcciones que se apoyan en los 8 registros auxiliares y contempla dos modos de bajo consumo.

La interfaz externa posee un bus principal de 23 líneas de direcciones y 32 de datos para todos los elementos de la familia C3x, y, sólo para el caso del C30, existe un segundo bus de expansión, esta vez de sólo 13 líneas de direcciones y 32 de líneas de datos.

La estructura de ejecución de instrucciones es segmentada con un pipeline de 4 niveles que permite, en el caso de un solapamiento perfecto, la ejecución de cuatro instrucciones a la vez, aunque en fases de ejecución diferentes.

Las principales aplicaciones de la familia C3x se centran en instrumentación, robótica, procesamiento de señales de audio, videoconferencia, impresoras, copiadoras, scanner, automatización y control de motores.

4. DSP DE ALTAS PRESTACIONES: FAMILIA TMS320C6000

Actualmente, la familia TMS320C6000 agrupa los DSPs más rápidos del mercado, pudiendo llegar a relojes de hasta 720 MHz. La familia C6000 está integrada por tres generaciones que trabajan en punto fijo, TMS320C62x, TMS320C64x y TMS320DM64x, y una que trabaja en coma flotante, TMS320C67x.

4.1 Generaciones TMS320C64x y TMS320DM64x

La generación TMS320C64x ofrece los DSPs más rápidos del mercado, con posibilidad de funcionar con relojes de hasta 1 GHz. Trabajan con 32 bits en coma fija.

Los periféricos varían en los distintos elementos que integran la generación. La siguiente lista describe brevemente cada uno de ellos:

- Tres temporizadores de propósito general de 32 bits.
- Interfaz externa EMIF, que soporta conexión directa (“glueless”) con una amplia variedad de dispositivos, como memorias asíncronas (ROM, RAM y FIFOs), memorias DRAM síncronas, memorias SBSRAM (“pipelined synchronous-burst SRAM”), etc. La generación C64x puede tener, según el elemento de que se trate, hasta dos interfases externas, EMIFA y EMIFB, esta última con un bus de datos de 16 bits (sólo en el C6414, C6415 y C6416).
- Hasta tres McBSP (“multichannel buffered serial port”).
- Interfaz PCI (“peripheral component interface”), que permite la conexión del DSP a un dispositivo PCI, funcionando como maestro o esclavo. La interfaz PCI se comunica con la CPU mediante la EDMA.
- Interfaz HPI (“host port interface”). Puede ser de 32 bits, de 16 o ambos.
- Módulo EMAC (“Ethernet Media Access Controller”), que controla el flujo de paquetes de datos desde el DSP a un dispositivo de capa física.
- Entradas y salidas de propósito general GPIO.
- Módulo I2C, que permite transmitir y recibir hasta 8 bits a dispositivos compatibles I2C. Se trata de una interfaz serie síncrona a dos cables, línea de datos línea de reloj, que funciona con líneas a drenador abierto que forman puertas AND cableadas.
- Módulo selector de interrupciones. La familia C6000 posee hasta 32 fuentes de interrupción, pero la CPU sólo tiene 12 entradas de interrupción. El bloque selector de interrupciones permite elegir y priorizar las fuentes de interrupción.
- UTOPIA (“Universal Test and Operations Physical layer Interface for ATM”). Se trata de un controlador ATM esclavo que permite la conexión a un controlador ATM maestro.
- Coprocesador TCP (“turbo decoder coprocessor”). Se usa para la decodificación de canales de datos de alta velocidad que aparecen en los estándares de telefonía móvil de tercera generación. Es compatible con los estándares inalámbricos IS2000 y 3GPP.

- Coprocesador VCP (“Viterbi decoder coprocessor”). Se usa para la decodificación de voz y de canales de datos de baja velocidad que aparecen en los estándares de telefonía móvil de tercera generación. Es compatible con los estándares inalámbricos IS2000 y 3GPP.

La CPU posee una arquitectura VLIW (“very long instruction word”), que contiene muchas unidades funcionales que operan en paralelo, permitiendo de esa forma ejecutar varias instrucciones en un mismo ciclo de reloj. Posee 8 unidades funcionales, dos archivos de registros, A y B, de 32 registros de 32 bits cada uno, y dos “data-path”. Dos de las unidades funcionales, .M1 y .M2, contienen cada uno un multiplicador, capaz de realizar cada uno de ellos dos productos de 16x16 bits en un solo ciclo de reloj. Esto significa que, funcionando a 600 MHz, la generación C64x es capaz de realizar 2.400 millones de multiplicaciones cada segundo. Más aún, cada multiplicador puede realizar 4 multiplicaciones de 8x8 bits. A 600 MHz, esto equivale a 4.800 millones de multiplicaciones por segundo. Datos de 8 bits se utilizan en aplicaciones de procesamiento de imágenes, que es uno de los típicos campos de aplicación de la generación C64x.

La estructura de ejecución de instrucciones es supersegmentada con un “pipeline” de once fases: las tres primeras corresponden a la recogida de la instrucción, las dos siguientes a la decodificación y las cinco últimas a la ejecución. Todas las instrucciones pasan por todas las fases de recogida y decodificación, pero no por todas las fases de ejecución. Es importante reseñar que se trata “pipeline” sin bloqueos, es decir, la CPU no resuelve conflictos ni dependencias de datos. Consecuentemente, cualquier código ensamblador debe ser escrito muy cuidadosamente para evitar un comportamiento indeseado. Por este motivo, resulta mucho más seguro trabajar con un lenguaje de alto nivel y que el compilador se encargue de evitar los conflictos y dependencias.

La recogida realmente no se realiza sobre una única instrucción, sino sobre un paquete de ocho instrucciones que pasan simultáneamente por las fases de recogida. En la fase de decodificación se divide el paquete de recogida en uno o más paquetes de ejecución que serán asignados a unidades funcionales para su ejecución.

La generación TMS320DM64x es muy parecida a la anterior, pero incorpora puertos de captura de video y un puerto serie audio multicanal (McASP).

Las principales aplicaciones de la generación C64x y DM64x se centran en comunicaciones digitales, DSL, estaciones base, redes locales inalámbricas, pasarelas procesamiento de video, televisión digital y aplicaciones de procesamiento de imágenes.

4.2 Generación TMS320C62x

La generación C62x fue la primera de la familia TMS320C6000. Son DSPs de 32 bits en punto fijo y son compatibles con la generación 67x, de coma flotante.

Los periféricos ya fueron brevemente descritos con la generación anterior. La arquitectura de la CPU es también VLIW, aunque en este caso, los archivos de registros A Y B son de 16 registros de 32 bits cada uno. También posee 8 unidades funcionales y dos “data-path”.

La estructura de ejecución es supersegmentada, y sus fases son exactamente iguales a las de la generación C64x.

4.3 Generación TMS320C67x

La generación C67x proporciona los DSPs de coma flotante en 32 bits de la familia C6000. La arquitectura es VLIW con un pipeline supersegmentado con 16 subfases agrupadas en tres grandes fases básicas: recogida, decodificación y ejecución. Todas las instrucciones pasan todas las subfases de recogida y decodificación, pero no tienen por qué cubrir todas las correspondientes a la ejecución.

Igual que la generación C64x, los archivos de registros A y B son de 16 registros de 32 bits cada uno.