



**ESCUELA SUPERIOR DE INGENIEROS
UNIVERSIDAD DE SEVILLA**



PROYECTO FIN DE CARRERA

Ingeniería de Telecomunicación



**ESTUDIO TEÓRICO-PRÁCTICO DE RESISTENCIAS
PROGRAMABLES EN TECNOLOGÍA CMOS**

Autor: Gonzalo De Prado Rodríguez-Armijo

Tutora: Dra. Juana M^a Martínez Heredia

Departamento de Ingeniería Electrónica

Sevilla, Junio 2009

Índice

Índice	3
Capítulo 1: Introducción	5
Capítulo 2: Conceptos previos.....	8
2.1 El Transistor Mosfet	8
2.2 Distorsión	12
2.3 El simulador MICROCAP y el modelo EKV	15
2.4 El par diferencial	18
Capítulo 3: Implementaciones de resistencias programables tradicionales.....	21
3.1 Resistencia programable mediante un Mosfet	21
3.1.1 Simulación con una fuente de tensión diferencial.....	21
3.1.2 Simulación con par diferencial simple	30
3.2 Resistencia programable mediante dos transistores Mosfet con tensión de puerta diferencial.....	42
3.2.1. Simulación con una par diferencial simple.	42
3.3 Resistencia programable mediante dos transistores Mosfet en serie.	52
3.3.1 Simulación con un par diferencial simple.	52
3.4 Resistencia programable mediante dos transistores Mosfet en paralelo.....	59
3.4.1 Simulación con una fuente de tensión diferencial.....	59
3.2.2 Simulación con un par diferencial simple	64
3.5 Resistencia programable mediante un transresistor.	66
Capítulo 4: Implementaciones de resistencias programables actuales	72

4.1 Resistencias programables con transistores de puerta flotante	72
4.2 Nuevo método de implementación de resistencias programables lineales y no lineales.	79
Capítulo 5: Conclusiones y trabajo futuro	90
Bibliografía.....	91

La tecnología desarrollada con transistores Mosfet ha alcanzado la escala de los micrómetros (10^{-6}m) y sigue disminuyendo (llamándose tecnologías nanométricas a aquellas cuya longitud mínima para el canal de un transistor está por debajo del $1\mu\text{m}$).

Para la construcción de numerosos circuitos electrónicos, analógicos sobre todo, son necesarios elementos pasivos como es el caso de resistencias. El problema se presenta cuando se desea implementar, resistencias en un circuito integrado a escalas tan sumamente pequeñas.

En Electrónica, una resistencia no es más que un componente que simboliza la oposición que se produce al circular una corriente eléctrica por el mismo. Las resistencias se modelan según la Ley de Ohm $V=RI$ y se miden en Ω (Ohmios).



Figura 1.2: Resistencia tradicional.

Existen muchas y muy diversas formas de realizar resistencias tradicionales pero en todas nos vamos a encontrar el problema del tamaño, ya que la estructura discreta de la materia y los límites de resistencia de los materiales hacen que aparezcan comportamientos no deseados y que nos alejemos del concepto lineal de una resistencia. Por todo ello el objetivo del presente documento será estudiar la posibilidad de realizar resistencias con transistores Mosfet y, además, veremos cómo

podemos modificar el valor de las mismas, lo que se conoce como programabilidad de la resistencia.

En principio podríamos pensar que usando materiales resistivos como el polisilicio, muy usado para construir distintas capas del transistor Mosfet, podríamos implementar una resistencia sin que el tamaño fuera un problema. Pero esto no es del todo cierto, ya que para construir una resistencia con alta resistividad necesitaríamos tiras de polisilicio muy grandes en comparación con el tamaño de un dado de silicio. Esto nos llevaría a gastar prácticamente todas las dimensiones del dado, lo que supondría aumentar el tamaño del chip y consecuentemente el aumento del precio del mismo. Por poner un ejemplo, una resistencia de alrededor de 2000Ω , necesitaría un espacio en el dado de $25\mu\text{m} \times 25\mu\text{m}$. Para evitar el exceso de Silicio necesario para implementar una resistencia en un circuito integrado de la forma tradicional, se recurre a la utilización del transistor MOS, como se expondrá a lo largo del presente documento.

El documento se divide en cinco capítulos. En el capítulo número dos introduciremos conceptos teóricos que nos servirán para entender el desarrollo del trabajo realizado. En el capítulo número tres veremos técnicas convencionales de implementación de resistencias mediante transistores Mosfet, comprobando cómo de lineales son dichas resistencias. Además, analizaremos su comportamiento frente a otros parámetros como la frecuencia y la temperatura. En el capítulo número cuatro veremos cómo podemos mejorar dichas resistencias tradicionales, usando nuevas tecnologías como la FGMOS. Finalmente, en el último capítulo, se exponen las principales conclusiones a las que se ha llegado tras la elaboración del proyecto y se plantean posibles trabajos futuros que se podrían llevar a cabo como continuación de éste.

Capítulo 2: Conceptos previos

2.1 El Transistor Mosfet

MOSFET son las siglas de Metal Oxide Semiconductor Field Effect Transistor. Se trata de un transistor de efecto de campo basado en la estructura MOS.

Un transistor MOSFET consiste en un sustrato de material semiconductor dopado (normalmente Silicio) en el que, mediante técnicas de difusión de dopantes, se crean dos islas de tipo opuesto separadas por un área sobre la cual se hace crecer una capa de dieléctrico culminada por una capa de conductor. Los transistores MOSFET se dividen en dos tipos fundamentales dependiendo de cómo se haya realizado el dopaje:

- Tipo nMOS: Sustrato de tipo p y difusiones de tipo n.
- Tipo pMOS: Sustrato de tipo n y difusiones de tipo p.

Un ejemplo de la estructura de un Mosfet tipo n vendrá dada por la siguiente figura.

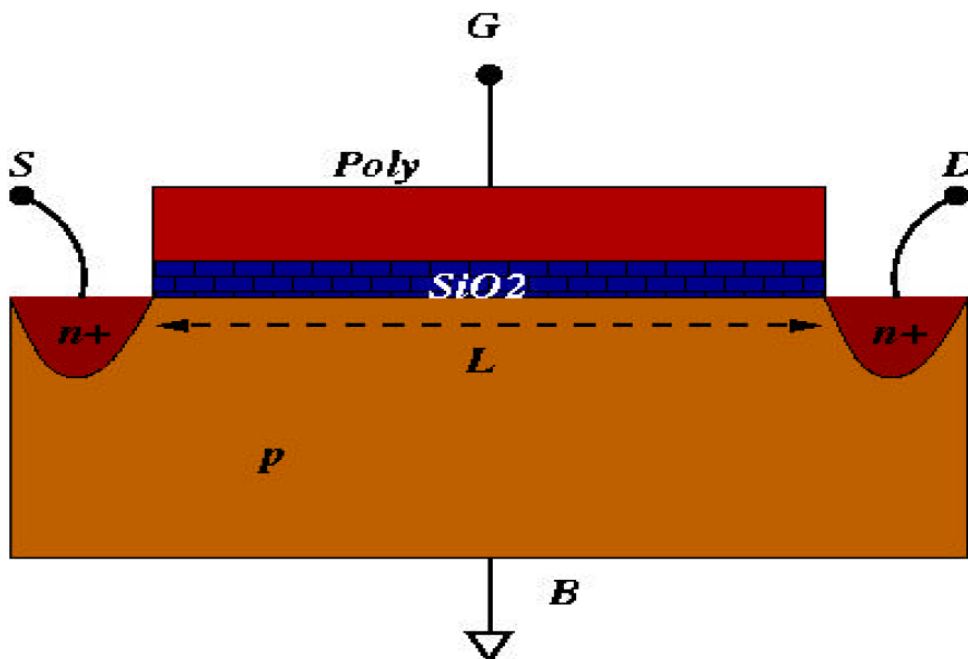


Figura 2.1: Estructura de un transistor nMOS.

En dicha figura se pueden observar claramente cuatro terminales:

- G Puerta o Gate.
- D Drenador o Drain.
- S Fuente o Source.
- B Sustrato o Bulk.

En un modo normal de funcionamiento las dos uniones n^+p estarán polarizadas en inversa. No obstante, si aplicamos una tensión suficientemente positiva en el terminal de la puerta respecto del sustrato, parte de las líneas verticales de campo eléctrico que forman el óxido se introducen en el semiconductor, induciéndose en la región del semiconductor próxima al óxido una capa de carga negativa (electrones), llamada capa de inversión. En tal caso, si se aplica una tensión positiva entre los terminales del drenador y de la fuente se produce una corriente eléctrica que físicamente entra por el drenador y sale por la fuente. Precisamente porque de la región n^+ correspondiente al terminal S salen los electrones hacia el canal (región ocupada por la capa de inversión referida anteriormente), este terminal recibe el nombre de fuente. Como estos electrones acaban en la otra región n^+ , esta recibe el nombre de drenador. Como se observa el circuito es completamente simétrico y los terminales del drenador y la fuente son intercambiables. La única diferencia reside en que vamos a tener siempre una tensión mayor en el drenador que en la fuente.

La simbología que nos vamos a encontrar para reconocer este tipo de elementos en cualquier libro y, sobretodo, en este documento será:

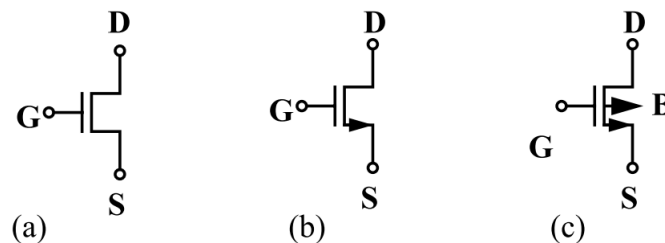


Figura 2.2: Simbología correspondiente al transistor nMOS.

Una vez introducida la estructura, el funcionamiento y la simbología del transistor MOSFET, el objetivo será obtener un conjunto de modelos eléctricos para posibilitar el diseño del elemento objeto de nuestro estudio: resistencias integradas programables en tecnología CMOS.

El modelo en DC va a establecer relaciones entre el conjunto de tensiones e intensidades del MOS en corriente continua. Este modelo, asumiendo sus limitaciones, viene dado en el siguiente cuadro.

REGION DE OPERACIÓN	CONDICIONES	INTENSIDAD DEL DRENADOR
CORTE	$V_{GS} < V_{tn}$	$I_{DS}=0$
ÓHMICA o LINEAL	$V_{GS} \geq V_{tn}$ $V_{DS} \leq V_{DS.sat}$	$I_{DS}=K_{ohm} \frac{W}{L} (V_{GS} - V_{tn} - \frac{V_{DS}}{2}) V_{DS}$
SATURACIÓN	$V_{GS} \geq V_{tn}$ $V_{DS} \geq V_{DS.sat}$	$I_{DS}=\frac{K_{ohm} W}{2 L} (V_{GS} - V_{tn})^2 (1 + \lambda V_{DS})$

Tabla 2.1: Regiones de funcionamiento del transistor MOS.

Algunos comentarios importantes respecto al modelo son:

- $I_G = 0$, es decir, la intensidad de puerta es cero. Esto es debido a que la puerta está aislada eléctricamente del resto del dispositivo.
- V_{tn} es la tensión umbral del dispositivo, y depende del modelo de Mosfet que utilicemos. En todo caso ésta valdrá:

$$V_{tn} = V_{tn0} + \gamma_n [\sqrt{\phi_{Bn} + V_{SB}} - \sqrt{\phi_{Bn}}] \quad (2.1)$$
- $V_{DS.sat} = V_{GS} - V_{tn}$ es la tensión mínima entre las regiones de difusión para que el transistor entre en saturación.

Por otro lado, si enfrentamos en una gráfica la intensidad que recorre el MOS frente a la intensidad obtenemos la siguiente figura.

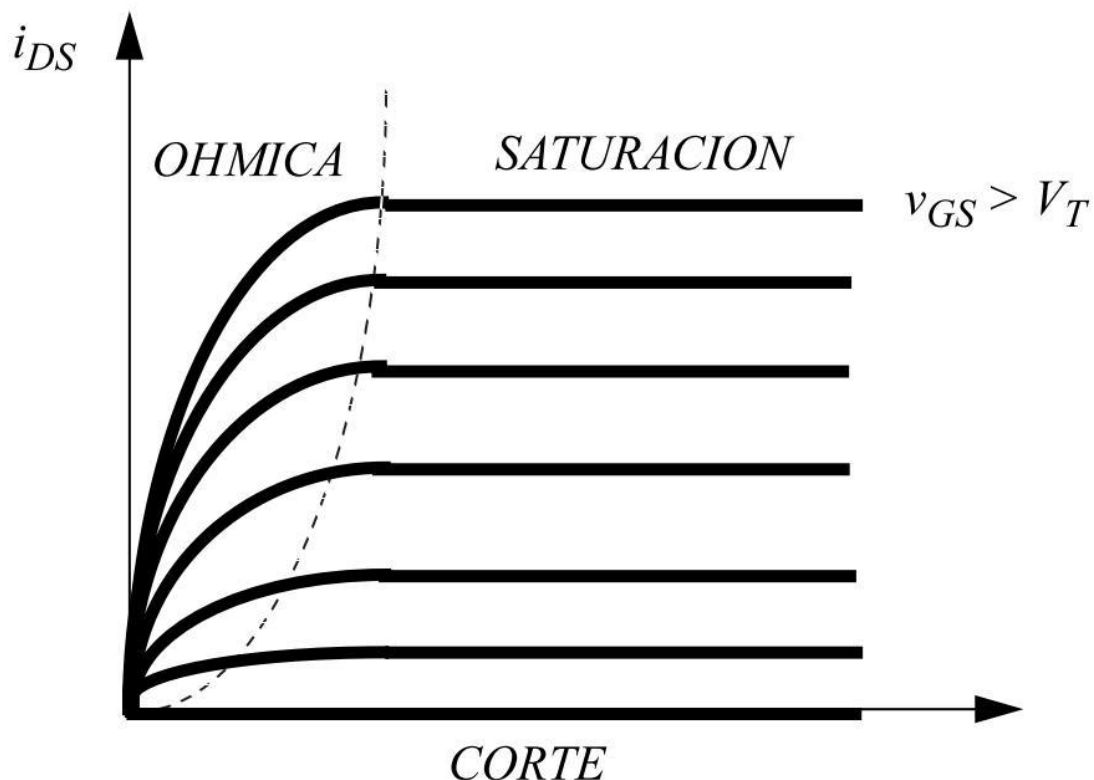


Figura 2.3: Familia de curvas del transistor MOS tipo n.

Es precisamente aquí donde podemos observar claramente el comportamiento lineal del transistor MOS en su zona lineal u óhmica. Este comportamiento es el que vamos a usar principalmente para el diseño de resistencias. Además veremos, a lo largo del documento, que aun con el comportamiento cuadrático que tiene el transistor en la zona de saturación, dicha región también nos servirá para la realización de resistencias.

2.2 Distorsión

Se entiende por distorsión la diferencia en la forma de onda entre la señal que entra a un sistema lineal y la señal de salida del mismo. Por tanto, puede definirse como la deformación que sufre una señal tras su paso por un sistema lineal. En Electrónica, para señales grandes la limitación se debe a la aparición de no-linealidades en la salida del circuito. Estas no-linealidades se manifiestan por la presencia de componentes de frecuencia que no estaban en la señal de entrada. Aun cuando el origen de estas no linealidades puede ser diverso, la causa última se encuentra en el comportamiento no lineal de los dispositivos y componentes cuando las excursiones de señal a su entrada (o a su salida) se hacen muy grandes. Incluso con el empleo de técnicas de linealización, como la utilización de circuitos diferenciales y balanceados o la introducción de realimentación negativa, existen límites físicos que no pueden excederse y que provocarán comportamientos no-lineales.

Consideraremos que tenemos circuitos razonablemente lineales cuya no linealidad puede ser aproximada, en el rango de señales de interés, por un desarrollo polinómico. Ésta es una aproximación razonable para la mayor parte de los circuitos en baja y media frecuencia donde las capacidades parásitas (que son, en general, bastante no-lineales) pueden despreciarse. En efecto, sabemos que cualquier función continua e infinitamente derivable en un intervalo suficientemente pequeño alrededor de un punto de equilibrio puede ser aproximada por su desarrollo en serie de Taylor. El error que se comete mediante esta aproximación cuando truncamos el desarrollo está acotado y puede hacerse tan pequeño como queramos si reducimos suficientemente el tamaño del intervalo. Cuando el punto de equilibrio es $x = 0$,

$$y = f(x) = a_0 + a_1x + a_2x^2 + a_3x^3 + \dots ; \quad \text{para } |x| < \varepsilon \quad (2.2)$$

$$a_0 = f(0); \quad a_1 = \left. \frac{df(x)}{dx} \right|_{x=0}; \quad a_2 = \left. \frac{1}{2!} \frac{d^2f(x)}{dx^2} \right|_{x=0}; \quad a_n = \left. \frac{1}{n!} \frac{d^nf(x)}{dx^n} \right|_{x=0} \quad (2.3)$$

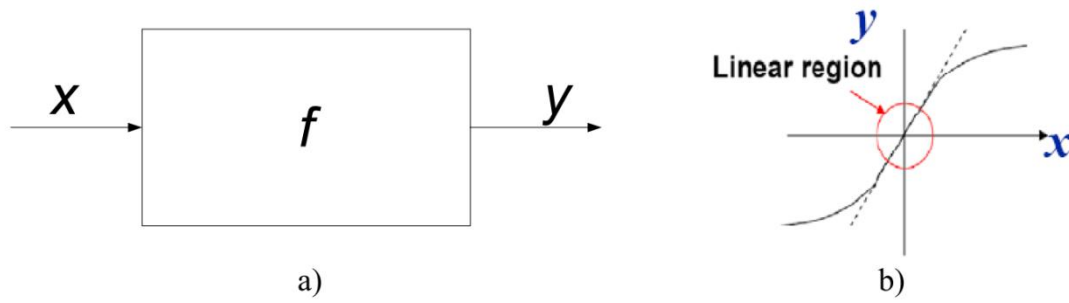


Figura 2.4: a) Circuito en estudio, b) aproximación lineal de la función.

En el circuito de la figura 2.4, la salida depende exclusivamente del valor de la entrada y no depende de su historia anterior. A estos circuitos se les denomina circuitos sin memoria (serán los circuitos de nuestro interés).

Consideremos ahora que la entrada es una señal senoidal de amplitud A y frecuencia ω , es decir, $x = A \cos(\omega t)$. De acuerdo con la expresión anterior la salida puede ser aproximada (en el intervalo de interés) por:

$$y = f(x) = a_0 + a_1(A \cos(\omega t)) + a_2(A \cos(\omega t))^2 + a_3(A \cos(\omega t))^3 + \dots =$$

$$= b_0 + b_1 \cos(\omega t) + b_2 \cos(2\omega t) + b_3 \cos(3\omega t) + \dots \quad (2.5)$$

Donde los coeficientes b_0, b_1, b_2 y b_3 se han obtenido despejando mediante relaciones trigonométricas sencillas y vienen dados por,

$$b_0 = [a_0 + \frac{1}{2}a_2A^2 + O(A^4)] ; \quad b_1 = [a_1A + \frac{3}{4}a_3A^3 + O(A^5)] ; \quad (2.6)$$

$$b_2 = [\frac{1}{2}a_2A^2 + O(A^4)] ; \quad b_3 = [\frac{1}{4}a_3A^3 + O(A^5)] ; \quad (2.7)$$

En las expresiones, al término de frecuencia ω se le denomina componente fundamental y al resto de los términos se les denomina armónicos ($2\omega, 3\omega, \dots$). Nótese que si el circuito hubiera sido perfectamente lineal (es decir, $a_i = 0$ para $i > 1$) no existirían armónicos. Dicho de otra manera, la presencia de no-linealidades en el circuito es la causa de la existencia en la salida de armónicos de la señal de entrada.

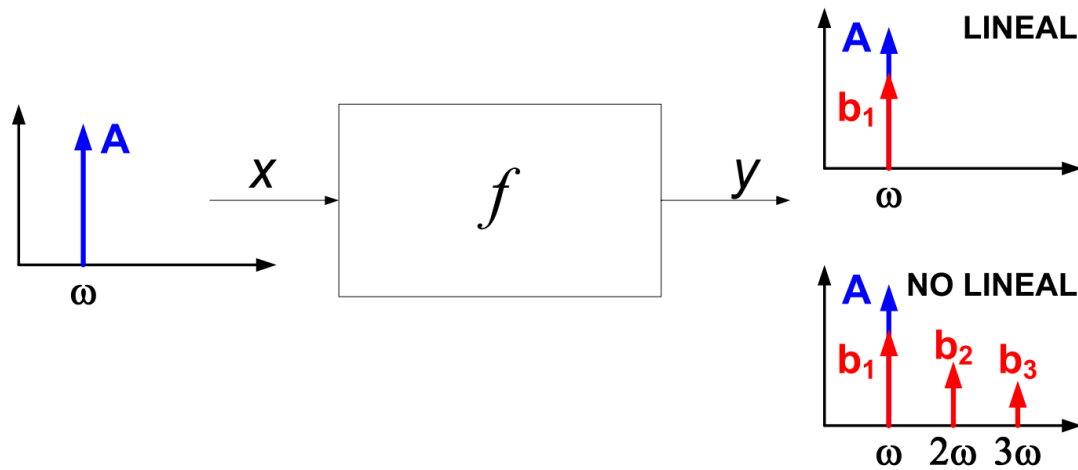


Figura 2.5: Espectro de salida para un circuito no lineal.

En general para analizar la distorsión de un circuito usaremos siempre dos parámetros fundamentales.

- El factor de Distorsión Armónica de orden i-ésimo, HD_i , ($i > 1$) como el cociente entre la amplitud del i-ésimo armónico y el de la componente fundamental, es decir:

$$HD_i = \left| \frac{b_i}{b_1} \right| \quad (2.8)$$

- La Distorsión Armónica Total (THD) como la media geométrica de todos los factores de distorsión, es decir:

$$THD = \sqrt{HD_2^2 + HD_3^2 + \dots} \quad (2.9)$$

Para nuestro estudio la distorsión jugará un papel fundamental, ya que no sólo nos dará información sobre como de buena es nuestra resistencia (más o menos lineal) sino que, además, podremos establecer un límite máximo de distorsión permitida que nos fijará a su vez el valor máximo o mínimo de resistencia que podremos implementar con una determinada técnica.

2.3 El simulador MICROCAP y el modelo EKV

El simulador Microcap es un programa de simulación de circuitos, tanto analógicos como digitales, basado en una interfaz gráfica y que funciona bajo cualquier versión de Windows.

En nuestro caso vamos a utilizar la versión 8.0. En ella tenemos definidos todo tipo de componentes necesarios para implementar cualquier circuito. Desde elementos analógicos como pueden ser resistencias, condensadores, diodos o todo tipo de transistores hasta amplificadores operacionales o toda clase de fuentes de tensión e intensidad. También se encuentran disponibles elementos digitales como puertas básicas OR, NOR, puertas triestado o incluso biestables y, por supuesto, generadores de estímulos para dichos circuitos.



El simulador Microcap también posee a su vez librerías muy completas de circuitos tanto analógicos como digitales implementados previamente y la opción de añadir elementos a dichas librerías mediante la utilización de macros con un editor bastante interesante.

Lógicamente lo interesante de realizar esquemáticos con el programa será poder analizarlos. Para ello disponemos de 5 análisis distintos básicos.

- Transitorio: Se corresponde con un análisis en el tiempo, con las mismas características a las que podríamos ver en un osciloscopio.
- AC: Se corresponde con un análisis frecuencial, similar al análisis que podríamos observar en un analizador de red vectorial.
- DC: Se corresponde con un análisis punto por punto de variables del circuito.
- Sensibilidad: Se corresponde con un análisis de sensibilidad de expresiones propias del circuito.

- Distorsión: Se corresponde con un análisis de distorsión mediante el uso de FFT.

Por último es importante destacar su facilidad de manejo con los resultados obtenidos mediante cualquier análisis, ya que nos permite visualizar los resultados mediante gráficas o con datos escritos. Dentro del análisis mediante gráficas también tenemos la opción de realizar medidas, ampliar o reducir los resultados o buscar puntos exactos dentro de las trazas de las gráficas como máximos y mínimos.

Un ejemplo de lo que nos vamos a encontrar tras iniciar la aplicación se puede observar en la figura 2.6.

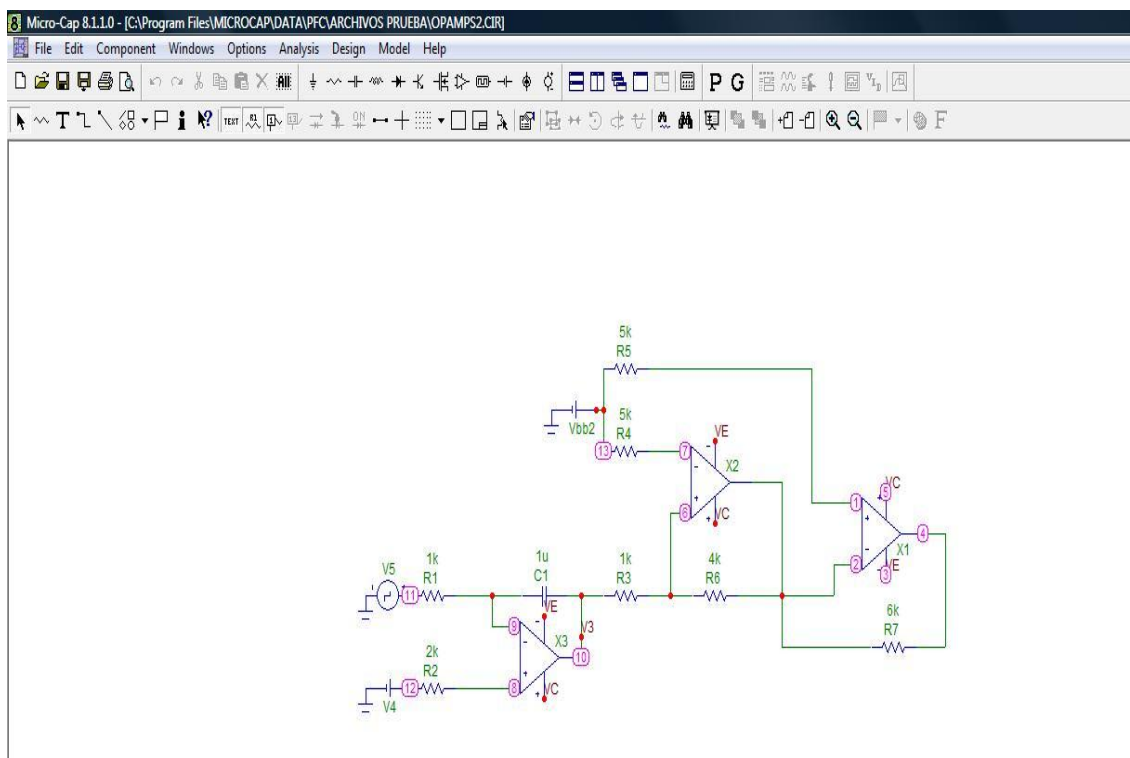


Figura 2.6: Entorno gráfico del simulador Microcap.

En nuestro proyecto nos vamos a centrar en circuitos analógicos, diseñados prácticamente en su totalidad con transistores MOS operando con el modelo EKV.

Este modelo fue desarrollado por C. C. Enz, F. Krummenacher and E. A. Vittoz sobre 1995. Es una aproximación matemática del comportamiento del MOS y refleja de forma bastante real dicho comportamiento operando en todas sus regiones incluso en inversión débil.

El modelo EKV ha sido elegido para simular debido a que, comparándolo con otros modelos como el BSIM3, tenemos un reducido número de parámetros, que permite el cálculo manual de resultados. Algunos de los parámetros que resultarán fundamentales para la memoria son:

- $V_{ton} = 0.6V$
- $k_{ohmn} = 150 \times 10^{-6} \frac{\mu A}{V^2}$
- $\gamma_n = 0.71 V^{\frac{1}{2}}$
- $\phi_{Bn} = 0.97V$
- $V_{top} = -0.55V$
- $k_{ohmp} = 35 \times 10^{-6} \frac{\mu A}{V^2}$
- $\gamma_p = 0.69 V^{\frac{1}{2}}$
- $\phi_{Bp} = 0.87V$

Como conclusión, en relación a las constantes del modelo, podemos observar la diferencia que existe entre la k_{ohm} de los transistores nMOS y la de los pMOS, debido a que dicha constante depende proporcionalmente de la movilidad de electrones y huecos respectivamente, y la de los electrones es tres o cuatro veces menor que la de los huecos. Consecuencia directa de este razonamiento es que las resistencias implementadas con transistores pMOS serán del orden de tres o cuatro veces más pequeñas y, por lo tanto, usaremos siempre transistores nMOS de enriquecimiento.

2.4 El par diferencial

Se llama par diferencial a un amplificador cuya salida es proporcional a la diferencia entre sus dos entradas v_{i+} y v_{i-} . El par diferencial suele construirse con dos transistores que comparten la misma conexión de fuente, por la que se inyecta una corriente de polarización. Las puertas de los transistores son las entradas, mientras que los drenadores son las salidas. Si se terminan en resistencias, se tiene una salida también diferencial. Se puede duplicar la ganancia del par con un espejo de corriente entre las dos fuentes.

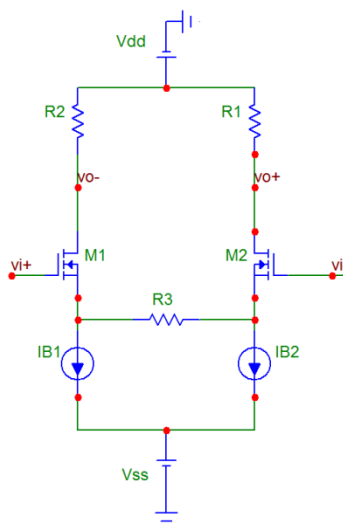


Figura 2.7: Par diferencial básico con tecnología CMOS.

El par diferencial constituye un bloque básico para la Electrónica analógica. Los amplificadores operacionales y comparadores de tensión se basan en él. Así mismo, los multiplicadores analógicos, empleados en calculadoras analógicas y en mezcladores, están basados en pares diferenciales.

Un problema muy común en este tipo de circuitos es que, el rango de entrada es muy pequeño debido a la alta ganancia que suelen tener. Para comprobar esto basta darse cuenta de que las amplitudes de los rangos de salida y entrada están

relacionadas por el valor absoluto de la ganancia. Si suponemos una ganancia invariante en todo el rango de señal y teniendo en cuenta que el rango de salida siempre será menor que el rango de polarización, es fácil comprender que,

$$v_{imax} - v_{imin} = \frac{v_{omax} - v_{omin}}{|A_0|} \leq \frac{V_{DD} - V_{SS}}{|A_0|} \quad (2.10)$$

Con lo que si la ganancia es alta, el rango de entrada será pequeño. El que el rango de entrada sea muy reducido, hace difícil la amplificación, ya que cualquier diferencia entre los valores de DC de la señal de entrada o del circuito de polarización en DC del par y el centro del rango de señal de entrada del amplificador resultará una gran pérdida de amplificación y una elevadísima distorsión. Por estos motivos este tipo de circuitos usan una señal de entrada adicional para fijar el nivel de DC en torno a la cual se realizara la amplificación. Estas señales se definen como sigue:

$$V_d = v_{i+} - v_{i-} \quad (2.11)$$

$$V_{cm} = \frac{v_{i+} + v_{i-}}{2} \quad (2.12)$$

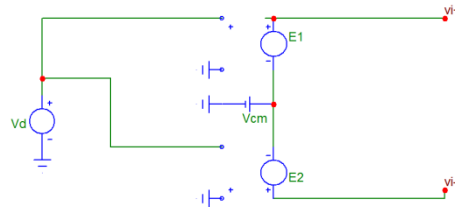


Figura 2.8: Entrada diferencial.

Para el correcto funcionamiento del par diferencial, los transistores M1 y M2 de la figura, tienen que estar operando en la zona de saturación. La entrada en zona óhmica supondrá que nos hemos salido de los rangos de gran señal correctos. Una vez polarizados con valores de DC coherentes, la única forma que tendremos de salirnos del rango de la señal será con la tensión diferencial (que, como sabemos, es variable). Conforme aumentemos la tensión V_d , la intensidad I_{ds1} irá aumentando e I_{ds2} irá

disminuyendo, ya que la componente de modo común de la intensidad tiene que ser constante. Por otro lado si disminuimos el valor de V_d pasará exactamente lo contrario debido a la simetría de la estructura diferencial. En todo caso, a partir de estos dos puntos simétricos, que se pueden calcular y valen $\pm \sqrt{\frac{I_B}{\beta_{sat}}}$, uno de los transistores estará cortado y la intensidad será nula por él. En este momento diremos que el par diferencial se encuentra saturado en intensidad.

En general, durante el desarrollo del documento, usaremos esta estructura para probar las diferentes resistencias, debido a las múltiples ventajas que presenta y, sobre todo, porque es un circuito real y básico en Electrónica analógica.

Capítulo 3: Implementaciones de resistencias programables tradicionales.

3.1 Resistencia programable mediante un Mosfet

3.1.1 Simulación con una fuente de tensión diferencial

Para los análisis utilizaremos una tecnología comprendida entre $[V_{dd} = 2.5, V_{ss} = -2.5]$ V de alimentación para todos nuestros circuitos, y vamos a intentar usar siempre la misma tecnología para poder compararlos.

Los Mosfet que vamos a utilizar durante todos los diseños serán genéricos de enriquecimiento y utilizarán el modelo de nivel EKV como hemos comentado anteriormente. Por defecto tendrán un tamaño de $L=5\mu$ y $W=66\mu$. El circuito a analizar es el siguiente:

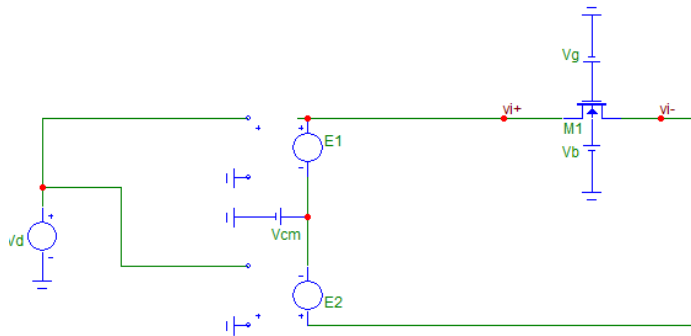


Figura 3.1: Esquema con un transistor Mosfet y una entrada diferencial.

El esquemático a analizar consiste en una señal de tensión diferencial de entrada, con su modo común y su modo diferencial, y un único Mosfet que intentaremos implementar como una resistencia programable.

En lo relativo a la implementación del Mosfet como resistencia programable tendremos el dispositivo funcionando en zona lineal, con lo que cumple la ecuación siguiente:

$$I_{ds} = K_{ohm} \frac{W}{L} (V_{gs} - V_{tn} - \frac{V_{ds}}{2}) V_{ds} ; \quad (3.1)$$

Sustituyendo esos valores por los correspondientes del circuito tenemos:

$$V_d = \frac{1}{K_{ohm} \frac{W}{L} (V_G - V_{CM} - V_{tn})} I_{ds} ; \quad (3.2)$$

Este resultado refleja perfectamente el valor de la resistencia programable que viene dado por:

$$R_{prom} = \frac{1}{K_{ohm} \frac{W}{L} (V_G - V_{CM} - V_{tn})} ; \quad (3.3)$$

Lógicamente este resultado no sirve para cualquier valor que puedan tomar dichas variables, ya que dependeremos siempre de rangos de funcionamiento correctos del transistor. El comienzo de nuestro estudio, en primer lugar, será concretar una serie de parámetros para la correcta polarización del transistor y su punto de operación en DC.

Nos interesa el Mosfet trabajando en zona lineal debido a su comportamiento resistivo en dicha zona como ya hemos comentado anteriormente. Para ello utilizamos unas tensiones dadas por:

- Tensión de puerta alta para evitar el corte; $V_G = 2.5V$
- Tensión de sustrato al valor de la tensión más negativa del circuito, que posibilita el intercambio de los nodos fuente y drenador, que será necesario durante el análisis. Además evitamos que los diodos existentes entre los terminales de difusión y el sustrato estén polarizados en inversa ya que $V_{DB} > 0$ y $V_{SB} > 0$. Por tanto, estableceremos $V_S = -2.5V$
- Tensión de modo común en el centro del rango de polarización, lo que nos va a permitir el mayor rango teórico de la amplitud de la tensión diferencial

$V_{dmax} = 5$. Teóricamente no vamos a introducir tensiones en nuestro circuitos que puedan superar las tensiones de alimentación con lo que fijaremos una $V_{dmax} = 2.5$. Entonces $V_{CM}=0V$

Con estos parámetros fijados en nuestro circuito vamos a variar la tensión diferencial de entrada mediante un barrido en DC sobre todo su rango posible [2.5,-2.5] para observar las zonas de funcionamiento del Mosfet y obtenemos:

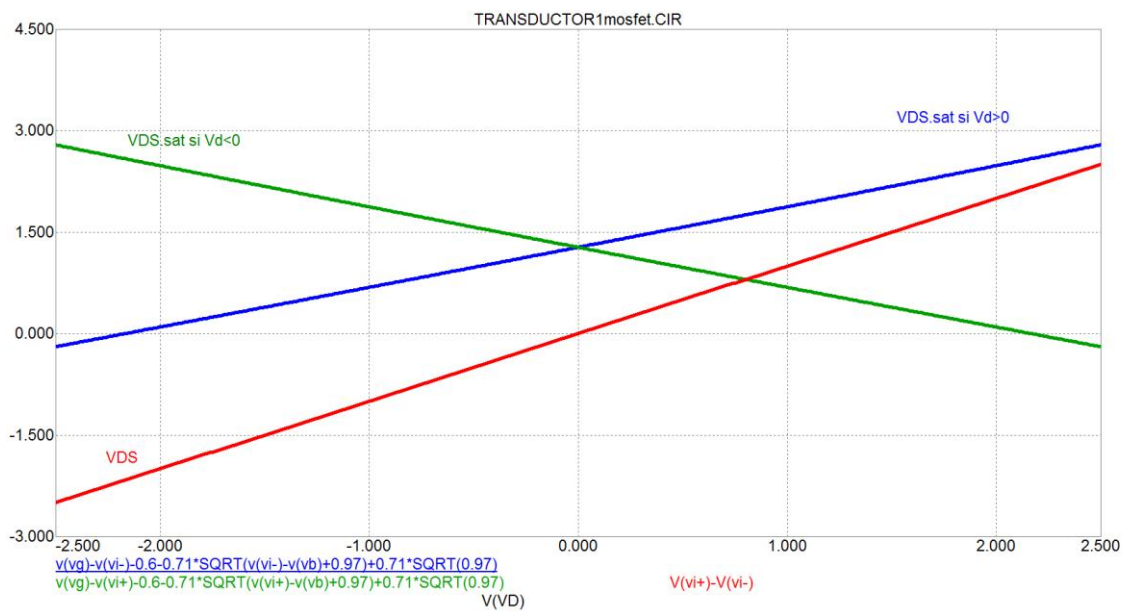


Figura 3.2: Comprobación del funcionamiento del transistor M1.

En la gráfica se puede apreciar perfectamente que con el diseño que hemos realizado el Mosfet cumple las condiciones para funcionar en zona lineal en todo su rango.

El transistor no está cortado ya que $V_{DS.sat} > 0$ y opera en zona lineal porque $V_{DS} < V_{DS.sat}$

En este caso concreto hay que explicar que al comprender V_d justamente los mismos nodos correspondientes al drenador y a la fuente del Mosfet, éstos van a ser intercambiables, con lo que tendremos que si $V_d > 0$ el nodo $vi+$ será el drenador y el nodo $vi-$ será la fuente y viceversa. De ahí que tengamos dos gráficas definidas para la $V_{DS.sat}$.

También hay que notar que en este caso, el transistor tendrá efecto substrato ya que la tensión $V_{SB} \neq 0$ y la tensión mínima umbral $V_{tn} \neq V_{tn0}$

El siguiente paso será comprobar que, efectivamente, el transistor Mosfet está funcionando como una resistencia, que es nuestro objetivo. Para ello enfrentamos en una gráfica la intensidad que pasa por el Mosfet frente a la tensión y obtenemos lo siguiente:

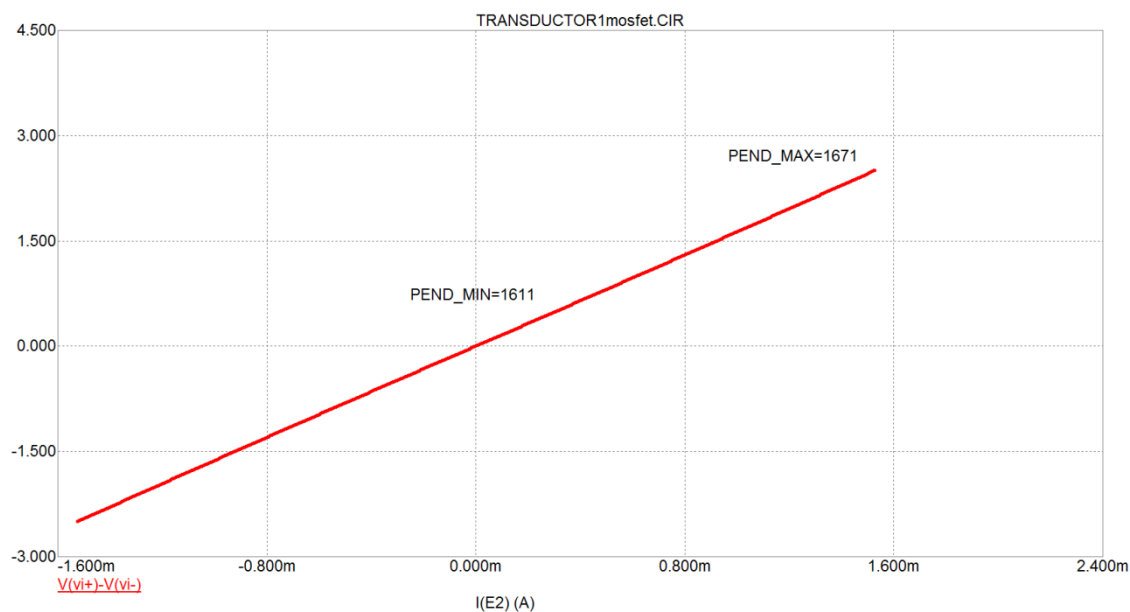


Figura 3.3: I_{ds} frente a V_{ds} de la resistencia programable.

La variación posible de la resistencia programable será la pendiente de la recta que hemos conseguido, ya que como sabemos $\frac{V}{I} = R$ y es de $R \in [1611, 1671] \Omega$ en función de la variación de V_d .

Si enfrentamos esta gráfica con una en la que tengamos una pendiente totalmente lineal, se puede observar, ampliando mucho la figura 3.3, la desviación final que tenemos.

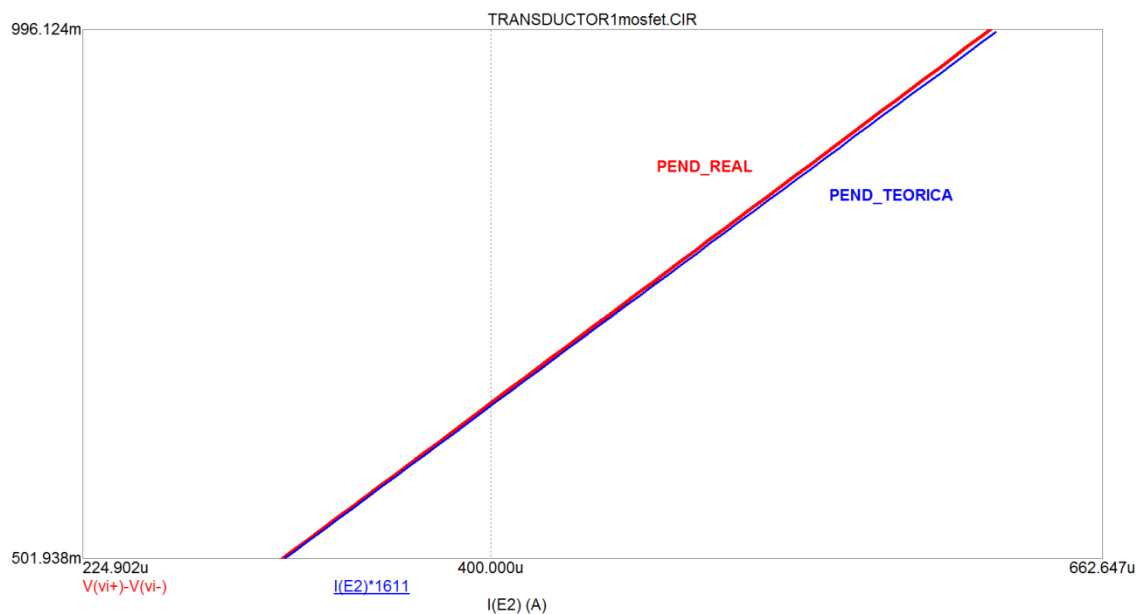


Figura 3.4: Comparativa entre la pendiente teórica y real de la resistencia.

La pendiente de la recta a simple vista parece claramente lineal, pero este hecho habrá que comprobarlo de forma más exhaustivo. Ya que el comportamiento de la R implementada se va a alejar del de una R ideal, es decir, la tensión y la corriente no van a ser exactamente proporcionales, fijaremos un criterio para decidir cuándo una resistencia implementada por nosotros tiene la suficiente calidad. Para ello, estableceremos unas características de distorsión máximas. En concreto, vamos a fijar una distorsión armónica de 1% en la corriente que la atraviesa como consecuencia de aplicar una tensión entre sus extremos. Como consecuencia, el rango de la señal diferencial va a estar limitado por ese parámetro.

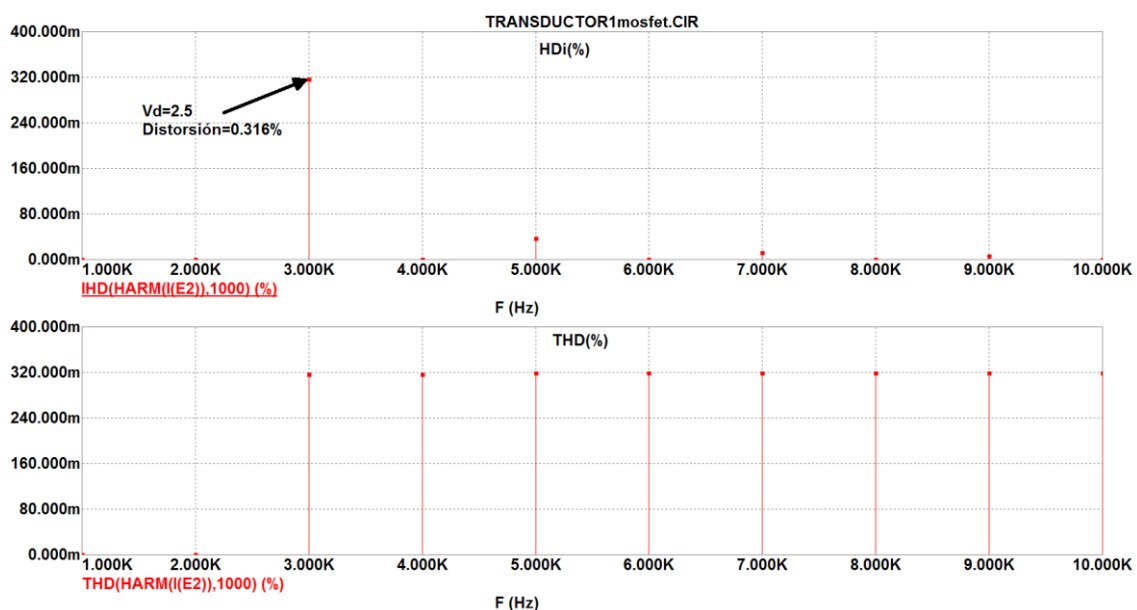
Analizando el esquemático que tenemos mediante un análisis de distorsión y realizando una tabla comparativa de las resistencias programables que podemos obtener con las variaciones de V_d y su correspondiente distorsión, obtenemos:

$V_d (V)$	$R_{prom} (\Omega)$	Distorsión (%)
0.05	1611	0.005
0.5	1620	0.053
1	1632	0.111
1.5	1644	0.172
2	1658	0.240
2.5	1671	0.316

Tabla 3.1: Valores de la resistencia programable sujetos a variaciones de la tensión diferencial.

Los resultados muestran que ante variaciones muy grandes y significativas de la tensión diferencial de entrada, la resistencia programable apenas varía y además los porcentajes de distorsión son más que aceptables. Esto es debido a que nuestro circuito es un circuito muy simple y con elementos ideales que no introducen no-linealidades.

Un ejemplo de las gráficas obtenidas mediante un análisis de distorsión, será:

Figura 3.5: Distorsión de la resistencia a una $V_d = 2.5$.

La primera gráfica corresponde al porcentaje de distorsión que introducen los armónicos no fundamentales a las frecuencias mostradas en el eje de abscisa. El análisis de distorsión del circuito, se ha llevado a cabo introduciendo en la entrada diferencial una señal de amplitud $V_d = 2.5$ a una frecuencia de 1Khz. Debido a la simetría del circuito la distorsión introducida por los armónicos pares es despreciable y sólo será importante destacar la introducida por los armónicos impares, como se puede apreciar claramente en la gráfica 3.5.

La segunda gráfica se corresponde con el porcentaje acumulado de distorsión de los armónicos, es decir, vamos acumulando distorsión hasta llegar a un valor límite

de la misma cuando la frecuencia tiende a infinito. Este valor de distorsión máximo es de 0.320%.

Podemos llegar a la conclusión que nuestro rango máximo de entrada diferencial será todo el rango de V_d , que será el rango de funcionamiento correcto del circuito.

Lo que hemos conseguido con este circuito es una resistencia programable en base a algunos parámetros que son: polarización del transistor (V_G y V_{CM}), y el tamaño del transistor. Las tensiones de polarización nos van a permitir aumentar o disminuir la resistencia programable en función de su valor, pero siempre teniendo en cuenta que al variar estas, podemos salirnos del rango de funcionamiento que nos interesa. En principio usaremos $V_{CM} = -0.9495V$ para fijar la polarización correcta del circuito, ya que, en posteriores implementaciones tendremos la necesidad de utilizar este valor de la tensión de modo común, debido a restricciones de polarización, para poder establecer comparaciones con otras resistencias que vayamos a programar. El parámetro que iremos variando será la V_G . Por último, la relación de aspecto de los transistores $S=W/L$ será un parámetro sujeto a cambio también.

Es importante notar que los grados de libertad de programación de la resistencia van a ser anteriores o posteriores a su fabricación. Por ejemplo, cuando variamos la relación de aspecto es en la fase de diseño y antes de la implementación; por tanto, una vez construido el circuito, la resistencia ya no será programable mediante este parámetro. Pero por el contrario, la tensión de puerta del Mosfet podremos variarla a través de un pin exterior y, por tanto, será posible modificarla después de montar el circuito.

A continuación, se va a construir una tabla donde se verá reflejado cómo varía la resistencia programable según los valores de los distintos parámetros del circuito. En primer lugar, fijamos $V_d = 0.2V$, un valor habitual en este tipo de circuitos. Como sabemos, ésta es la tensión diferencial y depende de la entrada real del circuito, con lo que en principio estará sujeta a pequeñas fluctuaciones.

Para poder establecer también un máximo y un mínimo de valores para la resistencia programable con una V_G dada, lo primero será dejar fija la longitud del transistor con $L=5\mu$, cinco veces más de la longitud mínima que presenta el modelo EKV con lo que descartaremos posibles problemas relacionados con el funcionamiento del transistor cuando los efectos de canal corto no son despreciables. Lo segundo será encontrar un rango de variación de la relación de aspecto. El máximo no estará fijado por ningún parámetro y podremos aumentarlo simplemente aumentando W a costa de aumentar el tamaño que ocupa la resistencia y que, en consecuencia, su valor nominal disminuya. El máximo finalmente lo fijaremos con una $W=100\mu$, es decir, una $S=20$. El rango de S en realidad se puede aumentar fuera de este valor, pero es para poder establecer comparaciones entre los distintos circuitos. El mínimo vendrá dado por el máximo valor de la distorsión introducida o, en su defecto, cuando alcancemos el valor mínimo posible de $W=5\mu$, que se corresponde con $S=1$.

El rango de V_G en principio podríamos pensar que también podemos variarlo indefinidamente, pero esto no es cierto, ya que si disminuimos demasiado la tensión de la puerta del Mosfet, éste podría entrar en la zona de saturación o en corte. Queda claro que su valor máximo será la alimentación positiva del circuito y su valor mínimo lo calcularemos mediante un barrido en DC de la tensión de puerta sabiendo que la tensión $V_d = 0.2$.

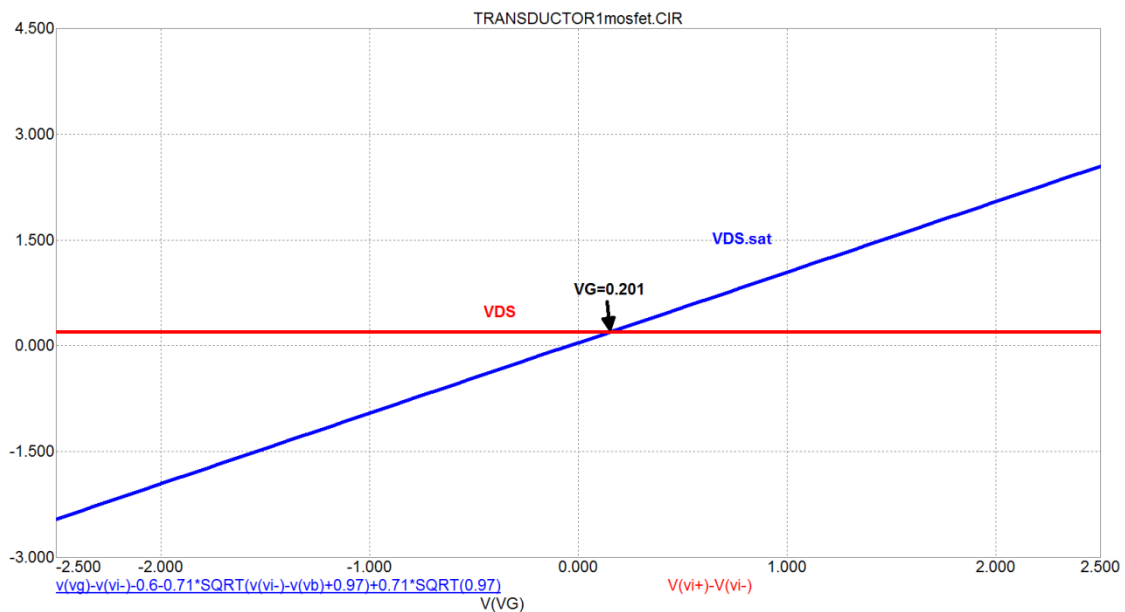


Figura 3.6: Comprobación de la tensión mínima de puerta de M1.

Si disminuimos el valor de la tensión de puerta $V_G < 0.201$ el transistor abandonará la zona lineal y entrará en saturación. Debido a esto nuestro rango de tensión se acota a $V_G \in [2.5, 0.201]$.

V_G (V)	S	R_{prom} (Ω)	Distorsión (%)
2.5	1	5508	0.101
2.5	13.2	1355	0.009
2.5	20	1240	0.005
1.5	1	8015	0.118
1.5	13.2	1543	0.017
1.5	20	1364	0.009
0.201	1	60.61K	0.655
0.201	20	4479	0.272

Tabla 3.2: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Observamos que conseguimos aumentar el valor de la resistencia programable de forma muy significativa, disminuyendo el valor de la tensión de puerta, hasta llegar a un límite donde el Mosfet deja de funcionar correctamente. Este aumento de la resistencia programable llevará acompañado un aumento de la distorsión en dicha resistencia.

Por otro lado conseguimos aumentar el valor de la resistencia disminuyendo la relación de aspecto. Este aumento, en este caso, también irá acompañado de un aumento de la distorsión en la resistencia.

Con esta tabla se demuestra que un solo transistor Mosfet puede funcionar como una resistencia programable en base a unos parámetros de diseño y que podemos conseguir ajustar el valor nominal de esa resistencia. Según todos los criterios explicados durante el desarrollo del documento, finalmente obtenemos una resistencia programable de:

$$R \in [1240, 60.61k] \Omega$$

3.1.2 Simulación con par diferencial simple

Vamos a comprobar ahora el funcionamiento de la resistencia programable en un circuito un poco más complejo y a su vez más real, un par diferencial simple.

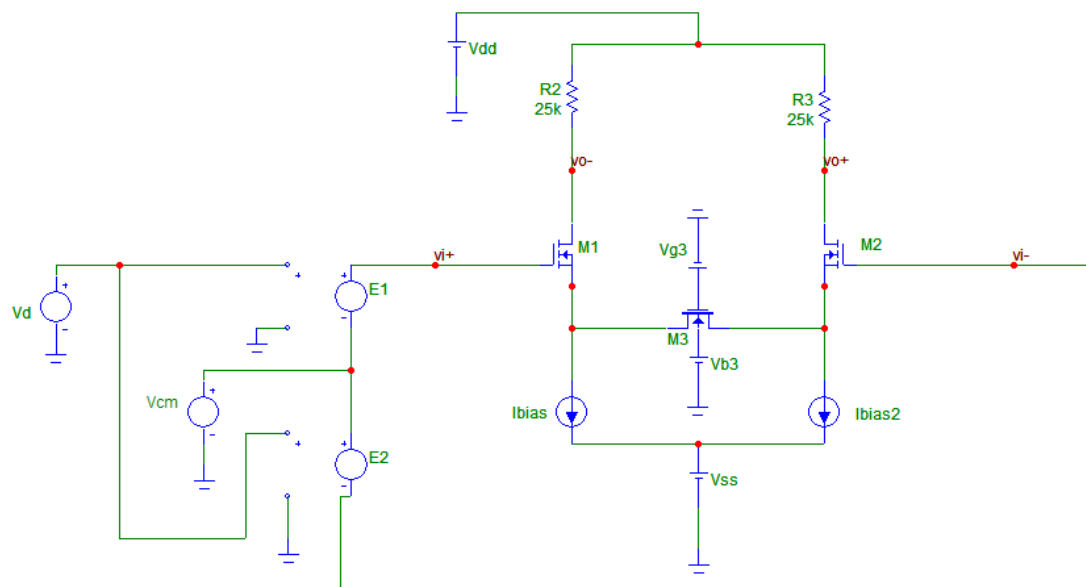


Figura 3.7: Esquemático del par diferencial simple con un Mosfet.

El circuito consta de una entrada diferencial, un esquema simple de un par diferencial, dos fuentes ideales de intensidad de valor $I_{bias} = I_{bias2} = 100\mu A$, dos cargas simuladas como dos resistencias de valores $R_2 = R_3 = 25k\Omega$ y un transistor M3 que hará las veces de nuestra resistencia programable.

Siguiendo los mismos criterios del apartado anterior tenemos:

- Tensión de puerta alta para evitar el corte. $V_{G3}=2.5V$
- Tensión de sustrato a la tensión más negativa del chip. $V_{B3}=-2.5V$

Los valores de las fuentes de corriente y las resistencias de carga no se han elegido arbitrariamente. Suponiendo que el par diferencial funcione correctamente, es decir, en zona de saturación, fijamos la V_{GS1}^Q y la V_{GS2}^Q de continua con las corrientes

I_{bias} y I_{bias2} y los tamaños de los transistores. Si los tamaños y las corrientes son los mismos, las tensiones tendrán también el mismo valor. Por otro lado sabiendo que por los Mosfet del par diferencial circulan corrientes en DC de 100uA, ajustamos el valor de las resistencias para que en estas caiga la mitad del rango de polarización; en concreto $R_2 \times I_{bias} = 2.5V$.

Para la implementación correcta del Mosfet como resistencia programable éste tiene que encontrarse en zona lineal y cumplir la ecuación:

$$I_{ds} = K_{ohm} \frac{W}{L} (V_{gs} - V_{tn} - \frac{V_{ds}}{2}) V_{ds} ; \quad (3.4)$$

Se van a sustituir ahora en dicha ecuación los valores siguientes obtenidos del circuito, (teniendo en cuenta, tanto valores de continua como de alterna):

$$V_d = -V_{GS1} - v_{gs1} + \frac{\tilde{V}_d}{2} + V_{CM} ; \quad (3.5)$$

$$V_s = -V_{GS2} - v_{gs2} - \frac{\tilde{V}_d}{2} + V_{CM} ; \quad (3.6)$$

Sabiendo además que se cumple:

$$V_{GS1} = V_{GS2} ; \quad (3.7)$$

$$v_{gs1} = -v_{gs2} = v_{gs} ; \quad (3.8)$$

Desarrollando la expresión 3.4, llegamos a,

$$(V_d - 2v_{gs}) = \frac{1}{K_{ohm} \frac{W}{L} (V_{GS1} - V_{tn} - \frac{V_d - 2v_{gs}}{2})} I_{ds} ; \quad (3.9)$$

Que finalmente, teniendo en cuenta que tendremos una tensión entre los terminales de nuestra resistencia de $V_d - 2v_{gs}$, una tensión que ya no es sólo la tensión diferencial de entrada, sino que también afectan las variaciones diferenciales entre la puerta y la fuente de los Mosfet M1 y M2 del par diferencial, que en la mayoría de los casos no será despreciable. Resumiendo, la resistencia programable quedará:

$$R_{\text{prom}} = \frac{1}{K_{\text{ohm}} \frac{W}{L} (V_{G3} - V_{CM} - V_{GS2} - V_{tn})}; \quad (3.10)$$

Una vez comentados los valores de los elementos de nuestro circuito comenzaremos fijando el punto de polarización donde el circuito funciona correctamente.

Como sabemos, para que el par diferencial funcione correctamente, necesitamos que los transistores M1 y M2 se encuentren en saturación y para que la resistencia programable funcione correctamente también, necesitamos que el Mosfet M3 este en zona lineal. Para hallar el punto de operación óptimo, dentro de nuestro rango de programación que como sabemos es $[V_{DD} = 2.5, V_{SS} = -2.5]$ V, realizamos un barrido DC sobre V_{CM} .

Para los transistores M1 y M2 del par diferencial tenemos:



Figura 3.8: Comprobación del funcionamiento de los transistores M1 y M2.

Su comportamiento según la gráfica 3.8 determina que el rango de la tensión de modo común será $V_{CM} \in [-2.5, 0.601]$.

Para el Mosfet de la resistencia programable, el M3 tenemos:

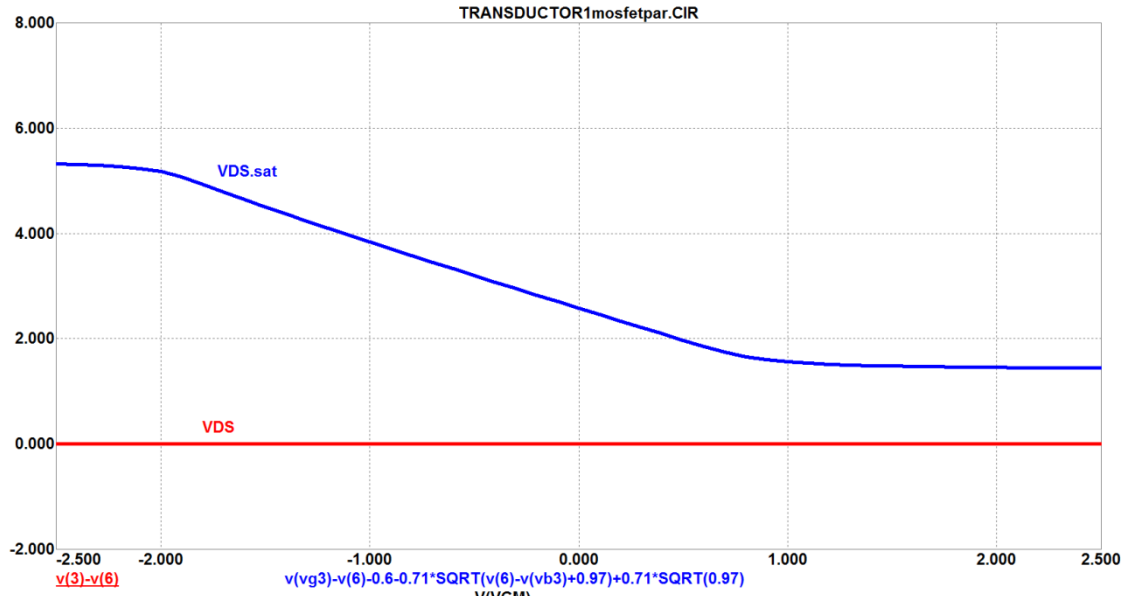


Figura 3.9: Comprobación del funcionamiento del transistor M3.

Como era de esperar, el transistor M3 siempre se encuentra en zona lineal, porque la tensión diferencial que circula entre su drenador y fuente es nula si no tenemos tensión diferencial y es mucho menor que las tensiones que hemos elegido para su puerta. Por lo tanto el rango del modo común total del circuito no varía. Entonces, a partir de ahora, usaremos una tensión de modo común centrada en su rango. Lo que nos deja una $V_{CM} = -0.9495V$.

El siguiente paso será variar la tensión diferencial de entrada para observar las zonas de funcionamiento de los transistores Mosfet. La variación de V_d está dada por el rango completo que tenemos de V_{CM} , en este caso el máximo será $V_d = 2.5V$ (aunque en realidad es más, nunca podremos sobrepasar las tensiones máximas del circuito). Realizando un barrido sobre un rango suficientemente amplio tenemos:

Para los Mosfet M1 y M2:

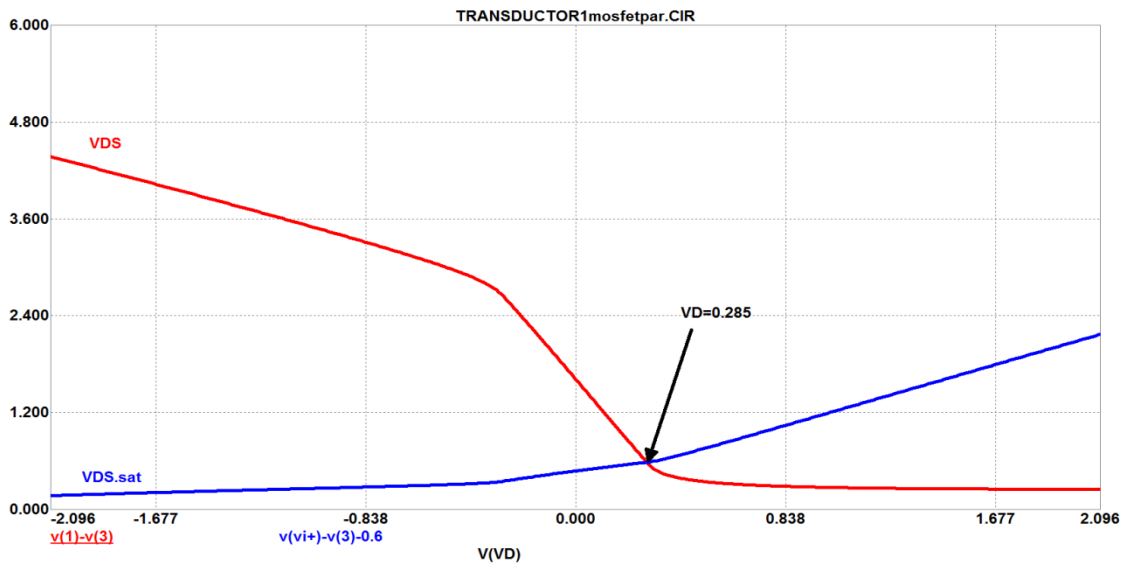


Figura 3.10: Comprobación del funcionamiento del transistor M1.

Con lo que observamos que para que el par diferencial funcione correctamente tenemos limitado el rango de la señal diferencial de entrada al valor más restrictivo lógicamente que será $V_d < 0.285V$. Se puede observar que el transistor M2 tendrá curvas simétricas debido a la simetría del par diferencial, valga la redundancia, y no es necesario analizarlas.

Para el Mosfet M3 tenemos dentro del nuevo rango de V_d :

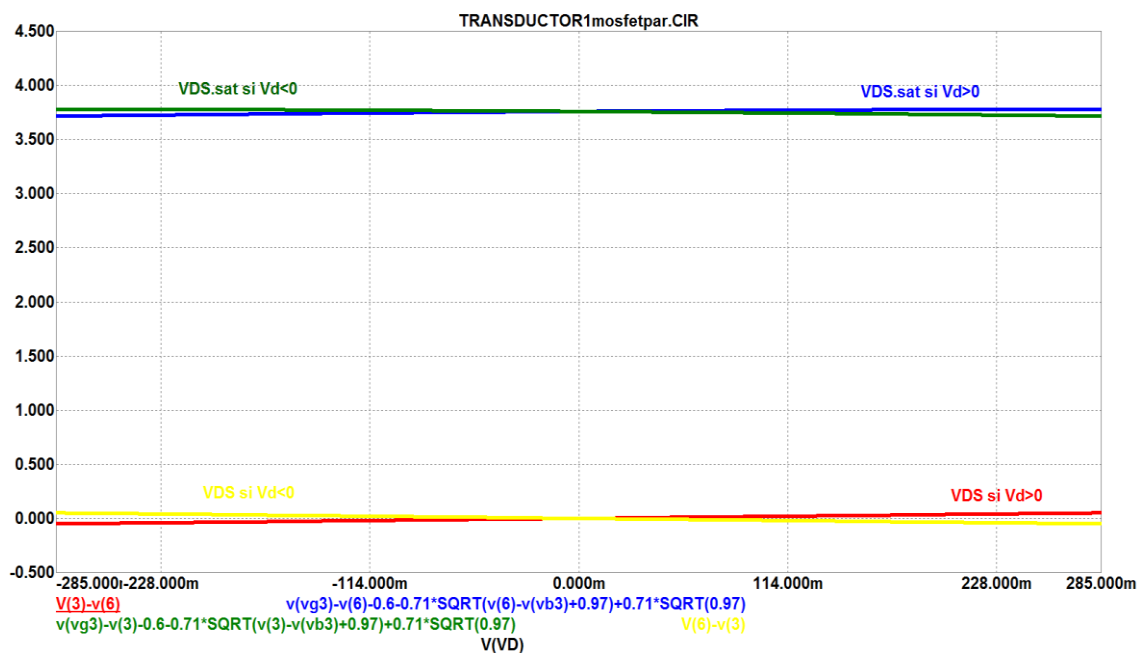


Figura 3.11: Comprobación del funcionamiento del transistor M3.

Como era de esperar, con las variaciones diferenciales tan pequeñas entre su drenador y fuente y con una tensión de puerta tan alta, el Mosfet se encuentra siempre en zona lineal.

Para observar una primera estimación visual de la linealidad de la resistencia, realizamos un barrido de nuevo en DC dentro del nuevo rango permitido de V_d (ahora tenemos un rango de $V_d < 0.285$) y enfrentamos en una gráfica la tensión frente a la intensidad que pasa por nuestra resistencia programable. Lo que vamos a obtener es la pendiente de la recta que será el valor de la resistencia que estamos buscando.

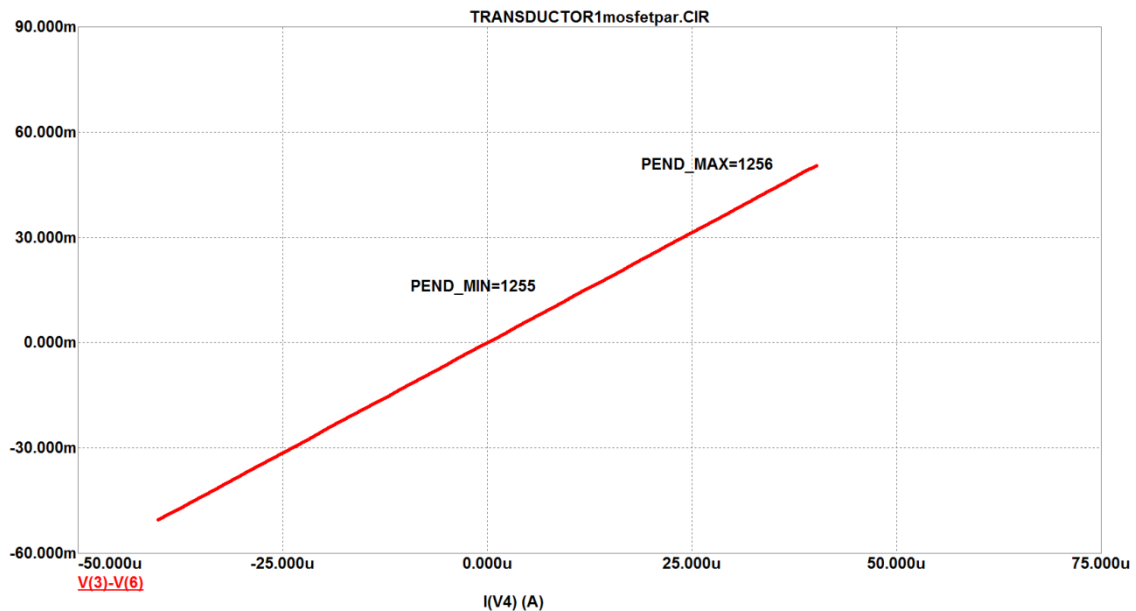


Figura 3.12: I_{ds} frente a V_{ds} de la resistencia programable.

Vemos como el rango de la resistencia programable varía entre $R \in [1255, 1256]$ Ω , con lo que obtenemos una resistencia bastante acotada respecto a las variaciones de V_d . Este hecho es bastante lógico ya que tenemos un margen de variaciones de V_d muy pequeño.

La linealidad de la resistencia a simple vista parece perfecta pero es importante comprobarlo con el factor de distorsión medido en los rangos de interés. Recordemos que la distorsión máxima que vamos a permitir es del 1%. Entonces, construimos una tabla con los valores de la distorsión que muestra la resistencia.

$V_d (V)$	$R_{prom} (\Omega)$	Distorsión (%)
0.05	1255	0.011
0.1	1255	0.047
0.2	1256	0.193
0.285	1256	0.432

Tabla 3.3: Valores de la resistencia programable sujetos a variaciones de la tensión diferencial.

Para comparar los resultados de nuestra resistencia programable simulada en el par diferencial y en el circuito anterior vamos a realizar una tabla variando los mismos parámetros.

En primer lugar vamos a fijar de nuevo el valor de la tensión diferencial $V_d = 0.2$. El parámetro S , que define como ya sabemos la proporción de anchura frente a longitud de los transistores, sólo será modificado para el transistor M3; si no fuera así y variásemos las S de los demás Mosfet estaríamos variando la polarización del par diferencial. En último lugar debemos destacar que en este caso es imposible variar la tensión V_{GS} del mosfet M3, ya que la fuente no es un parámetro libre del circuito sino dependiente de otros nodos, o sea que la única posibilidad será variar la tensión de la puerta.

Para las variaciones de la tensión de puerta vamos a tener un mínimo y este será cuando el transistor M3 deje de funcionar en zona lineal. Fijando todos los demás parámetros y con un barrido DC de la tensión V_{G3} obtenemos:

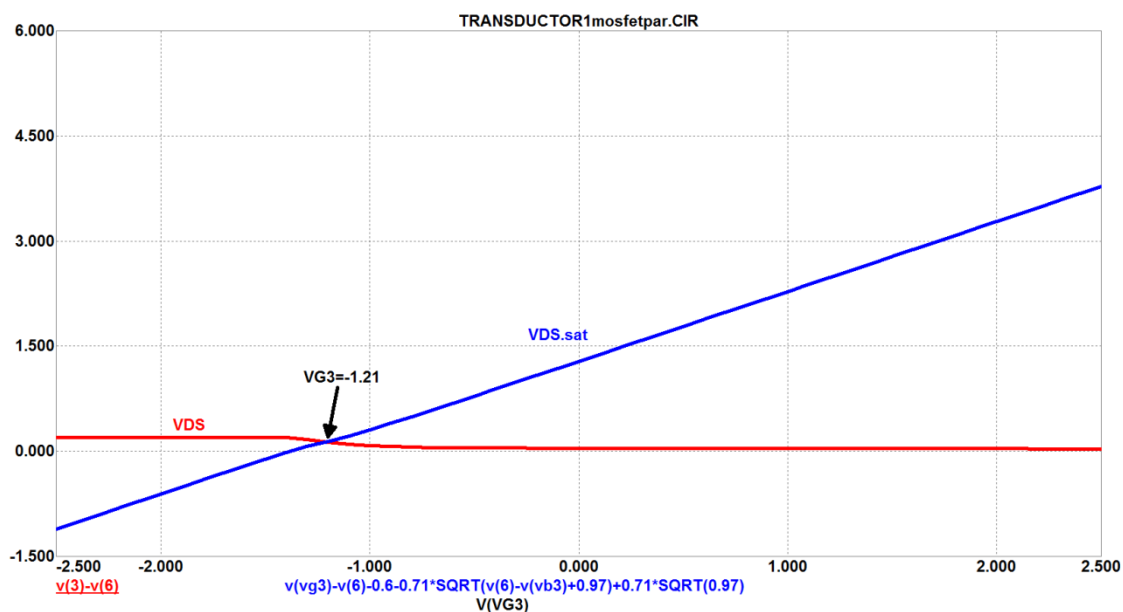


Figura 3.13: Comprobación de la tensión mínima de puerta de M3.

El punto que necesitamos será $V_{G3} = -1.21$. Si bajamos de esta tensión el comportamiento del mosfet será distinto al que estamos buscando y no funcionará como una resistencia.

V_G (V)	S	R_{prom} (Ω)	Distorsión (%)
2.5	1	4533	0.085
2.5	13.2	1256	0.193
2.5	20	1194	0.197
1	1	5557	0.078
1	20	1245	0.192
0	1	8428	0.089
0	20	1389	0.181
-1.21	1	97.55K	2.719
-1.21	8	14.9K	1
-1.21	20	7320	0.134

Tabla 3.4: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Los valores están sujetos a los mismos cambios que en el apartado anterior, cuando analizábamos la resistencia programable en un esquema con una fuente de tensión diferencial solamente. La resistencia programable aumenta al disminuir la

tensión de puerta del Mosfet y al disminuir la relación de aspecto del transistor. Analizando los valores de la tabla, comprobamos que se cumple, al igual que en el caso analizado en el punto 3.1.1, que en general, la distorsión aumenta, al aumentar la resistencia. Sin embargo, se puede observar cómo eso sólo se cumple para valores de resistencias suficientemente grandes (aproximadamente de $5k\Omega$ en adelante). Esto es debido a que con valores pequeños de resistencias, el par diferencial no funciona del todo bien. La explicación no resulta trivial, pero analizando intuitivamente el esquema, podemos ver que, si tenemos resistencias pequeñas, la intensidad que atraviesa dichas resistencias será mayor. En consecuencia esto provocará un aumento de la v_{gs} de los transistores del par diferencial, porque todos los demás valores son fijos (basta fijarnos en la ecuación 3.4, que relaciona dichos valores) y como las variaciones de tensión entre los nodos de la resistencia dependen de v_{gs} , y son más pequeños cuando aumenta v_{gs} , llegamos a la conclusión de, que estamos midiendo señales más pequeñas, es decir, con menor distorsión.

En principio los valores de la resistencia programable que tenemos en este esquema deberían dar exactamente los mismos valores que el esquema con una fuente de tensión diferencial, ya que el dispositivo que estamos utilizando en ambos casos es un solo transistor Mosfet. Pero no es del todo cierto debido a que dependiendo del circuito donde utilicemos el Mosfet, la expresión de la resistencia programable va a ser distinta. Si nos fijamos en la expresión teórica del valor de la resistencia para este caso, vemos que difiere en un término adicional V_{GS2} comparándola con la formula teórica del caso sin par diferencial. Finalmente obtenemos una resistencia programable de:

$$R \in [1194, 14.9k] \Omega$$

El siguiente paso, dentro del análisis de las características de la resistencia programable, será comprobar el funcionamiento que presenta el esquema ante variaciones en frecuencia. Durante todo el desarrollo del documento, los análisis se han llevado a cabo a una frecuencia baja, en concreto, $f=1kHz$. Si realizamos un análisis frecuencial o AC, para obtener una primera aproximación de la función de

transferencia en el dominio de Laplace $H(s) = \frac{[(V_d - 2\tilde{V}_{gs})(s)]}{I_{ds}(s)}$, podremos calcular el ancho de banda en el que la resistencia funciona correctamente, sin que las capacidades parásitas asociadas al transistor tengan ningún efecto.

Un análisis AC con rango $[1K, 10^{11}]$ Hz y tomando los valores siguientes del circuito, es decir, $S=1$ y $V_G = 2.5V$, es presentado en la figura 3.14.

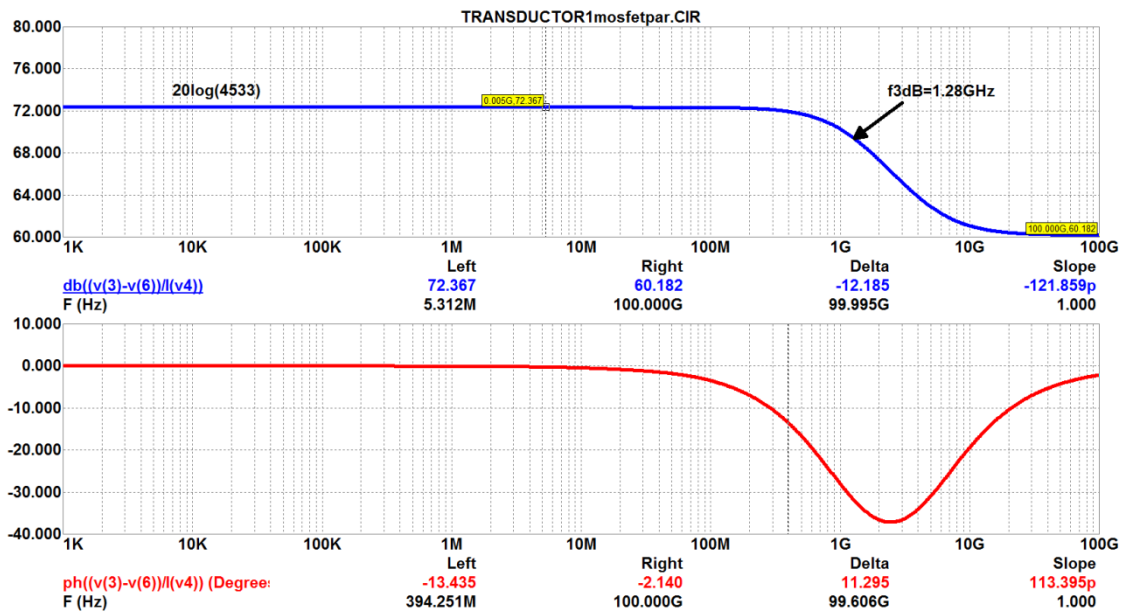


Figura 3.14: Magnitud y fase de la función de transferencia asociada a la resistencia.

La respuesta en frecuencia nos permite obtener un ancho de banda en el cual la resistencia funciona correctamente. Este ancho de banda viene determinado por la frecuencia de corte de tres decibelios, o lo que es lo mismo, la frecuencia a la cual la magnitud cae tres decibelios respecto a su valor inicial. Para este caso concreto obtenemos $f_{3dB} = 1.28$ GHz.

Es importante destacar que el ancho de banda a medida que aumentemos la relación de aspecto, disminuirá. El efecto de las capacidades parásitas quedará acentuado con el aumento del tamaño del transistor, mayor tamaño, mayor valor de las mismas. Este aumento del valor de las capacidades parásitas provocará movimientos de polos en nuestro ancho de banda, reduciéndolo. Si simuláramos un análisis AC, esta vez con una $S=100$, la $f_{3dB} = 10$ MHz, donde la pérdida de ancho de

banda sería de aproximadamente de unas dos décadas. En vista de los resultados se considera importante tener en cuenta en los análisis las capacidades parasitas.

El último paso del análisis será comprobar cómo reacciona la resistencia programable ante cambios de temperatura. Hasta ahora todos los análisis se han realizado para una temperatura ambiente de 27°C, pero los circuitos integrados normalmente están expuestos a variaciones significativas de temperatura atendiendo a la ubicación geográfica en la que estemos utilizando el circuito. Por ejemplo, no tendremos la misma temperatura en regiones polares, que en regiones de clima cálido. Generalmente todos los circuitos integrados están encapsulados, dichas capsulas protegen el circuito integrado de efectos nocivos como la humedad o la temperatura, que es el que nos interesa en nuestro caso. Suponiendo entonces que la temperatura ambiente no es un problema, lo único que nos tiene que preocupar es el recalentamiento al que está sometido el circuito por el paso de corriente a través del mismo y que supone una deriva de la temperatura de operación.

Un rango de temperatura en el que el circuito debe funcionar correctamente, para un modelo térmico sencillo, será $T = [0,100] \text{ }^{\circ}\text{C}$ y las variaciones en dicho rango son presentadas en la figura 3.15, con $S=13.2$ y $V_G=2.5\text{V}$.

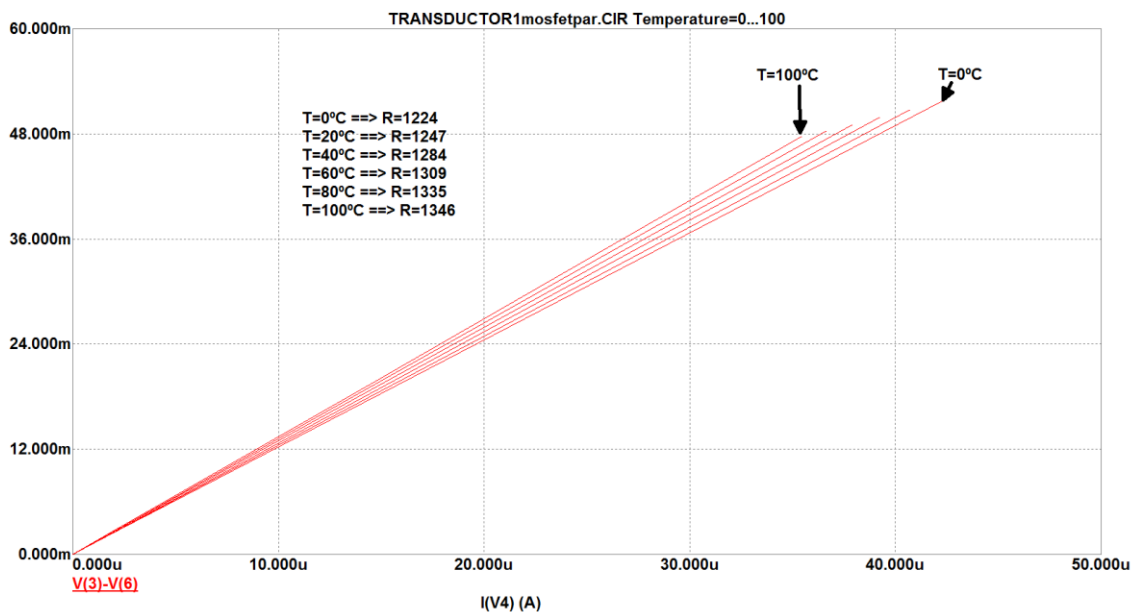


Figura 3.15: Comportamiento de la resistencia frente a variaciones de temperatura.

Los resultados muestran que a medida que aumentamos la temperatura, el valor nominal de la resistencia aumenta. Esto se debe a que el aumento de temperatura lleva consigo un aumento de la amplitud de las vibraciones de los iones del conductor (nuestra resistencia), lo cual hace más probable que un ión choque con un electrón en movimiento, lo que dificulta el arrastre de los electrones por el conductor y, por tanto, también la corriente.

Si realizamos una media de las desviaciones que obtenemos de la resistencia, por cada grado tenemos que, para $\Delta T = 1^{\circ}\text{C} \rightarrow \Delta R = 0.0956\%$.

3.2 Resistencia programable mediante dos transistores Mosfet con tensión de puerta diferencial

3.2.1. Simulación con una par diferencial simple.

El circuito a analizar es extraído del artículo [5] de la bibliografía y presentado en la figura 3.16.

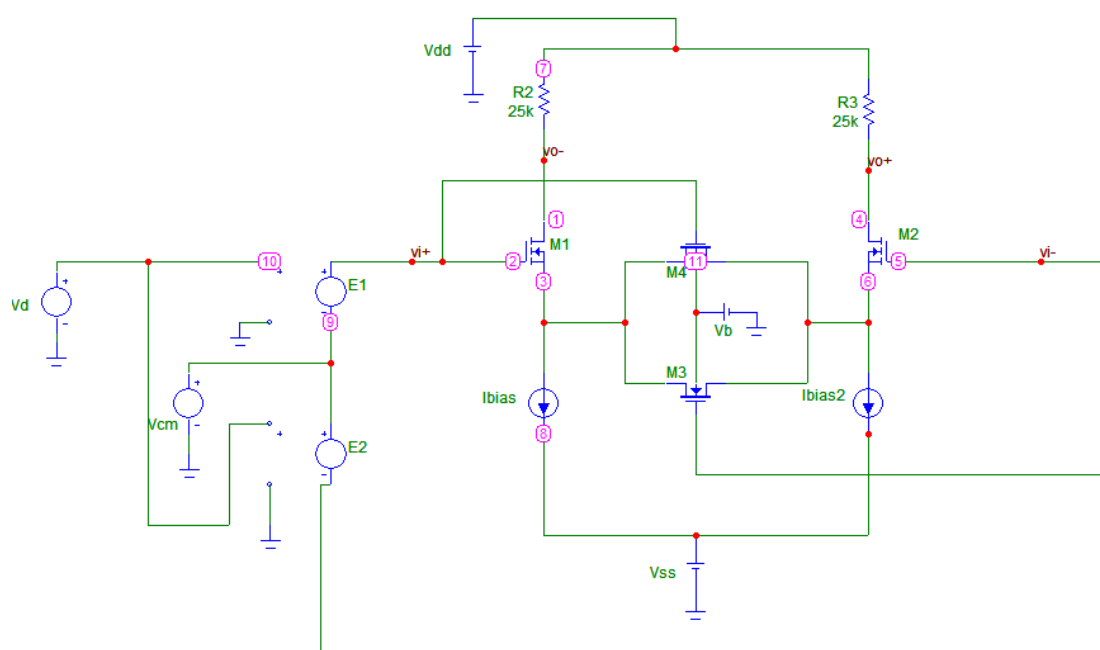


Figura 3.16: Esquemático del par diferencial simple con dos Mosfet con entrada diferencial aplicada a sus respectivas puertas.

Este circuito sigue la línea de todos los demás circuitos analizados. Tenemos un par diferencial simple y una resistencia programable compuesta por dos transistores Mosfet tipo n. La novedad será que las puertas de los transistores M3 y M4, que forman la resistencia programable, estarán conectadas a nuestra entrada diferencial, la que viene del exterior del transconductor.

El análisis teórico del esquema comenzará definiendo las corrientes que atraviesan los dos transistores Mosfet y suponiendo que ambos se encuentran en la

zona lineal. La corriente total que atraviesa nuestro dispositivo, según las leyes de Kirchhoff, será la suma de ambas.

$$I_{ds} = I_{ds1} + I_{ds2}; \quad (3.11)$$

$$I_{ds} = K_{ohm4} \frac{W_4}{L_4} (V_{gs4} - V_{tn4} - \frac{V_{ds4}}{2}) V_{ds4} + K_{ohm3} \frac{W_3}{L_3} (V_{gs3} - V_{tn3} - \frac{V_{ds3}}{2}) V_{ds3}; \quad (3.12)$$

Sustituyendo en la ecuación con los valores siguientes obtenidos del circuito y teniendo en cuenta, tanto valores de continua como de alterna:

$$V_d = -V_{GS1} - v_{gs1} + \frac{\widetilde{V_d}}{2} + V_{CM}; \quad (3.13)$$

$$V_s = -V_{GS2} - v_{gs2} - \frac{\widetilde{V_d}}{2} + V_{CM}; \quad (3.14)$$

$$V_{g4} = \frac{\widetilde{V_d}}{2} + V_{CM}; \quad (3.15)$$

$$V_{g3} = -\frac{\widetilde{V_d}}{2} + V_{CM}; \quad (3.16)$$

Sabiendo además que se cumple:

$$V_{GS1} = V_{GS2}; \quad (3.17)$$

$$v_{gs1} = -v_{gs2} = v_{gs}; \quad (3.18)$$

Sustituyendo obtenemos:

$$I_{ds} = K_{ohm4} \frac{W_4}{L_4} (\frac{\widetilde{V_d}}{2} - V_{tn4} + V_{GS2}) (\widetilde{V_d} - 2v_{gs}) + K_{ohm3} \frac{W_3}{L_3} (\frac{\widetilde{V_d}}{2} - V_{tn4} + V_{GS2}) (\widetilde{V_d} - 2v_{gs}); \quad (3.19)$$

Si suponemos que $V_{tn1} = V_{tn2}$, $V_{GS1} = V_{GS2}$, $K_{ohm4} = K_{ohm3}$ y lo más importante, que la relación de aspecto de ambos transistores es la misma $\frac{W_4}{L_4} = \frac{W_3}{L_3}$, podemos relacionar la corriente con la tensión de la siguiente manera:

$$I_{ds} = 2 K_{ohm} \frac{W}{L} (V_{gsQ} - V_{tn}) (V_d - 2v_{gs}); \quad (3.20)$$

Finalmente nuestra resistencia programable viene dada por:

$$R_{prom} = \frac{1}{2 K_{ohm} \frac{W}{L} (V_{gsQ} - V_{tn})}; \quad (3.21)$$

Para el análisis mediante la simulación, comenzamos realizando un barrido DC sobre V_{CM} para comprobar que todos los mosfet se encuentran en sus zonas de funcionamiento correcto.

Para los Mosfet del par diferencial tenemos:



Figura 3.17: Comprobación del funcionamiento de los transistores M1 y M2.

En base al resultado obtenido, tenemos un rango de funcionamiento correcto de $V_{CM} = [-2.5, 0.601]$, que será el rango donde los transistores estén en saturación

Para los Mosfet de la resistencia programable tenemos:

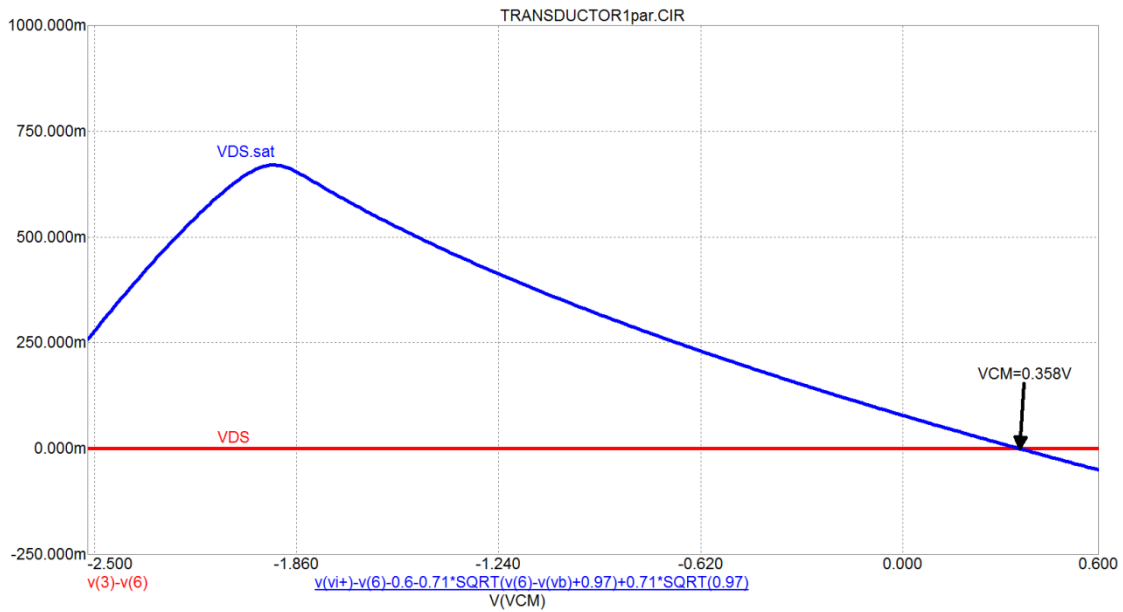


Figura 3.18: Comprobación del funcionamiento del transistor M4.

Para esta figura es importante destacar varias cosas

- Los transistores tendrán efecto sustrato y habrá que contemplarlo en los cálculos.

- La tensión V_{DS} permanece constante y a un valor nulo, ya que todavía no hemos introducido tensión diferencial entre la fuente y el drenador de los Mosfets de la resistencia programable, sólo vamos a tener tensión de modo común. Consecuentemente sólo nos vamos a tener que preocupar que los transistores no entren en corte.

- Las gráficas tanto para el Mosfet M3 como para el Mosfet M4 son análogas

Vemos que para la polarización de estos dos transistores reducimos todavía más el rango de V_{CM} y nos queda $V_{CM} = [-2.5, 0.358]$. Este será el rango final que daremos en las especificaciones de nuestro transconductor. Para seguir con el análisis, a partir de ahora fijaremos V_{CM} a la mitad del rango, $V_{CM} = -1.429$, lo que nos posibilitará el margen más amplio de la tensión diferencial de entrada teórico a $V_{DMAX} = 2.142$. Es importante destacar que, lógicamente, el circuito funcionará para otros valores de V_{CM} siempre que estén dentro del rango. El único cambio será que tendremos más limitado el rango de V_d , como ya hemos comentado anteriormente.

Pero esto no es del todo cierto ya que al variar la tensión diferencial de entrada estamos variando algunos parámetros que en los análisis anteriores teníamos fijos, como por ejemplo, la V_{DS} de los transistores M3 y M4 o las tensiones de puerta de los transistores M1 o M2. Para calcular con mas rigurosidad las tensiones diferenciales máximas de entrada, sin estimaciones, volvemos a realizar un barrido en DC, esta vez con la tensión V_d variando entre $[-2.142, 2.142]$, y comprobamos el estado de los transistores.

Para los Mosfet del par diferencial tenemos:

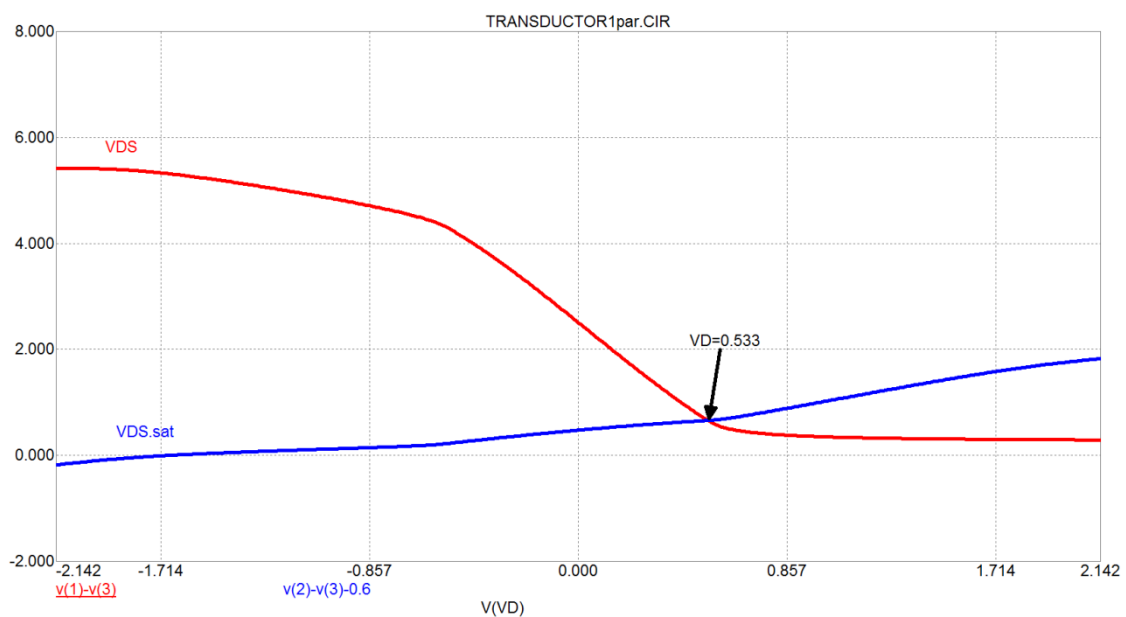


Figura 3.19: Comprobación del funcionamiento del transistor M1.

El Rango de V_d se ha reducido considerablemente respecto a lo que teníamos previsto. Sabiendo de la simetría del par diferencial tendremos $V_d = [-0.532, 0.532]$.

Para los Mosfet de la resistencia programable tenemos:

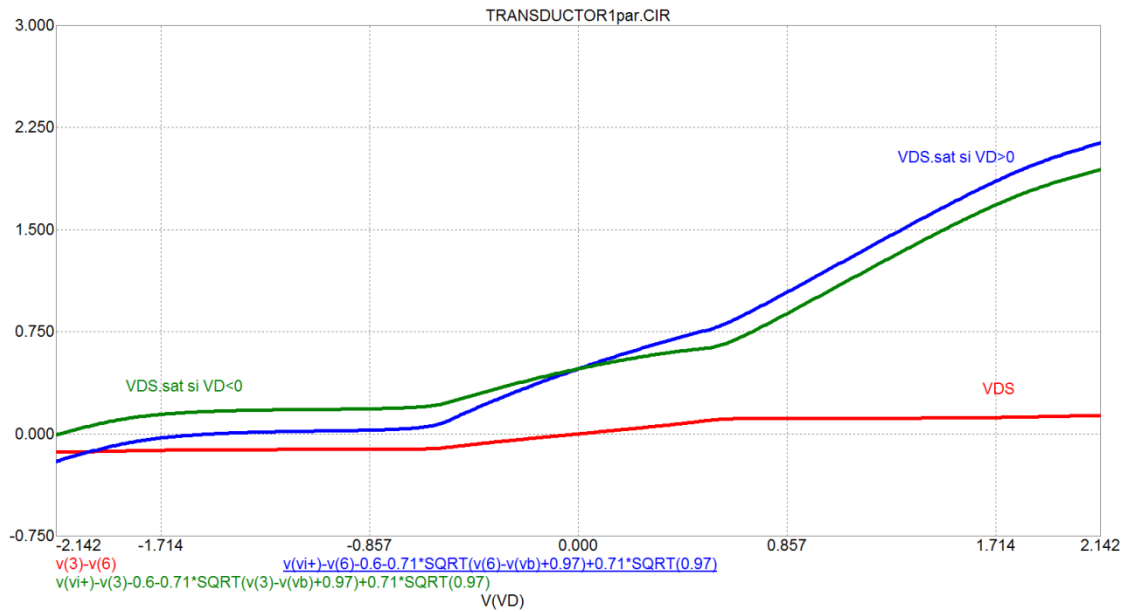
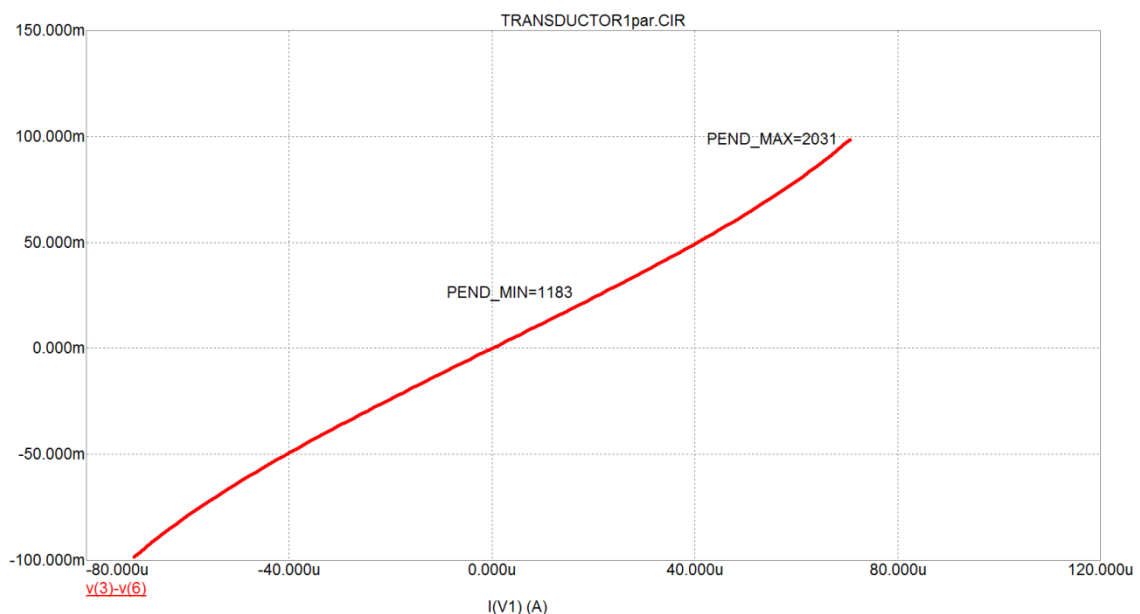


Figura 3.20: Comprobación del funcionamiento del transistor M3.

Con los Mosfets de la resistencia programable el rango de V_d no se ha reducido en absoluto y seguimos en zona de buen funcionamiento de los transistores.

Siguiendo con nuestro estudio comprobaremos el comportamiento resistivo de nuestra resistencia. Como es habitual primero realizaremos un análisis DC de la entrada V_d entre $[-0.532, 0.532]$. Y enfrentaremos esta tensión con la intensidad que atraviesa nuestra resistencia programable para observar a simple vista la linealidad de la misma.


 Figura 3.21: I_{ds} frente a V_{ds} de la resistencia programable.

Por último realizaremos una tabla comparativa de las resistencias programables que podemos obtener debido a las variaciones de V_d y la correspondiente distorsión que introducen las mismas.

$V_d (V)$	$R_{prom} (\Omega)$	Distorsión (%)
0.05	1183	0.018
0.1	1201	0.069
0.2	1257	0.281
0.3	1366	0.653
0.365	1469	1
0.4	1559	1.203
0.5	1897	1.981
0.532	2031	2.294

Tabla 3.5: Valores de la resistencia programable sujetos a variaciones de la tensión diferencial.

Analizando la tabla con detenimiento, vemos que nos encontramos ante el primer problema que presenta este esquema. Las variaciones de la tensión diferencial provocan cambios no despreciables en el valor de la resistencia programables. Esto es debido a que la tensión diferencial es la entrada de la puerta de los transistores. Además vemos que el rango de la tensión se ve reducido debido a que la distorsión supera el 1% al valor $V_d = 0.365$, como podemos observar en la figura 3.25.

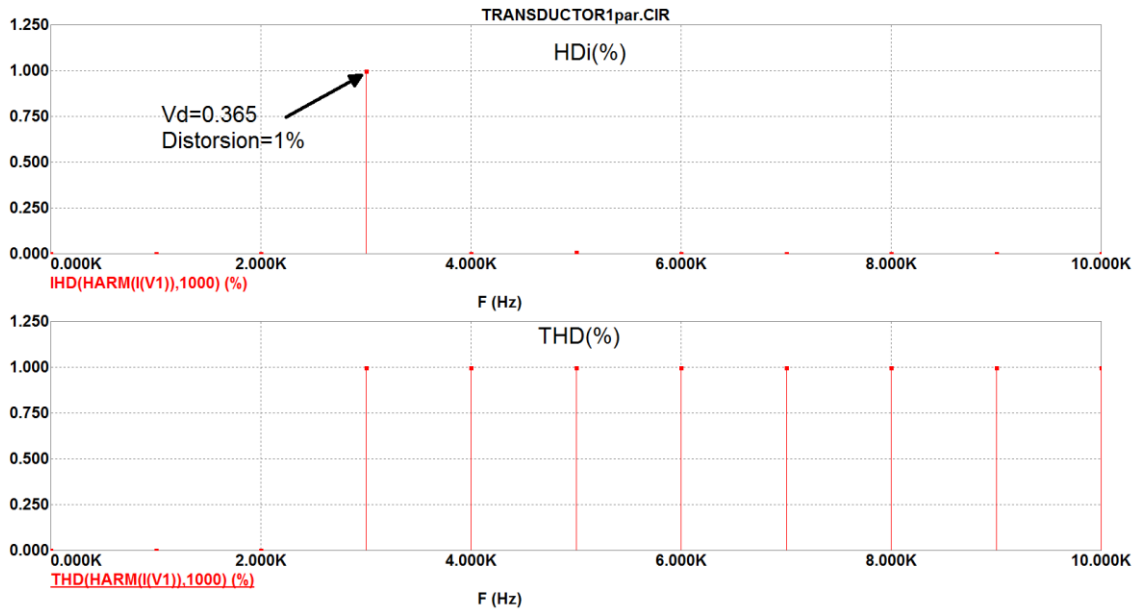


Figura 3.22: Distorsión de la resistencia con una $V_d = 0.365$.

Ya tenemos acotado totalmente nuestro rango diferencial de entrada si queremos que se ajuste a todas las restricciones, este será $V_d = [-0.365, 0.365]V$. Este rango a su vez nos proporcionará un rango de resistencia programable de $R_{prom} = [1183, 1469]\Omega$.

Nuestro objetivo como siempre es conseguir una resistencia programable mediante distintas variables. Para este caso en concreto tenemos dos parámetros de diseño que serán las relaciones de aspecto de los transistores S_3 y S_4 . Como ya sabemos, los tamaños de los transistores solo podrán ser cambiados antes de la fabricación con lo que un efecto bastante negativo de esta resistencia programable es que sólo es programable antes de su diseño.

Si fijamos como en casos anteriores la $V_d = 0.2V$, podemos comparar los rangos de resistencias que podemos llegar a obtener.

S_3	S_4	$R_{prom} (\Omega)$	Distorsión (%)
1	1	9955	0.162
5	5	2643	0.254
13.2	13.2	1339	0.282

20	20	1066	0.287
1	20	5900	1.847

Tabla 3.6: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Finalmente obtenemos un rango de $R \in [1066, 9955] \Omega$.

Como conclusiones de las prestaciones de esta implementación podemos destacar que conseguimos una técnica de linealización de modo común, es decir, eliminamos la señal de modo común sin tener que usar ningún circuito alternativo, solamente usando dos transistores MOS con la configuración mostrada. Esta ventaja lleva asociada varios efectos negativos, como son la disminución del rango de entrada, mayores variaciones ante la tensión diferencial y una reducción del valor nominal de la resistencia.

El siguiente paso del estudio será comprobar el ancho de banda en el que podemos utilizar la resistencia. Mediante un análisis AC, con $S=1$ y $V_G = 2.5V$, mostrado en la figura 3.23, obtenemos una frecuencia de corte de tres decibelios, $f_{3dB} = 0.2776GHz$.

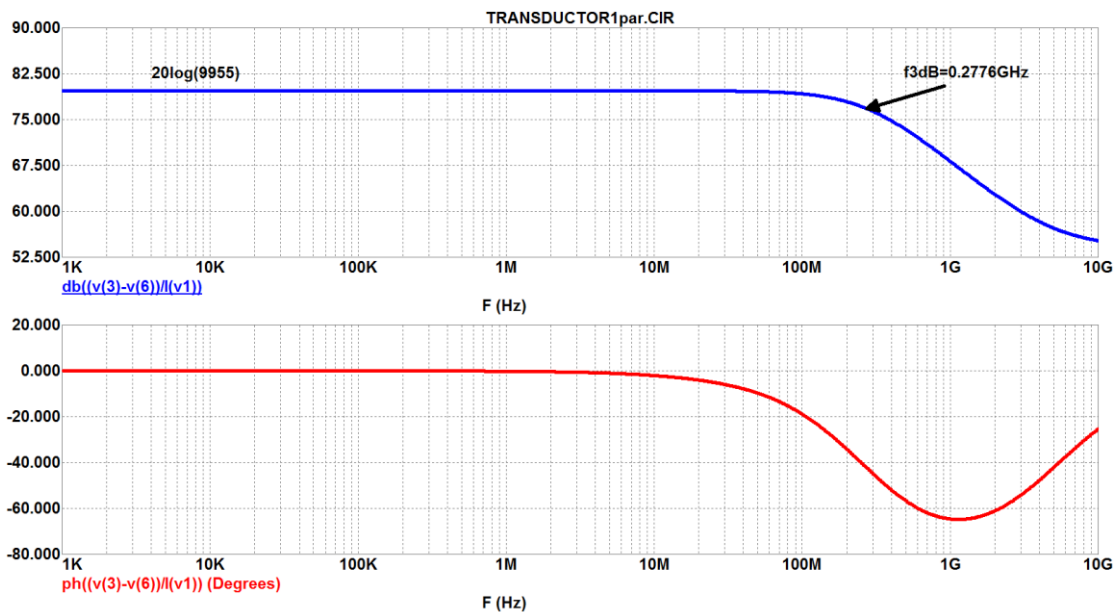


Figura 3.23: Magnitud y fase de la función de transferencia asociada a la resistencia.

Comparando este esquema con el analizado en el punto 3.1.2, obtenemos que el ancho de banda es menor y consecuentemente el comportamiento frecuencial empeora.

Por último, tendremos que observar cómo se comporta el circuito ante variaciones de temperatura. Éstas se pueden apreciar en la figura 3.27, con $S=13.2$.

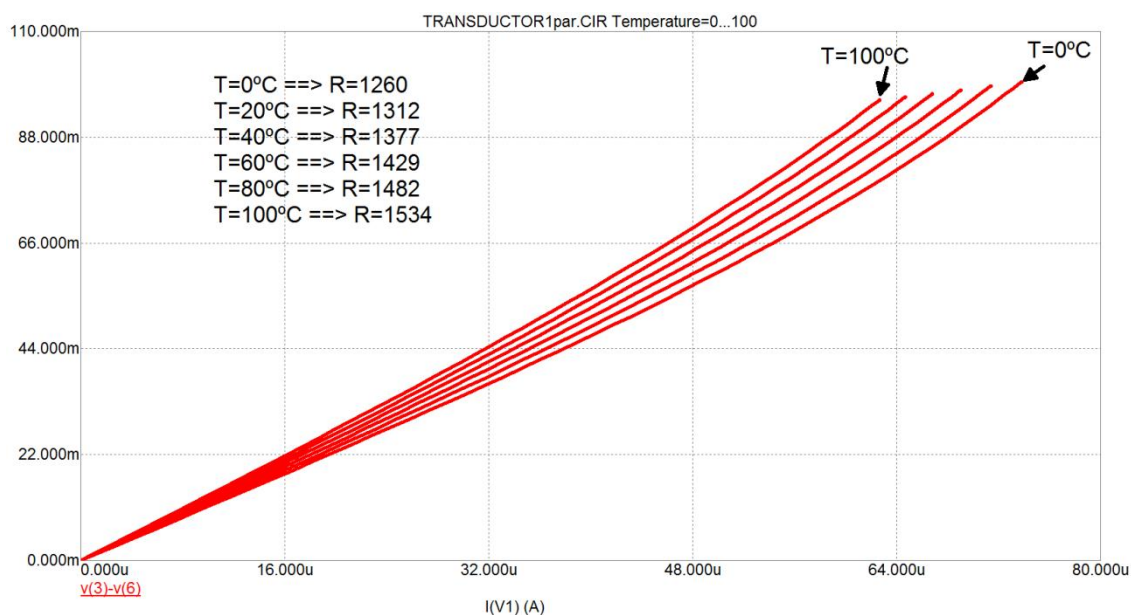


Figura 3.24: Comportamiento de la resistencia frente a variaciones de temperatura.

Si realizamos una media de las desviaciones que obtenemos de la resistencia, por cada grado tenemos que, para $\Delta T=1^{\circ}\text{C} \Rightarrow \Delta R=0.2005\%$. Comparando con los resultados extraídos en el punto 3.1.2, concluimos que tenemos un ligero aumento del incremento del tanto por ciento del valor de la resistencia, es decir, una menor inmunidad frente a la temperatura.

3.3 Resistencia programable mediante dos transistores Mosfet en serie.

3.3.1 Simulación con un par diferencial simple.

El circuito a analizar se muestra en la figura 3.25. El objetivo de esta implementación será intentar aumentar el valor de la resistencia obtenido con los esquemas anteriores, mediante la disposición en serie de dos Mosfet, buscando que, al tener dos resistencias en serie, su valor equivalente sea la suma de ambas y, por tanto, sea más elevado.

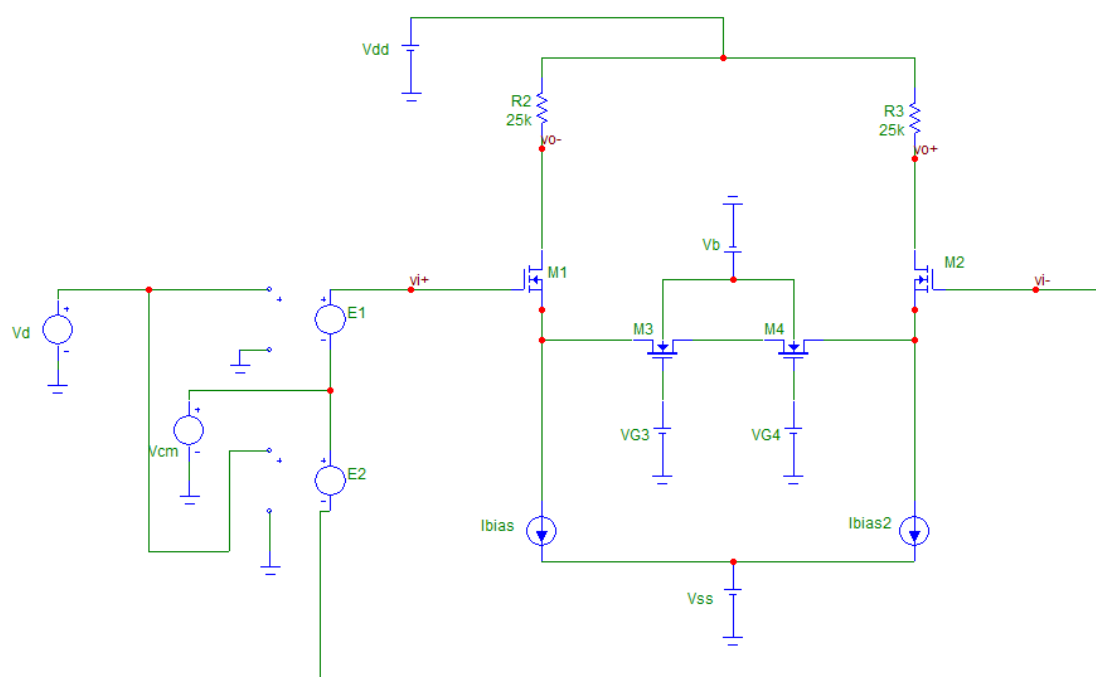


Figura 3.25: Esquemático del par diferencial simple con dos Mosfet en serie.

Como viene siendo habitual describiremos brevemente el esquemático a analizar. El par diferencial del que consta el circuito no tiene ninguna modificación con respecto a los vistos en esquemas anteriores, incluso los valores de los elementos serán exactamente los mismos a no ser que en alguna parte del documento identifiquemos algún cambio. Por otro lado, la resistencia programable constará de

dos transistores Mosfet tipo n dispuestos en serie, los tamaños de los mismos serán con la relación de aspecto por defecto y con tensiones $V_{G3} = 2.5$ y $V_{G4} = 2.5$ lo más altas posibles para evitar el corte de los Mosfet.

Para comenzar el análisis empezaremos buscando su punto óptimo de polarización realizando un barrido en DC sobre la tensión V_{CM} .

Como en casos anteriores los transistores que forman el par, en este caso M1 y M2, deberán estar operando sobre la región de saturación. Como el par diferencial no ha sido sometido a ningún cambio, el rango de funcionamiento será exactamente idéntico a análisis anteriores, lo que nos quedará un rango de operación de $V_{CM} = [-2.5, 0.601]$. Este hecho es fácil de comprobar y es mostrado en la figura 3.26.



Figura 3.26: Comprobación del funcionamiento de los transistores M1 y M2

Para los transistores que forman la resistencia programable, en este caso M3 y M4, tenemos la comprobación de que ambos transistores se encuentran en la zona lineal, mediante la siguiente figura.

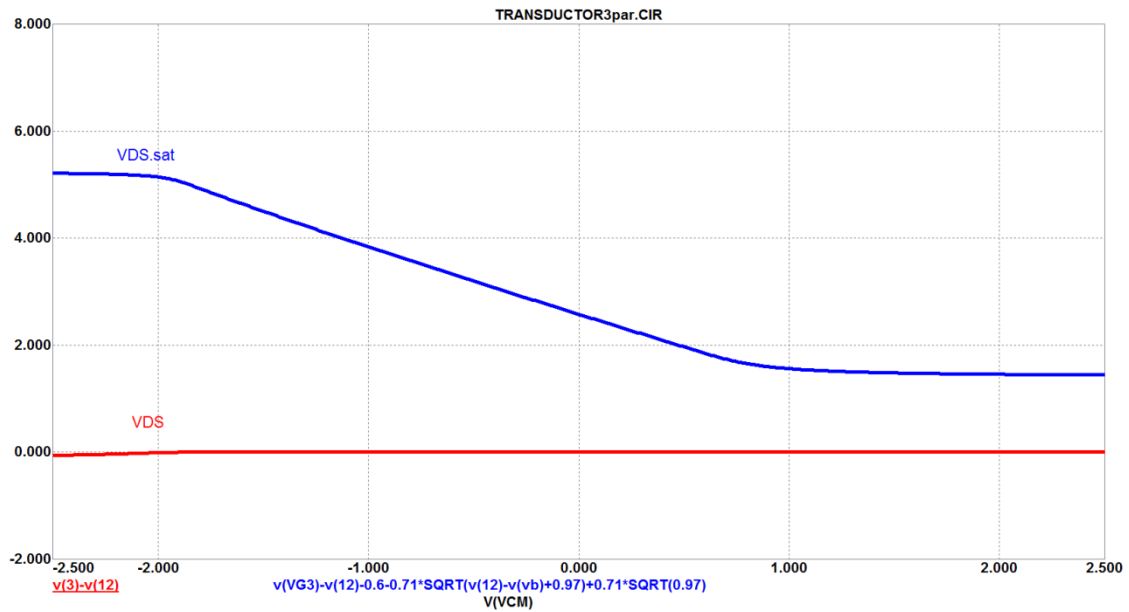


Figura 3.27: Comprobación del funcionamiento del transistor M3

La comprobación para el transistor M4 se realiza de forma análoga, obteniéndose los mismos resultados.

La tensión V_{DS} del mosfet es nula durante todo el rango DC analizado debido a que no estamos introduciendo tensión diferencial en el circuito, la única tensión que puede caer entre los nodos de la resistencia. Como la tensión $V_{DS.sat}$ es siempre mayor que cero en todo el rango de funcionamiento, no añadimos ninguna limitación más al rango de V_{CM} en el que podemos trabajar.

Como ya hemos comentado con anterioridad, el punto de funcionamiento óptimo sería coger el punto medio del rango de V_{CM} , en este caso $V_{CM} = -0.945V$ para obtener un margen lo más amplio posible de la tensión V_d . Además es el mismo valor de la tensión de modo común, con el que estamos analizando todos nuestros circuitos.

Fijado ya el valor en el que nos interesa que esté la tensión de modo común, lo siguiente será analizar el rango de funcionamiento correcto que tenemos de la tensión diferencial de entrada.

Para los transistores del par diferencial tendremos el mismo valor restrictivo que teníamos en circuitos anteriores, ya que el par diferencial no ha variado en absoluto. Este valor queda reflejado en la siguiente figura:

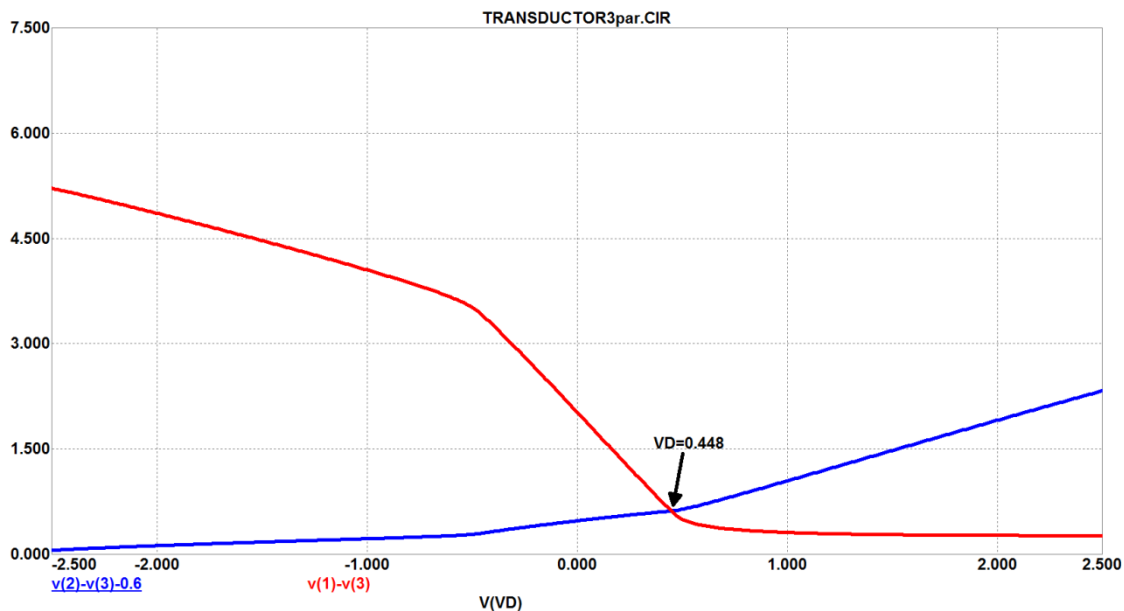


Figura 3.28: Comprobación del funcionamiento del transistor M1

Para los transistores de la resistencia programable no vamos a tener ninguna restricción adicional como se puede apreciar en la figura 3.29:

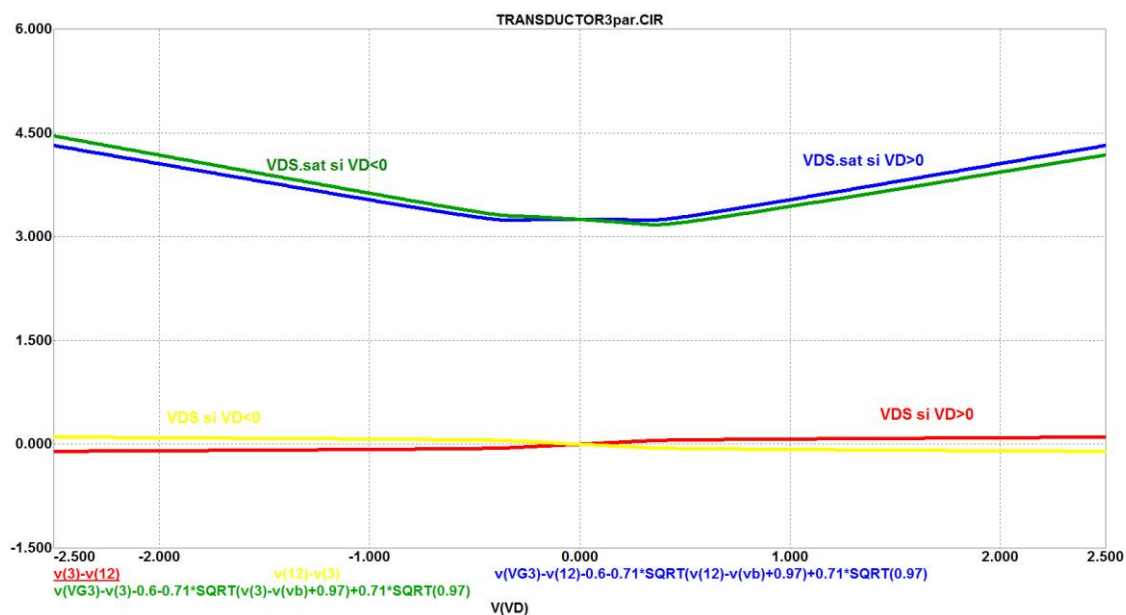


Figura 3.29: Comprobación del funcionamiento del transistor M3.

El rango final de la tensión diferencial vendrá dado entonces por $[-0.448, 0.448]$. Dentro de este rango comenzará, pues, el análisis de la linealidad de la resistencia programable. Primero, mediante un análisis a simple vista enfrentando tensión frente a intensidad de la resistencia programable.

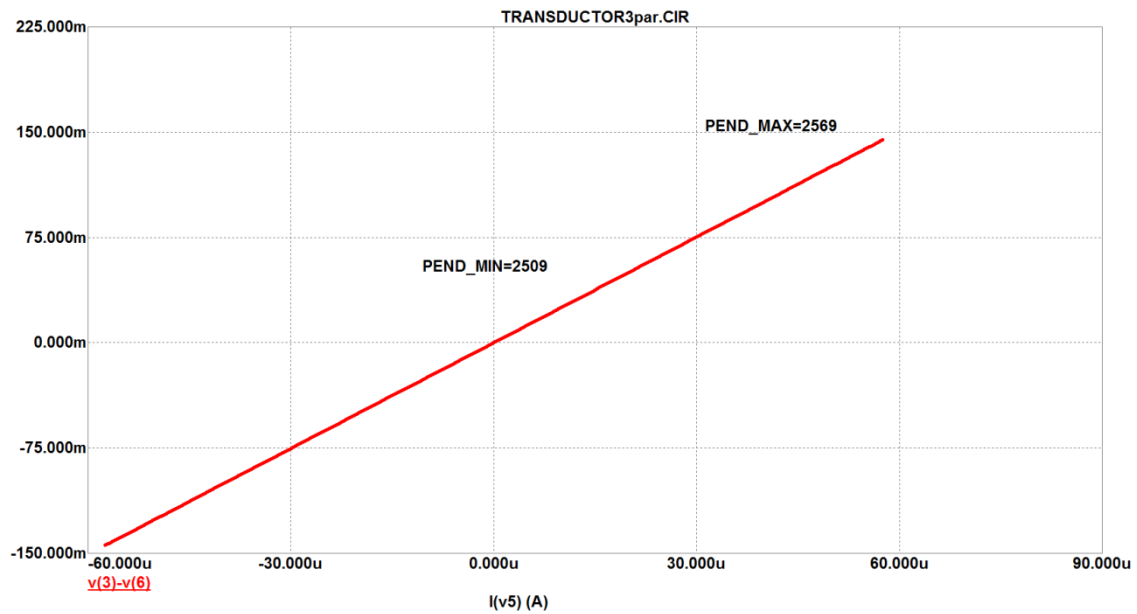


Figura 3.30: I_{ds} frente a V_{ds} de la resistencia programable.

Para comprobar la distorsión que aparece en función de la tensión diferencial, realizamos una tabla con dichos valores.

$V_d (V)$	$R_{prom} (\Omega)$	Distorsión (%)
0.05	2509	0.007
0.5	2509	0.030
0.1	2510	0.065
0.2	2512	0.116
0.3	2513	0.272
0.4	2514	0.505
0.448	2515	0.660

Tabla 3.7: Valores de la resistencia programable sujetos a variaciones de la tensión diferencial.

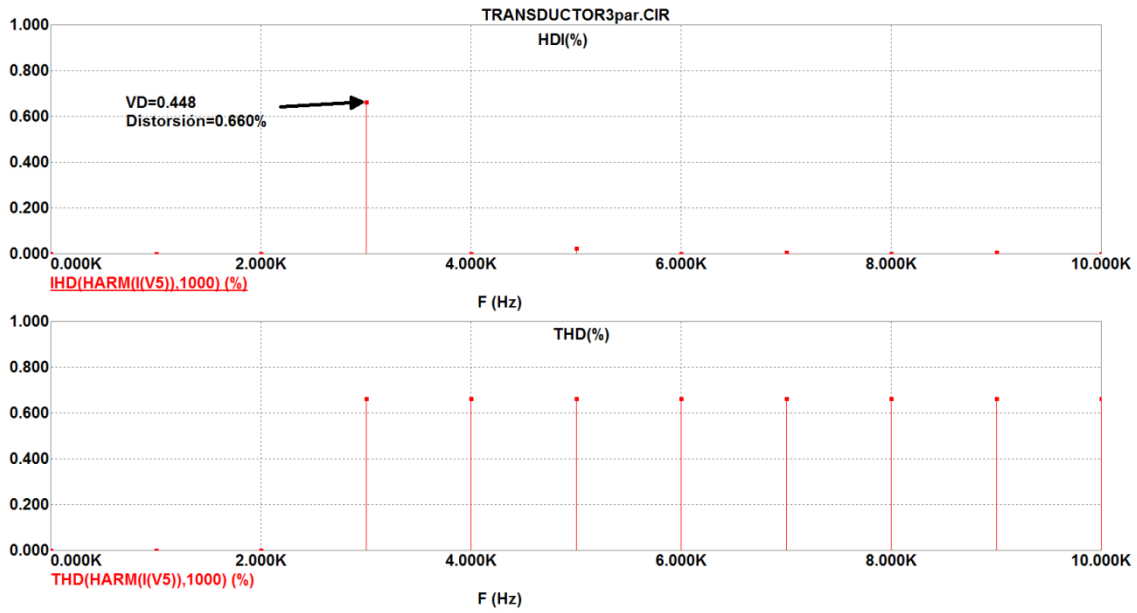


Figura 3.31: Distorsión de la resistencia a una $V_d = 0.327 V$.

El rango de tensión diferencial de entrada no ha sido modificado por la restricción de distorsión en nuestra resistencia. El siguiente paso será comprobar las variaciones de la resistencia programable en función de sus parámetros de programabilidad, en este caso concreto tenemos V_{G3} , V_{G4} , S_3 y S_4 .

Los valores máximos de las tensiones de puerta vendrán dados por el valor máximo del rango de polarización, y los valores mínimos vendrán dados por el punto de operación en el que alguno de los transistores que forman la resistencia programable deje de funcionar correctamente. Estos valores se pueden comprobar mediante un análisis DC variando las tensiones de puerta y comprobando el estado de los Mosfet, este valor es $V_{G3} = V_{G4} = -1.21V$.

$V_{G3}(V)$	$V_{G4}(V)$	S_3	S_4	$R_{prom}(\Omega)$	Distorsión (%)
2.5	2.5	1	1	8282	0.041
2.5	2.5	20	20	2349	0.122
2.5	1	1	1	9610	0.094
2.5	1	20	20	2416	0.120
-1.21	-1.21	1	1	222K	2.293

-1.21	-1.21	1	13.2	114K	2.078
-1.21	-1.21	8	8	30.50K	1
-1.21	-1.21	20	20	13.48K	0.160

Tabla 3.8: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Concluyendo, nuestra resistencia programable presenta mejores características en distorsión. El porqué de esta disminución de la distorsión se atribuye a que para un mismo valor de tensión entre los nodos de nuestra resistencia programable tenemos que dicha tensión se divide entre dos dispositivos, con lo que las tensiones V_{DS} de los Mosfets serán más bajas, causando que los Mosfets se encuentren con mayor profundidad en su zona lineal. Además, con los mismos valores, comparando con otros esquemas, el valor nominal de la resistencia es mayor (este hecho era predecible, ya que el esquema se comporta como dos resistencias en serie).

3.4 Resistencia programable mediante dos transistores Mosfet en paralelo

Siguiendo con los desarrollos expuestos en apartados anteriores, intentaremos analizar el siguiente circuito y observar las características que presenta con respecto a sus predecesores.

3.4.1 Simulación con una fuente de tensión diferencial

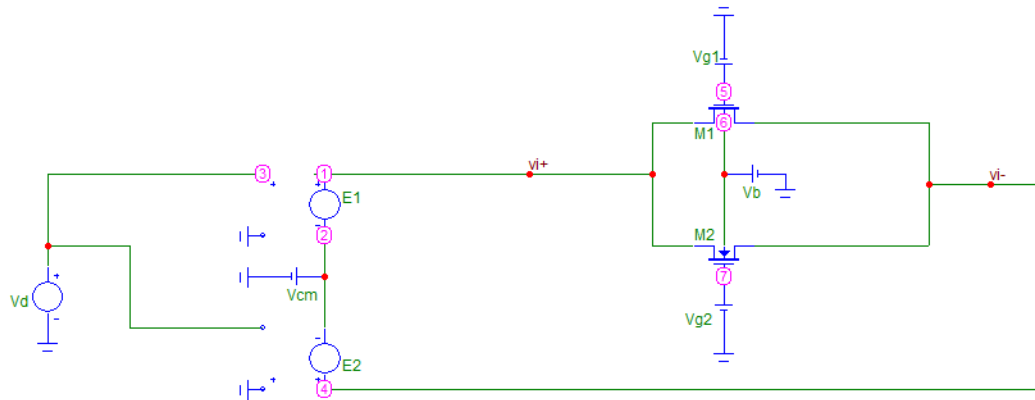


Figura 3.32: Esquema con dos transistores Mosfet y una entrada diferencial.

Comenzamos con un análisis teórico del esquemático. Tenemos dos transistores en principio funcionando en zona lineal, que a su vez van a dar dos corrientes I_{ds1} , I_{ds2} . La corriente total que atraviesa nuestro dispositivo según las leyes de Kirchhoff será la suma de ambas $I_{ds} = I_{ds1} + I_{ds2}$. Nuestro objetivo será conseguir una proporcionalidad entre la corriente total que atraviesa nuestro dispositivo y la tensión total entre los nodos de dicho dispositivo. Tenemos:

$$I_{ds} = K_{ohm} \frac{W_1}{L_1} (V_{gs1} - V_{tn1} - \frac{V_{ds1}}{2}) V_{ds1} + K_{ohm} \frac{W_2}{L_2} (V_{gs2} - V_{tn2} - \frac{V_{ds2}}{2}) V_{ds2} ; \quad (3.22)$$

Como los transistores son iguales, $V_{tn1} = V_{tn2}$ y por construcción del circuito, $V_{ds1} = V_{ds2}$, si además usamos las relaciones propias del circuito podemos sustituir y queda:

$$V_d = \frac{1}{K_{ohm} \frac{W_1}{L_1} (V_{G1} - V_{CM} - V_{tn}) + K_{ohm} \frac{W_2}{L_2} (V_{G2} - V_{CM} - V_{tn})} I_{ds} ; \quad (3.23)$$

Y una resistencia programable dada por:

$$R_{prom} = \frac{1}{K_{ohm} \frac{W_1}{L_1} (V_{G1} - V_{CM} - V_{tn}) + K_{ohm} \frac{W_2}{L_2} (V_{G2} - V_{CM} - V_{tn})} ; \quad (3.24)$$

En cuanto a la polarización tenemos muy pocas variaciones respecto al circuito formado por un solo Mosfet del apartado 3.1, con lo que no lo analizaremos en profundidad. En este caso lógicamente vamos a tener dos transistores lo que nos introducirá dos variables más a nuestro circuito; dos tensiones de puerta de los Mosfet V_{G1} y V_{G2} , que para continuar con la misma polarización mantendremos ambas a 2.5V. Por otro lado la tensión de modo común se encuentra a $V_{CM} = 0.9495V$.

Analizando posibles resultados del circuito es relativamente fácil suponer que lo que vamos a tener, si nuestras suposiciones son ciertas, son dos resistencias programables trabajando en paralelo. Lo que nos va a reducir el valor de la resistencia total ya que, como sabemos, dos resistencias en paralelo dan un valor total de la misma de $R_T = \frac{R_1 R_2}{R_1 + R_2}$. Si estas resistencias fueran exactamente iguales el valor de la resistencia se reduciría justamente a la mitad.

Además, tenemos dos corrientes I_{DS1} , I_{DS2} , exactamente iguales que atraviesan cada uno de los Mosfet M1 y M2 respectivamente. Estas dos corrientes sumadas nos van a dar la corriente total que pasa por nuestra resistencia programable. Si dibujamos estas dos corrientes mediante un análisis transitorio en el tiempo, vemos que las suposiciones son correctas.

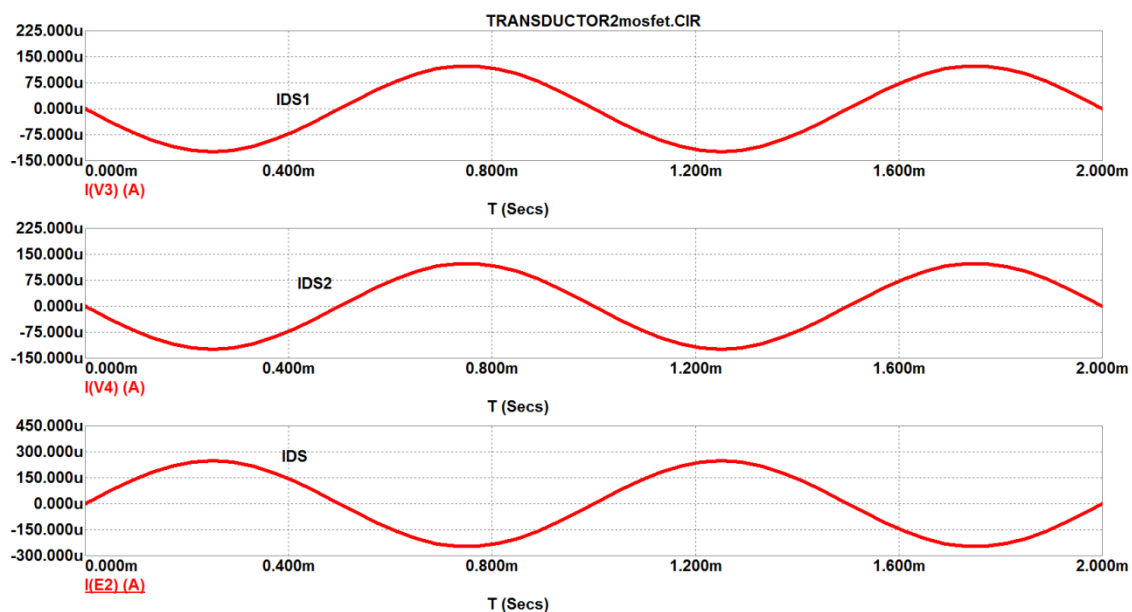


Figura 3.33: Análisis transitorio de las corrientes I_{DS1} , I_{DS2} y I_{DS} .

Realizando ahora un análisis de distorsión a cada una de las corrientes I_{DS1} , I_{DS2} y a la total, obtenemos que las distorsiones introducidas por el circuito son exactamente las mismas que la distorsión que teníamos con un solo Mosfet. Lo que va a cambiar lógicamente es el valor de la resistencia programable.

V_d (V)	R_{prom} (Ω)	Distorsión (%)
0.05	677	0.003
0.5	678	0.023
1	680	0.048
1.5	682	0.072
2	684	0.100
2.5	686	0.126

Tabla 3.9: Valores de la resistencia programable sujetos a variaciones de la tensión diferencial.

En principio, vemos que se cumplen todos los resultados en función de los planteamientos hechos. Los resultados son prácticamente idénticos a los que obteníamos con un solo Mosfet sabiendo que en este caso los Mosfet se comportan como resistencias en paralelo.

El circuito analizado no presenta realmente mejoras respecto al anterior. No sólo tenemos un circuito un poco más complejo (tendríamos que construir un transistor más) sino que, además, hay un incremento del tamaño del chip. Lo único que nos ofrece esta topología es que el número de grados de libertad que tenemos para diseñar nuestra resistencia ha aumentado de 2 a 4; V_{G1} , V_{G2} , S_1 y S_2 .

Construimos a continuación una tabla para observar el valor de las resistencias programables, fijando como de costumbre $V_d=0.2$ y $V_{CM} = -0.9495V$ y teniendo en cuenta que si $V_{G1} < 0.201V$ o $V_{G2} < 0.201V$ el transistor M1 o M2 abandonará la zona lineal.

$V_{G1}(V)$	$V_{G2}(V)$	S_1	S_2	$R_{prom} (\Omega)$	Distorsión (%)
2.5	2.5	1	1	2754	0.101
2.5	2.5	1	13.2	1087	0.009
2.5	2.5	1	20	1024	0.005
2.5	2.5	20	20	621	0.004
2.5	1	1	1	3870	0.131
2.5	1	1	13.2	1362	0.028
2.5	1	1	20	1202	0.017
2.5	1	20	20	685	0.016
0.201	0.201	1	1	34.67k	0.661
0.201	0.201	1	13.2	5299	0.355
0.201	0.201	1	20	4228	0.273
0.201	0.201	20	20	2251	0.271

Tabla 3.10: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Como conclusión final de los resultados obtenidos, tenemos que este tipo de implementación no resuelve los problemas que tenemos en cuanto a conseguir resistencias altas, el rango en este caso concreto viene dado por $R \in [621, 34.67k] \Omega$, justamente la mitad de lo que obteníamos en el caso visto en el apartado 3.1.1 y justificado por la asociación en paralelo de las resistencias.

Respecto a la distorsión los resultados tampoco mejoran, de hecho son exactamente los mismos valores de distorsión que en el caso 3.1.1, si comparamos los casos con los mismos datos. Además para cada caso hemos ocupado un tamaño mayor del dado de silicio, puesto que ahora tenemos dos transistores. Las únicas ventajas, serán el aumento de los grados de libertad para programar y ajustar la resistencia.

3.2.2 Simulación con un par diferencial simple

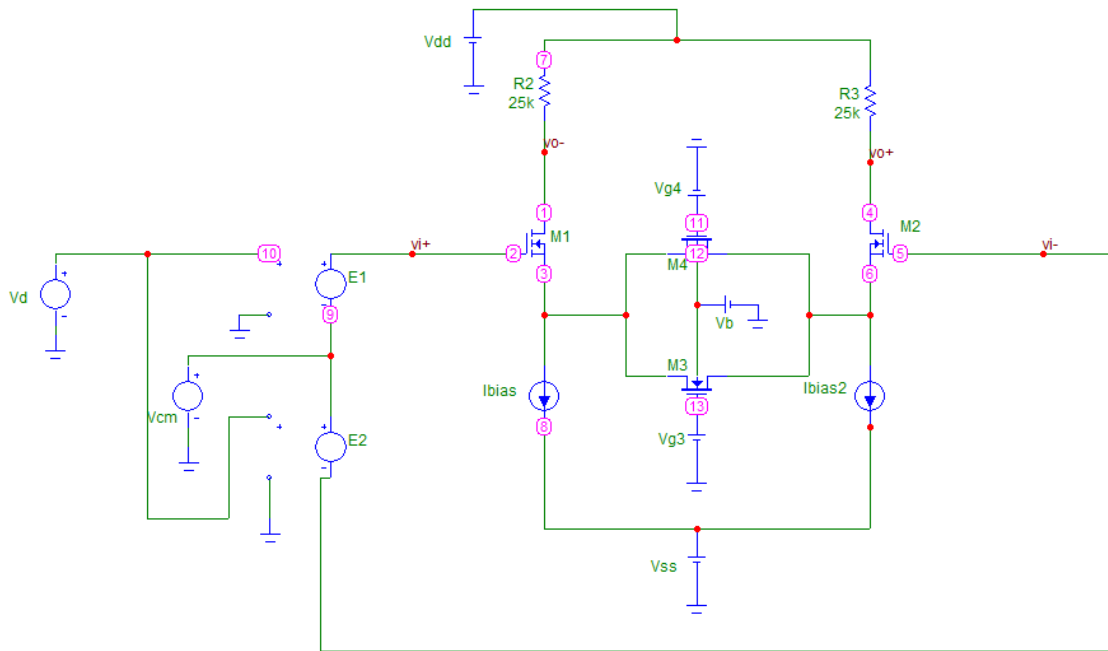


Figura 3.34: Esquema con dos transistores Mosfet y un par diferencial.

El circuito siguiente será un par diferencial con una resistencia programable con dos Mosfet actuando en paralelo. Las condiciones de polarización serán las mismas que hemos ido comentando en apartados anteriores.

Mediante un análisis teórico, uniendo todos los resultados de análisis anteriores, tenemos una resistencia programable teórica de:

$$R_{prom} = \frac{1}{K_{ohm} \frac{W_3}{L_3} (V_{G3} - V_{CM} - V_{GS1} - V_{tn}) + K_{ohm} \frac{W_4}{L_4} (V_{G4} - V_{CM} - V_{GS1} - V_{tn})} ; \quad (3.25)$$

Para las simulaciones de distorsión obtenemos los mismos resultados, con lo que lo único interesante a destacar será una tabla con las resistencias programables obtenidas.

$V_{G1}(V)$	$V_{G2}(V)$	S_1	S_2	$R_{prom}(\Omega)$	Distorsión (%)
2.5	2.5	1	1	2066	0.146
2.5	2.5	20	20	587	0.256
2.5	1	1	1	2362	0.133
2.5	1	20	20	603	0.252
-1.21	-1.21	1	1	57.27k	1.843
-1.21	-1.21	1	13.2	8945	0.202
-1.21	-1.21	1	20	6412	0.032
-1.21	-1.21	20	20	3404	0.287

Tabla 3.11: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Para este caso concreto, como era predecible, vemos que todas las suposiciones se cumplen también.

3.5 Resistencia programable mediante un transresistor.

El esquemático a analizar se ha obtenido de la referencia [7] de la bibliografía y se presenta en la figura 3.35.

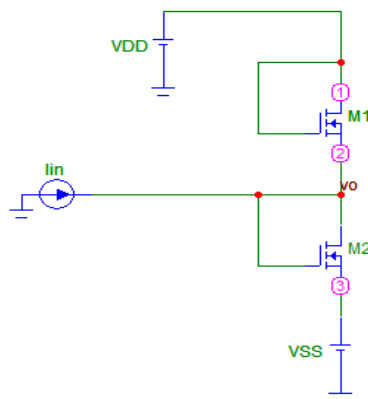


Figura 3.35: Esquema de un circuito transresistor.

El circuito es lo que comúnmente denominamos transresistor y su función es convertir una intensidad de entrada en una tensión de salida pero teniendo en cuenta que a la salida no puede circular intensidad (independientemente de lo que nos encontremos a la salida)

Con esta limitación, lógicamente no podremos usar este tipo de implementación de resistencia con cualquier configuración. Esta resistencia sólo funcionará, por ejemplo, cuando dentro del rango de funcionamiento correcto del circuito tengamos a su salida un condensador de bloqueo que no deje pasar la componente de continua de la señal de intensidad o, por ejemplo, la entrada de un transistor Mosfet, donde sabemos que por definición, por su puerta no circula intensidad.

Vistas sus limitaciones, lo interesante de esta configuración es que nos permite simular una resistencia programable con transistores funcionando en la zona de saturación. Debido a que tenemos transistores en configuración diodo con $V_{GS} = V_{DS}$,

lo que nos va a asegurar que siempre que los transistores estén conduciendo, lo hagan en su región de saturación, ya que $V_{DS} > V_{DS.sat}$.

Analizando teóricamente el circuito y suponiendo que los transistores están en saturación tenemos:

$$I_{ds1} = \frac{K_{ohm1}}{2} \frac{W_1}{L_1} (V_{DD} - V_o - V_{tn})^2; \quad (3.26)$$

$$I_{ds2} = \frac{K_{ohm2}}{2} \frac{W_2}{L_2} (V_o - V_{SS} - V_{tn})^2; \quad (3.27)$$

Teniendo en cuenta que $\frac{W_1}{L_1} = \frac{W_2}{L_2}$, $K_{ohm1} = K_{ohm2}$ y que las tensiones de polarización en todo el circuito cumplen que $V_{DD} = -V_{SS}$, podemos hacer uso de la siguiente expresión:

$$(a + b)^2 - (a - b)^2 = 4ab; \quad (3.28)$$

Despejando la tensión de salida y utilizando la ecuación anterior obtenemos que:

$$V_o = \frac{I_{ds1} - I_{ds2}}{2K_{ohm} \frac{W}{L} (V_{DD} - V_{tn})} = \frac{I_{in}}{2K_{ohm} \frac{W}{L} (V_{DD} - V_{tn})}; \quad (3.29)$$

Y nuestra resistencia programable vendrá dada por:

$$R_{prom} = \frac{1}{2K_{ohm} \frac{W}{L} (V_{DD} - V_{tn})}; \quad (3.30)$$

Se puede observar fácilmente que nuestras variables de programación de la resistencia serán la relación de aspecto y las tensiones de polarización. La segunda de ellas será un valor, en principio fijo, y dependiente del circuito en el que estemos usando nuestra resistencia programable. Nosotros, en todo caso, usaremos unas tensiones de polarización dadas por $V_{DD} = -V_{SS} = 2.5V$, con el fin de establecer posibles comparaciones en nuestros diferentes circuitos.

Por otro lado, en lo referente al rango de funcionamiento correcto del circuito, tenemos que los transistores se encuentran funcionando siempre en saturación debido a su conexión diodo. El único hecho que hará que los transistores dejen de funcionar

correctamente será un aumento o disminución de la I_{in} tal que consiga que $|V_o| > V_{DD} - V_{tn}$. Esto nos llevaría a tensiones negativas entre el drenador y la fuente de uno de los Mosfet, que son de terminales no intercambiables.

Si realizamos un análisis DC variando la intensidad I_{in} obtenemos:

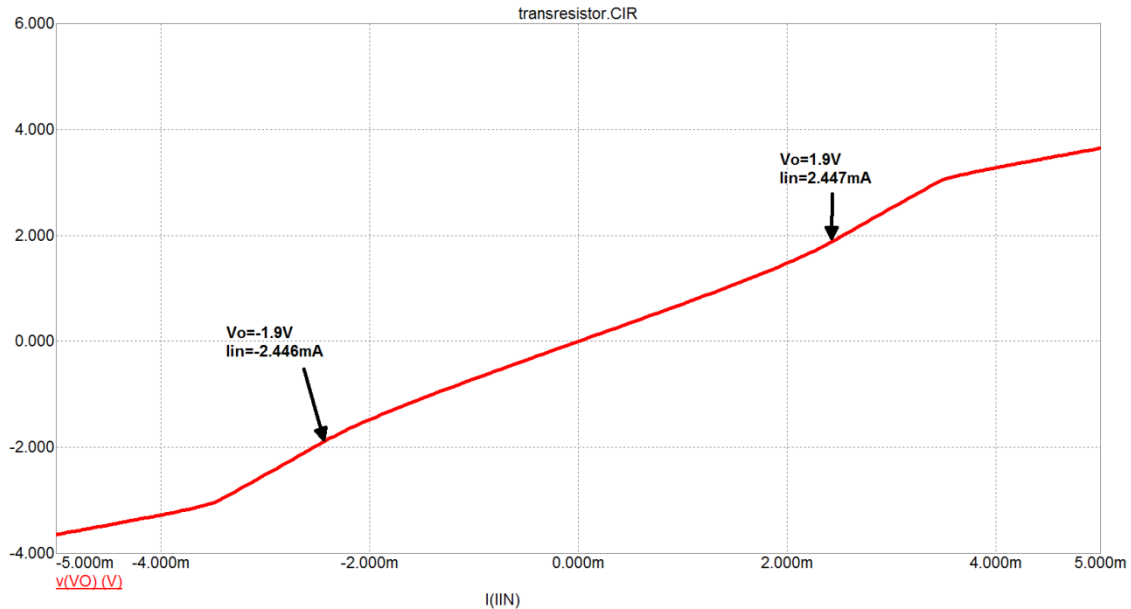


Figura 3.36: Comprobación del rango de funcionamiento del transresistor.

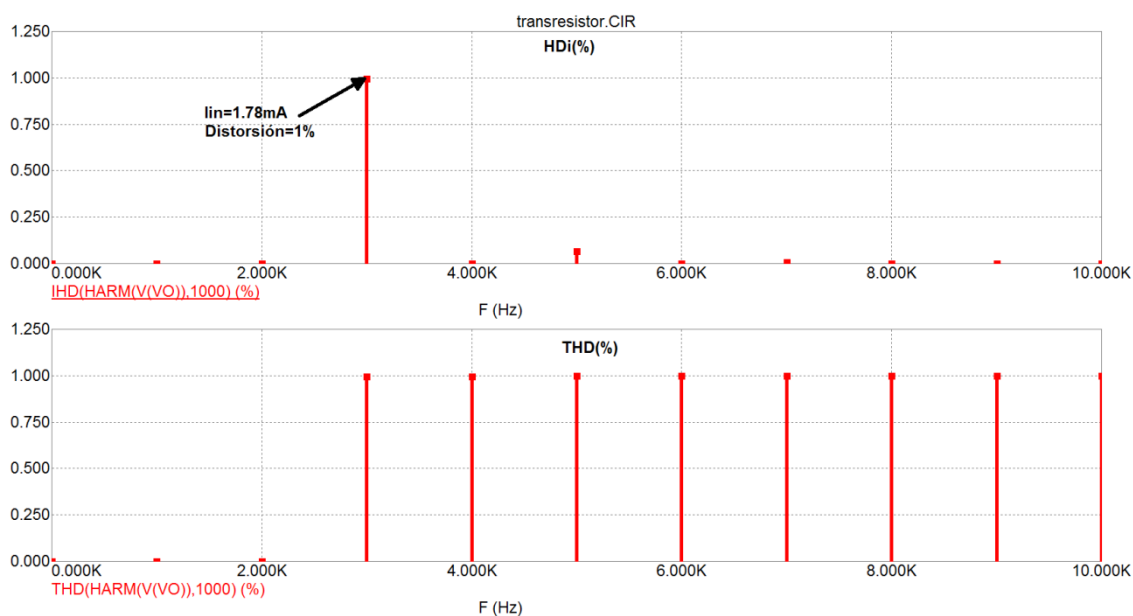
El rango de entrada máximo permitido en intensidad vendrá dado por $I_{in} = [-2.446, 2.446]\text{mA}$.

En la grafica 3.36, también podemos apreciar que dentro del rango de funcionamiento, obtenemos una pendiente bastante lineal entre la tensión de salida y la intensidad de entrada que va a ser nuestra resistencia programable. Para comprobar la linealidad de dicha resistencia fijaremos una intensidad de modo común $I_{IN} = 0\text{A}$ con variaciones que lógicamente no pueden sobrepasar el rango de intensidad de la entrada y la someteremos a un análisis de distorsión.

I_{in} (mA)	R_{prom} (Ω)	Distorsión (%)
0.1	701	0.002
0.5	706	0.060
1.0	723	0.251
1.5	761	0.648

1.78	800	1
2.446	1087	2.884

Tabla 3.12: Valores de la resistencia programable sujetos a variaciones de la intensidad diferencial.


Figura 3.37: Distorsión de la resistencia a una $I_{in} = 1.78mA$.

El análisis de distorsión nos vuelve a limitar el rango de entrada de la intensidad a $I_{in} = [-1.78, 1.78]mA$. En todo caso esta reducción de la intensidad de entrada nos va a reducir y dejar un rango de resistencia variable de $R \in [701, 800]\Omega$.

La programabilidad de la resistencia como hemos comentado anteriormente vendrá dada por la relación de aspecto de los transistores Mosfet. Si fijamos una $I_{in} = 100\mu A$ y construimos una tabla variando la S , podremos observar los valores máximos y mínimos de nuestra resistencia programable.

S	$R_{prom} (\Omega)$	Distorsión (%)
1	4187	0.103
5	1178	0.008
13.2	706	0.002

20	596	0.001
----	-----	-------

Tabla 3.13: Estudio definitivo de las variaciones de la resistencia atendiendo a su programabilidad.

Analizando la tabla, se puede concluir que, en primer lugar, esta implementación no resuelve el problema de encontrar una forma de simular resistencias altas, más bien todo lo contrario. El esquema nos proporciona la posibilidad de realizar resistencias pequeñas, con baja distorsión, de una manera muy sencilla y con baja consumo de área, siempre que todas las limitaciones comentadas durante el apartado se cumplan.

El siguiente paso dentro del análisis de la resistencia programable, será comprobar su comportamiento en frecuencia, mediante un análisis AC con rango $[1K, 10^{11}]$ Hz y tomando $S=1$, obtenemos una $f_{3dB} = 0.162GHz$, como se puede apreciar en la figura 3.38.

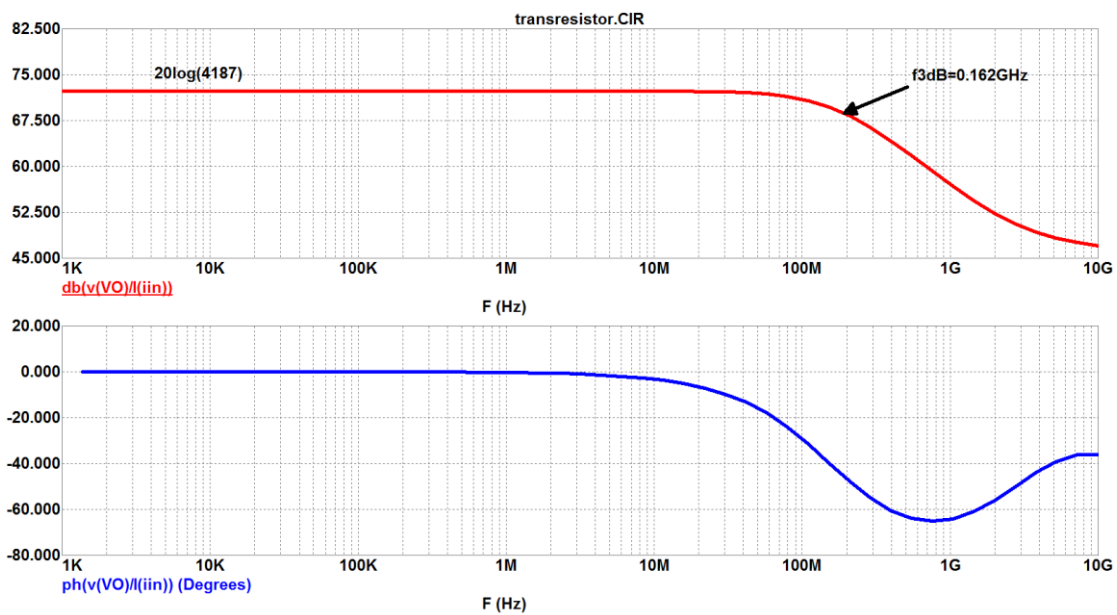


Figura 3.38: Magnitud y fase de la función de transferencia asociada a la resistencia.

El ancho de banda del circuito es más pequeño que el de los circuitos analizados en los puntos 3.1.2 y 3.2.1, pero va a tener una ventaja bastante importante, respecto a los demás circuitos y será que si analizamos el ancho de banda con $S=100$, obtenemos una $f_{3dB} = 0.136GHz$, con lo que su ancho de banda apenas se reduce, esto hecho nos lleva a concluir que el circuito es casi inmune a los efectos

asociados a la aparición de capacidades parasitas por el aumento de tamaño de los transistores.

Para concluir y como viene siendo habitual en el análisis de los diferentes circuitos, probaremos el comportamiento frente a la temperatura del transresistor.

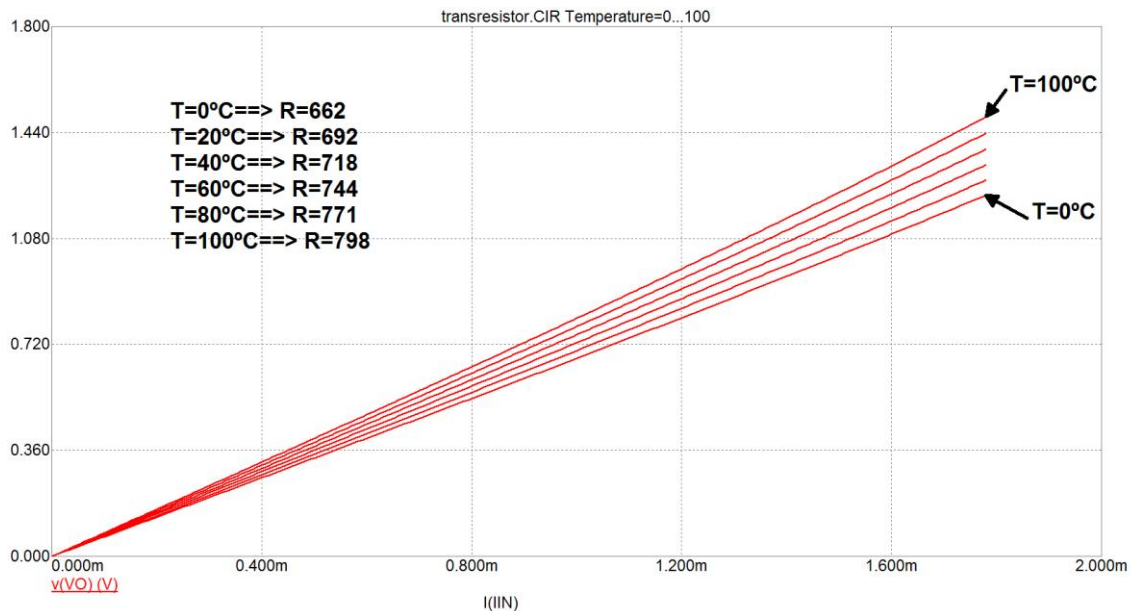


Figura 3.39: Comportamiento de la resistencia frente a variaciones de temperatura.

Si realizamos una media de las desviaciones que obtenemos de la resistencia, por cada grado tenemos que, para $\Delta T=1^{\circ}\text{C} \rightarrow \Delta R=0.1903\%$. El comportamiento de la implementación refleja que tenemos valores similares a los estudiados en los demás apartados de resistencias tradicionales y en los cuales, finalmente se puede decir, que presentan comportamientos en su mayoría despreciables, si el rango de temperatura del circuito no varía en exceso respecto de su valor nominal.

Capítulo 4: Implementaciones de resistencias programables actuales

Como hemos ido analizando en el transcurso del proyecto, las diferentes posibilidades de implementaciones de resistencias programables, se basaban en transistores Mosfet trabajando o bien en su zona lineal, o bien en su zona de saturación. Una posible y nueva implementación de resistencias programables sería aquella que nos permitiera incrementar y, por tanto mejorar las características de linealidad y de la baja resistividad de dichas implementaciones.

En la literatura se ha encontrado, entre otras, dos nuevas vertientes de estudio con dicho objetivo. Por un lado, la posibilidad de realizar resistencias programables con tecnología FGMOS y por otro lado, una novedosa solución que nos permitirá construir resistencias programables lineales y no lineales.

4.1 Resistencias programables con transistores de puerta flotante.

Esta reciente tecnología está basada en la utilización de transistores de puerta flotante y nos va a permitir reducir considerablemente muchos de los problemas citados anteriormente que teníamos en la implementación de resistencias programables tradicionales. Así como escalar y disminuir los rangos de entrada de las señales o reducir la tensión umbral del MOS, utilizando las cargas de los condensadores de la puerta flotante.

Lo primero que vamos a hacer es introducir qué es un transistor de puerta flotante y cómo funciona. Los transistores de puerta flotante, son una clase de transistores usados normalmente para almacenamiento no volátil como memorias flash, EPROM y EEPROM. Los transistores MOS de puerta flotante son útiles porque

tienen la capacidad de almacenar una carga eléctrica durante un gran periodo de tiempo incluso sin estar conectados a una fuente de tensión.

Los MOS de puerta flotante están formados por un transistor MOS normal y una o mas capacidades usadas para controlar las tensiones en la puerta flotante. El óxido rodea a la puerta y por lo tanto la carga atrapada en la puerta flotante permanece allí.

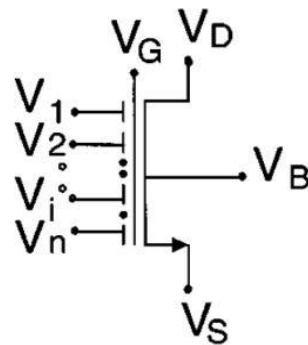


Figura 4.1: Transistor MOS en puerta flotante.

En el dibujo observamos un transistor de puerta flotante de múltiples entradas (MIFGT), cada entrada i está conectada a la puerta flotante por medio de una capacidad construida con capas de polisilicio que llamaremos C_i . En la siguiente figura podemos ver el circuito equivalente de un transistor nMOS incluyendo las capacidades parásitas.

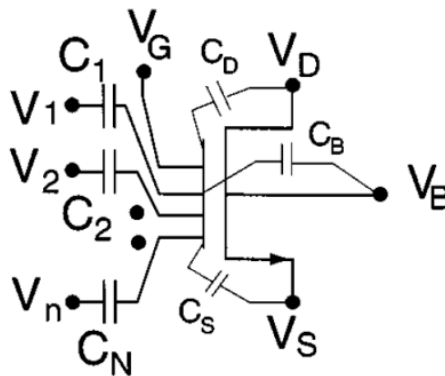


Figura 4.2: MOS en puerta flotante. (Circuito equivalente)

Considerando la ley de conservación de carga en la puerta flotante tenemos:

$$0 = \sum_{i=1}^N C_i (V_i - V_G) - C_S (V_G - V_S) - C_D (V_G - V_D) - C_B (V_G - V_B) \quad (4.1)$$

Donde C_S , C_D y C_G son las capacidades desde la puerta a la fuente, el drenador y el sustrato respectivamente y V_G , V_S , V_D y V_B son las tensiones en la puerta flotante, la fuente, el drenador y el sustrato. Por tanto un transistor de puerta flotante de N entradas se comporta como un transistor de $N+3$ entradas, tres de ellas negativas, por medio de las capacidades de fuente, drenador y sustrato.

El transistor MOS de puerta flotante, eléctricamente se comporta igual que el transistor MOS simple con la salvedad de las múltiples entradas. Para implementar resistencias programables en este tipo de tecnología usamos también transistores en su zona lineal. Vendrán dados por la siguiente expresión:

$$I_{DFG} = \beta \left(\sum_{i=1}^N w_i V_{Gi} - V_S - V_{th} \right) (V_D - V_S) - \frac{1}{2} (V_D - V_S)^2 \quad (4.2)$$

Donde $w_i = \frac{C_i}{C_T}$ es una constante comprendida entre 0 y 1 y C_T corresponde a la suma total de todas las capacidades.

Para la construcción de una resistencia programable, por ejemplo, con cuatro terminales de puerta, y como hemos dicho previamente, el transistor tiene que estar operando en zona lineal. Obtenemos la siguiente expresión.

$$I_{DS} = \beta \left[(w_1 V_{G1} + w_2 V_{G2} + w_3 V_{G3} + w_4 V_{G4} - V_S - V_{TH}) (V_D - V_S) - \frac{1}{2} (V_D - V_S)^2 \right] \quad (4.3)$$

Configurando la el transistor FGMOS con las siguientes relaciones

$$w_4 V_4 = w_T V_T = V_{TH}, \quad V_{G1} = V_C, \quad V_{G2} = V_D, \quad V_{G3} = V_S, \quad w_2 = w_3 = 0.5, \quad w_1 = w_C$$

Obtenemos el transistor FGMOS como una resistencia programable contralada por una tensión V_C con la siguiente expresión.

$$R_{prog} = \frac{V_D - V_S}{I_{DS}} = \frac{1}{\beta w_C V_C} \quad (4.4)$$

Esta implementación queda descrita por la figura 4.3.

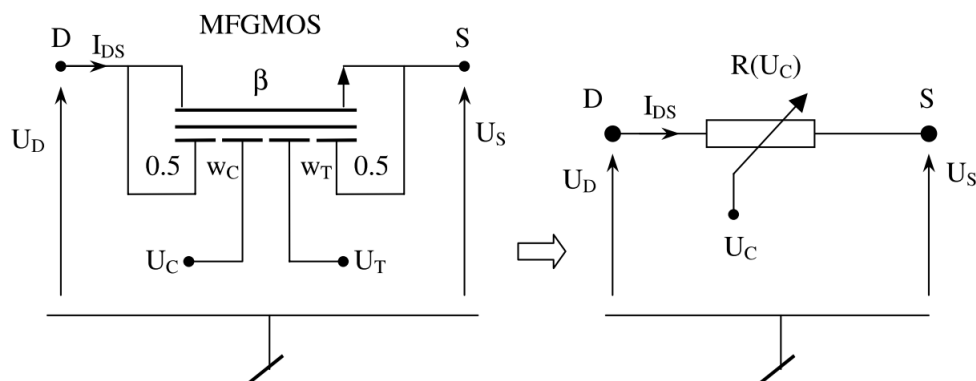


Figura 4.3: Resistencia programable teórica con un transistor FGMOS y su correspondiente simbología.

El problema de esta implementación es que no es realizable. Solo podemos obtener un resultado teórico, ya que, en la repartición de la capacidad para cada puerta de la FGMOS hemos asignado a dos de ellas 0.5 del total, concretamente a w_2 y w_3 . Esto, no nos dejaría margen para repartir un tanto por ciento de capacidad a las otras puertas, ya que como sabemos, la suma de los pesos introducidos en cada puerta tiene que ser forzosamente igual a la unidad, sino caeríamos en un error de concepto.

La solución al problema nos lleva a usar 2 transistores FGMOS adicionales para compensar los pesos en las puertas 2 y 3. La implementación quedaría como se puede observar en la figura 4.4.

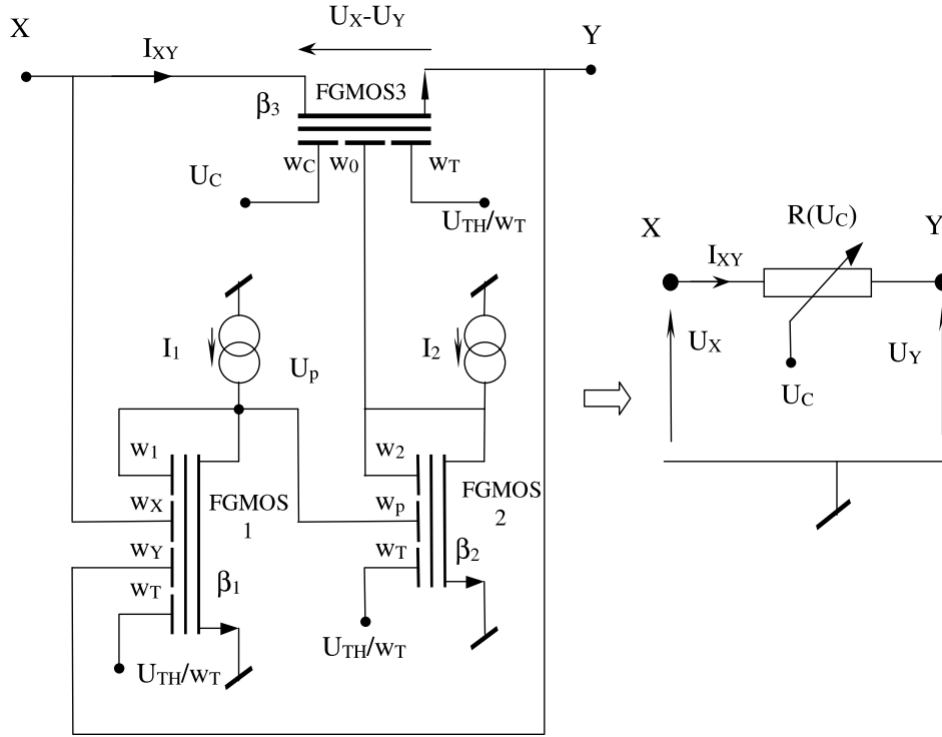


Figura 4.4: Resistencia programable con 3 transistores FGMOS y su correspondiente simbología.

El desarrollo teórico de esta implementación nos llevaría a la siguiente expresión.

$$I_{XY} = \beta w_C V_C (V_X - V_Y) + \beta A (V_X - V_Y) - \frac{\beta}{2} (V_X - V_Y)^2 \quad (4.5)$$

Donde el parámetro A tiene la siguiente expresión.

$$A = \frac{w_0}{w_2} \sqrt{2} \left(\sqrt{\frac{I_2}{\beta_2}} - \frac{w_0}{w_1} \sqrt{\frac{I_1}{\beta_1}} \right) + \frac{w_0 w_p w_x}{w_1 w_2} V_X - \frac{w_0 w_p w_y}{w_1 w_2} V_Y \quad (4.6)$$

Para eliminar el término cuadrático de la expresión de la intensidad y conseguir la linealidad deseada entre tensión e intensidad que está dada por:

$$R_{prog} = \frac{1}{\beta w_C V_C} \quad (4.7)$$

Necesitamos que, por un lado, los transistores FGMOS1 y FGMOS2 se encuentren en la zona de saturación y que el transistor FGMOS3, que es el que realmente está funcionando como la resistencia programable, se encuentre en su zona lineal. Por otro lado, para eliminar las relaciones cuadráticas que tenemos en la

expresión de la intensidad necesitamos, además, que se cumplan una serie de condiciones. Son las siguientes.

$$\frac{w_0}{w_1} = 1, \quad I_1 = I_2, \quad \beta_1 = \beta_2, \quad \frac{w_0 w_p w_x}{w_1 w_2} = \frac{w_0 w_p w_y}{w_1 w_2} = \frac{1}{2}$$

Lo que hemos presentado por ahora es una realización relativamente simple de una resistencia programable FGMOS controlada por tensión. Para obtener resultados de linealidad de dichas implementaciones necesitaríamos que el programa Microcap tuviera entre sus librerías transistores FGMOS y como no las tiene, una solución alternativa sería realizar un esquemático como el presentado en la figura 4.5.

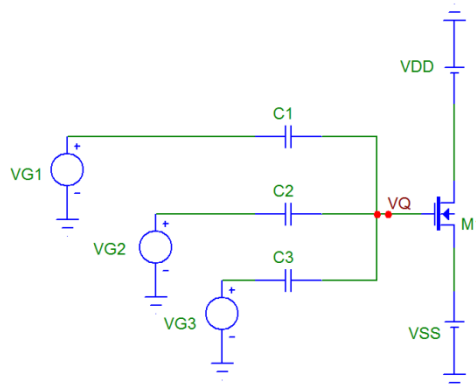


Figura 4.5: Esquemático alternativo para una implementación de una FGMOS.

Esta posibilidad también presenta dificultades en cuanto a su análisis, ya que el nodo V_Q se encuentra aislado y sin camino a tierra, con lo que las simulaciones dan errores y no están permitidas. La alternativa a este problema sería utilizar transistores QFGMOS o transistores de puerta cuasi-flotante, que en todo caso están fuera del alcance del documento.

Debido a la imposibilidad de probar y analizar resultados con el programa de simulación MICROCAP8.0, como se ha explicado anteriormente, nos haremos eco de los resultados que nos interesan extraídos del artículo [8], mencionado en la bibliografía. En dicho artículo, para implementar la resistencia se usa una tecnología

CMOS de 0.5 μ m, con diseño de tamaño de los transistores de W=1.2 μ m y L=7.5 μ m. Los resultados referentes a la distorsión son los siguientes.

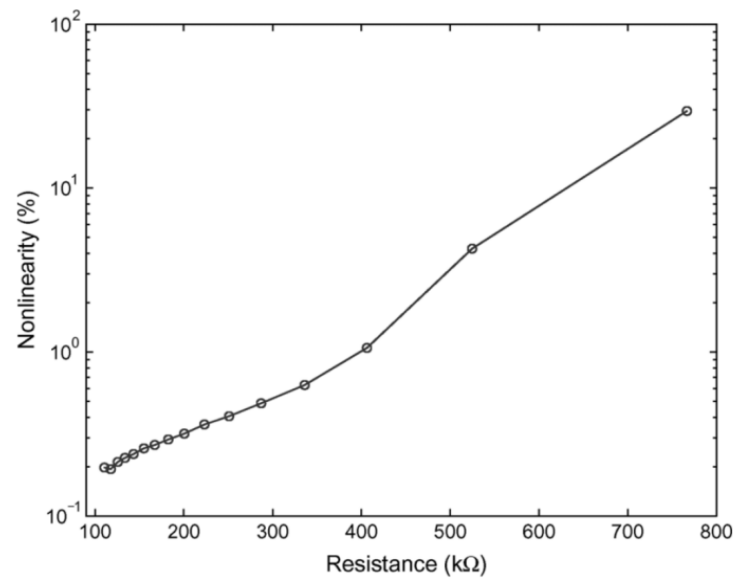


Figura 4.6: Gráfica de distorsión-Resistencia en tecnología con puertas flotantes.

A la vista de los resultados observamos que mediante el uso de FGMOS hemos conseguido disminuir en gran cantidad la distorsión introducida por la resistencia a medida que aumentamos su valor. En este caso concreto nos encontramos con resistencias de alrededor de 400k Ω antes de llegar al 1% de distorsión.

4.2 Nuevo método de implementación de resistencias programables lineales y no lineales.

En este estudio se presenta la posibilidad de combinar resistencias programables tanto lineales como no lineales, que pueden ser muy útiles en bloques de circuitos de modelos eléctricos o sistemas físicos como pueden ser osciladores, amplificadores de ganancia o filtros analógicos.

El diseño se basa en la implementación de un transistor Mosfet con tensiones de fuente y drenador simétricas y con tensiones de puerta y sustrato que pueden variar para conseguir el efecto de la resistencia programable. Hasta aquí tenemos el mismo procedimiento que usábamos en las implementaciones anteriores, la novedad es la forma de usar las curvas características I-V del Mosfet. La clave está en obtener el punto deseado dentro de las curvas I-V para diferentes valores de la tensión de puerta del Mosfet, y así formar una recta de pendiente constante (en el caso de resistencias lineales) con las diferentes curvas. Gráficamente lo que obtendremos quedará reflejado en la figura 4.7.

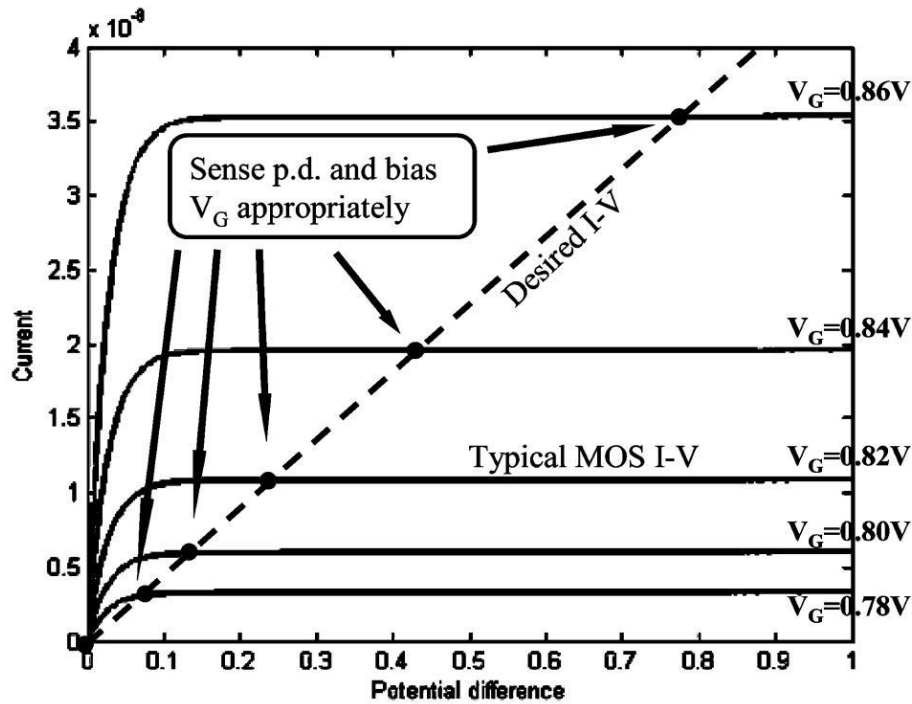


Figura 4.7: Curva característica del Mosfet combinada con la recta deseada.

El problema que presenta esta implementación es que necesitaremos una función matemática capaz de expresar el comportamiento del transistor Mosfet en todas sus zonas de funcionamiento, desde la región de inversión débil, pasando por la inversión moderada, hasta la inversión fuerte.

Hasta ahora en ningún momento habíamos hablado del Mosfet trabajando en inversión débil. La zona de inversión débil se encuentra para la corriente del drenador, por encima del nivel de ruido y típicamente por debajo de los 500nA (hasta tres décadas), en transistores de relación de aspecto aproximadamente unitaria. En este intervalo y con tensiones de polarización V_{GS} levemente inferiores a la tensión umbral del mosfet, donde en principio el transistor debería estar cortado, circulando por el mismo una intensidad nula. Sin embargo, se puede comprobar que no es así.

En la región de inversión débil tenemos una relación matemática de la intensidad que atraviesa el Mosfet dada por:

$$I_{DS} = I_0 e^{\frac{k_0(V_G - V_{t0})}{\phi_t}} \left(e^{\frac{V_D}{\phi_t}} - e^{\frac{V_S}{\phi_t}} \right); \quad (4.8)$$

Donde:

I_0 ; es la corriente del transistor cuando $V_G = V_D = V_S = 0$

$\phi_t = \frac{kT}{q}$; es el factor termal de tensión.

k_0 ; es una constante de la evolución exponencial en inversión débil.

El comportamiento del Mosfet trabajando en inversión débil es totalmente diferente al que tenemos en las otras regiones de funcionamiento. Es un comportamiento exponencial que está controlado sobre todo por la tensión de puerta del Mosfet. En este caso y sólo en este caso, el comportamiento del Mosfet es análogo al comportamiento de un transistor bipolar, el cual tiene también una dependencia exponencial de la corriente con la tensión drenador-fuente.

El planteamiento se basa en encontrar una fórmula matemática general para todas las regiones que cumpla que la corriente que atraviesa el Mosfet sea una función del potencial entre el drenador y la fuente de la siguiente forma:

$$I_{DS} = g(V_{DS}); \quad (4.9)$$

La forma de conseguir el punto de operación correcto de la tensión de puerta será utilizar un circuito de realimentación negativa como el presentado en la figura 4.8:

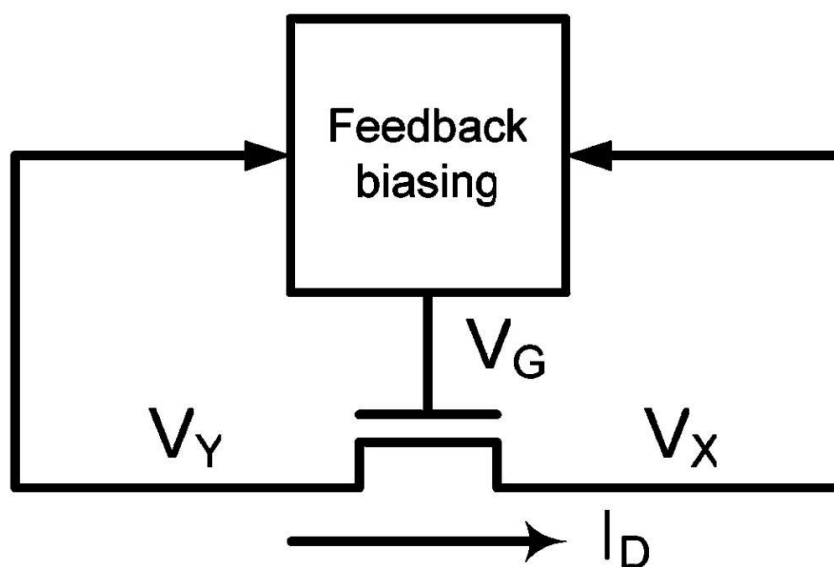


Figura 4.8: Circuito de realimentación para fijar la tensión de puerta.

Sin entrar en demasiado detalle mostraremos el circuito capaz de llevar a cabo dicha función, será el siguiente:

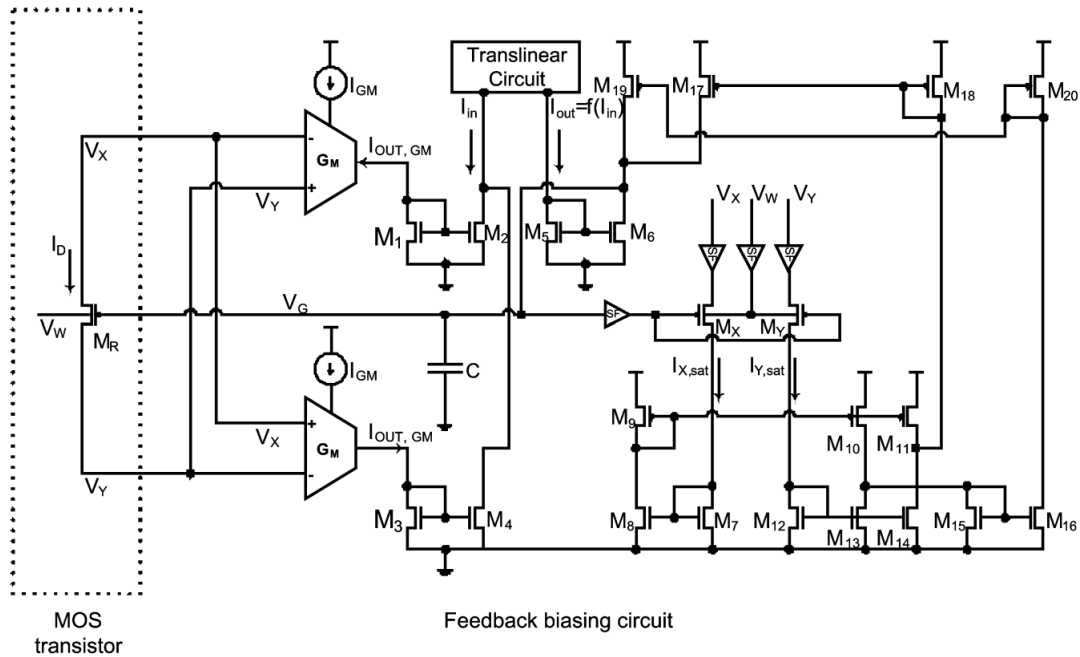


Figura 4.9: Implementación general del circuito Mosfet resistor.

A grandes rasgos, el circuito funciona de la siguiente forma. La diferencia de tensión entre V_X y V_Y es medida y convertida en corrientes de salida por los transconductores OTAS de la figura. La corriente de salida de estos OTAS viene dada por:

$$I_{OUT,GM} = G_M (V_X - V_Y) = G_M V_{XY} \quad (4.10)$$

A su vez también sabemos que la transconductancia de un OTA, en este caso un WLR OTA (wide linear range operational transconductance amplifier) viene dada teóricamente por:

$$G_M = \frac{I_{GM}}{V_L} \quad (4.11)$$

Donde I_{GM} y V_L son la corriente de polarización y el rango de entrada lineal del OTA. Consecuentemente estos parámetros son conocidos y hacen que la

transconductancia del OTA sea electrónicamente programable mediante la corriente de polarización.

Esta corriente es copiada por el espejo de corriente y nos sirve como entrada al circuito translineal, que sacará una corriente de salida en función de la de entrada $I_{OUT} = f(I_{IN})$ y esta función dependerá de la implementación del circuito translineal. Tendremos varias implementaciones posibles que se muestran en la figura 4.10:

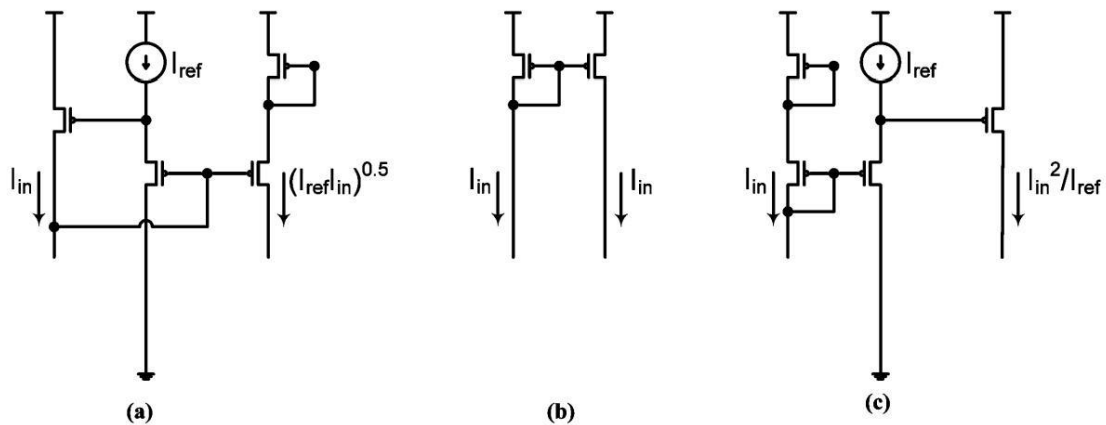


Figura 4.10: Circuito translineal con función (a)compresora (b)lineal (c) cuadrática.

Por último todos los transistores desde el M_7 hasta el M_{20} y los seguidores de tensión, sirven para calcular y comparar todas las tensiones de polarización del transistor mosfet y siguiendo la función del circuito translineal, cargaremos o descargaremos el condensador C , obteniendo el punto de operación correcto de la puerta del transistor.

Esta implementación es realmente complicada y debido a que el programa de simulación que estamos utilizando (Microcap 8.0) no nos permite simular los transistores Mosfet en la región de inversión débil, nos haremos eco de los resultados y simulaciones obtenidas en el artículo [10] de la bibliografía.

La comprobación de que el simulador MICROCAP no es capaz de reconocer la región de inversión débil, se pone de manifiesto en la siguiente figura, en la que

mediante un análisis DC intentamos obtener la curva en teoría exponencial de un Mosfet trabajando en inversión débil.

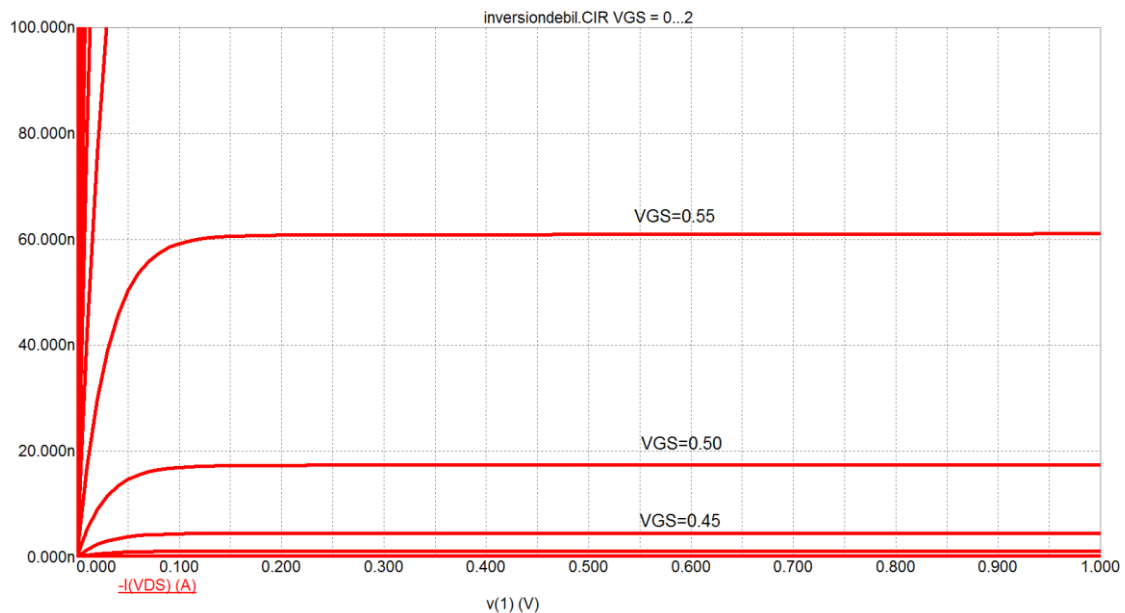


Figura 4.11: Característica I_{DS} - V_{DS} de un Mosfet.

Teóricamente deberíamos tener una curva exponencial ya que nos encontramos en el eje y donde se representa la I_{DS} , por debajo de los 500nA. En este intervalo debería apreciarse la región de inversión débil y lo único que tenemos es que el mosfet tiene las mismas curvas que representan su región de conducción habitual.

Los resultados obtenidos de la caracterización en DC se presentan en la figura 4.12.

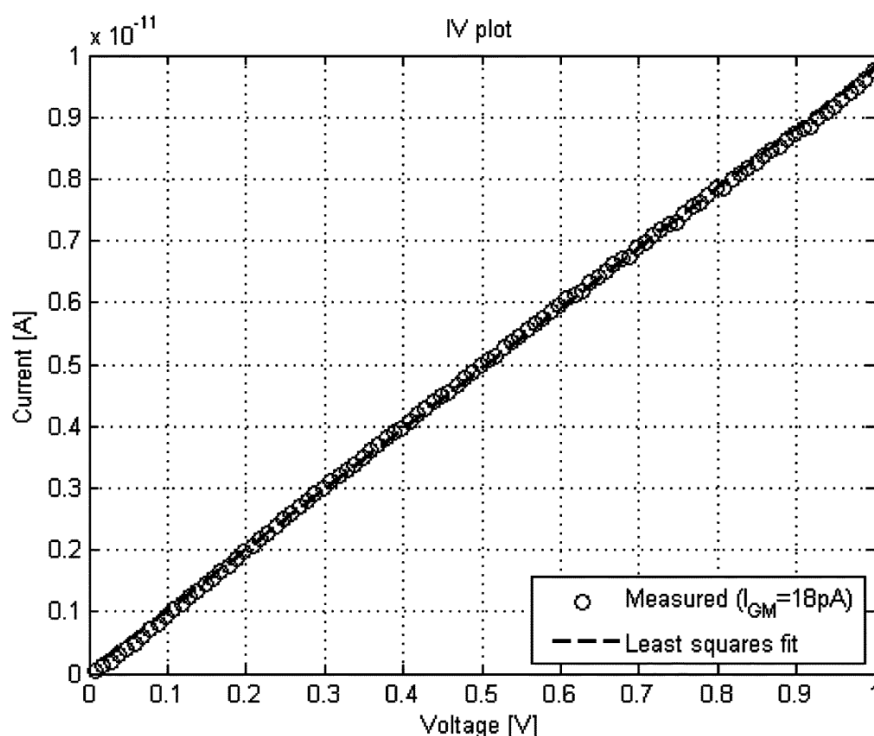


Figura 4.12: Característica I-V de la resistencia programable fijada $I_{GM} = 18pA$.

Las medidas han sido tomadas para una tecnología CMOS de $1.5\mu m$ y una $I_{GM} = 18pA$. Con estas características conseguimos una pendiente de la gráfica I-V que nos va a proporcionar la conductancia del circuito. La inversa de esta conductancia será la resistencia programable que viene a ser de $R=100G\Omega$. Esta resistencia es mucho mayor que la resistencia máxima que podíamos obtener con los métodos tradicionales vistos hasta ahora, lo que supone una clarísima mejora introducida con este diseño.

El diseño de la resistencia es programable, ya que, como hemos comentado anteriormente, ésta depende de dos parámetros. El primero de ellos V_L o rango lineal de entrada, es un parámetro fijo que en los WLR OTAS suele valer entorno a $V_L = 1.7V$. El segundo de ellos I_{GM} o corriente de polarización del OTA, es el que usaremos para programar la resistencia. Los resultados obtenidos al variar dicho parámetro se muestran en la siguiente gráfica.

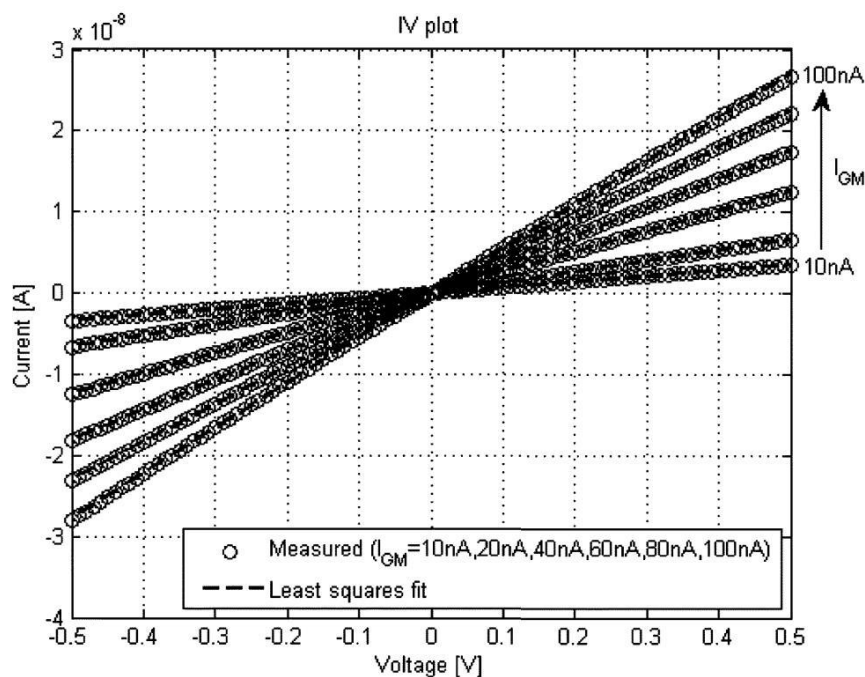


Figura 4.13: Característica I-V de la resistencia programable variando I_{GM} .

En la gráfica se puede observar cómo con pequeños cambios de la corriente de polarización $I_{GM} = [10\text{n}, 100\text{n}]\text{A}$ podemos obtener resistencias programables en un rango bastante amplio, que van desde $R = [14\text{M}, 19\text{M}]\ \Omega$ aproximadamente.

Por otro lado, es importante comprobar que todas las suposiciones hechas referentes a la posibilidad de que la implementación se comporte como una resistencia programable, en este caso lineal, en todas las regiones de funcionamiento son correctas. La figura 4.14 demuestra la validez de la implementación.

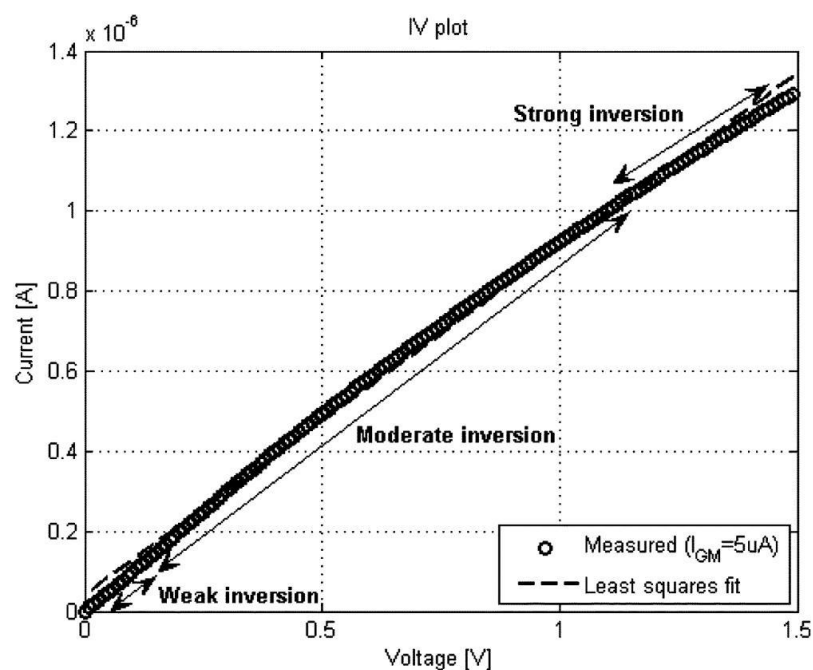


Figura 4.14: Característica I-V de la resistencia programable con $I_{GM} = 5\mu A$ en todas las regiones de operación.

Por ahora, sólo hemos visto que efectivamente la implementación se comporta como una resistencia programable. Lo próximo será ver, atendiendo a los resultados del análisis transitorio del circuito, su comportamiento en distorsión. Estos vendrán dados por la figura 4.15.

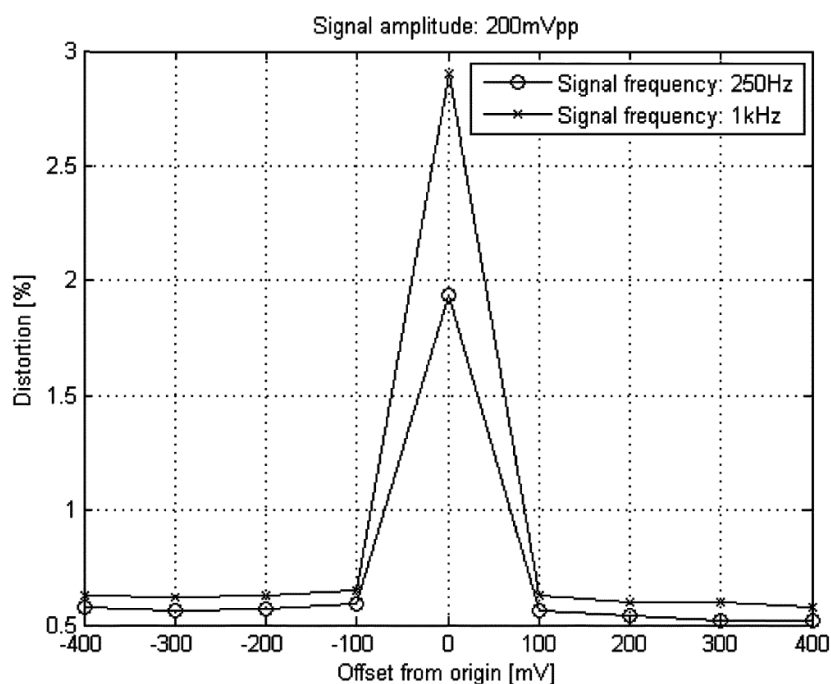


Figura 4.15: Medida de distorsión de la implementación resistiva.

Para la medida de la distorsión del circuito se ha introducido una señal fija con un valor de continua en la fuente y otra, de valor variable con una amplitud de 0.2V en el drenador. Por último se han ido realizado medidas variando el valor de continua de la señal del drenador. En la figura se puede ver que los valores de distorsión son bastante bajos del orden de 0.056% cuando la señal se aleja más de 0.1V. El problema de este circuito va a ser que no va a funcionar correctamente cuando no tengamos offset y se tendrán problemas de linealidad. O dicho de otra forma, el circuito va a tener problemas de linealidad cuando la tensión $V_{DS} \in [0.1, -0.1]$. Además estos problemas de linealidad se agudizan cuando la frecuencia aumenta. Según el autor del artículo estos problemas pueden ser atribuidos al offset residual de los WLR OTA.

Como conclusión final acerca de la linealidad de esta implementación, se ve que para valores de resistencias de hasta 100GΩ (en los que se ha realizado el análisis de distorsión), se cumple con las especificaciones en cuanto al valor máximo de distorsión posible, y que superamos con creces el rango de valores nominales de resistencias implementadas, en contrapartida de la complejidad del circuito y sobre todo del aumento del área ocupado por dicho circuito debido a la cantidad de transistores que utiliza.

Por último vamos a hacernos eco de cómo de bueno es el circuito dependiendo de variaciones con la temperatura. La figura siguiente muestra los efectos perjudiciales que corresponden a incrementos del valor nominal de la resistencia a medida que incrementamos la temperatura ambiente. La figura muestra resultados de tres casos distintos con $I_{GM} = 4\mu A$, $I_{GM} = 6\mu A$, $I_{GM} = 10\mu A$.

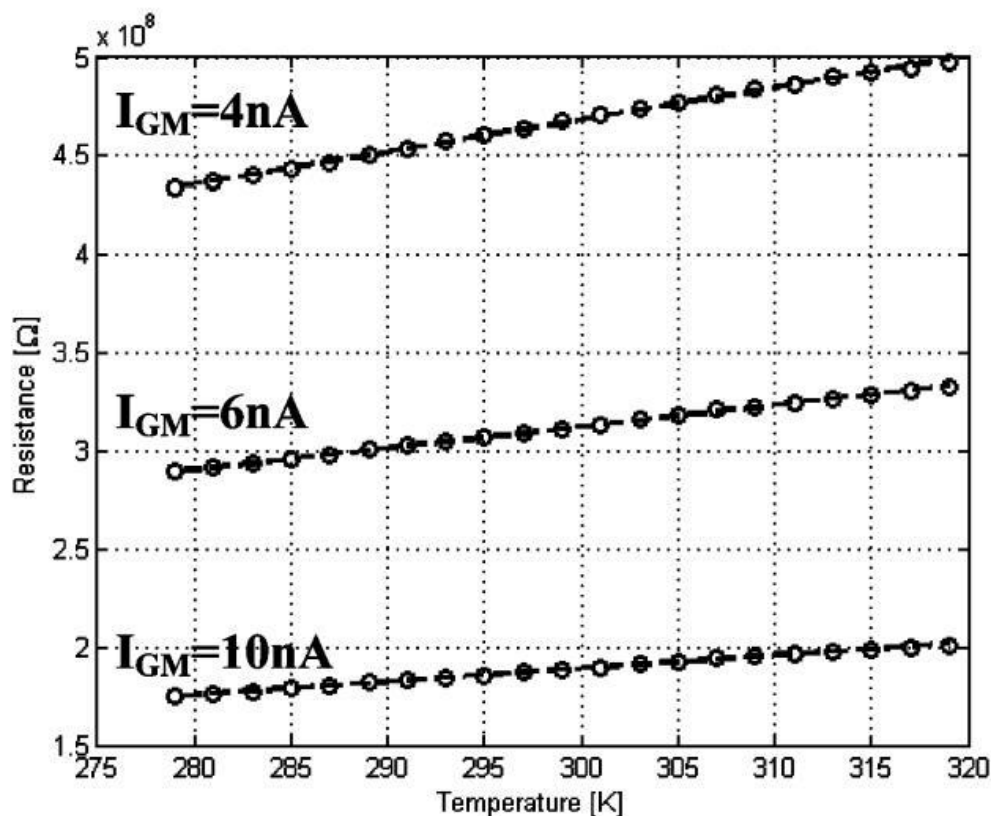


Figura 4.16: Medida de las variaciones de la resistencia programable con la temperatura.

Como conclusión, podemos decir que el circuito presentado, salva las limitaciones en cuanto a máximos de resistencias que teníamos en las implementaciones de resistencias programables trabajando en zona lineal y en saturación. En lo referente a la temperatura, extrayendo resultados de la Figura 4.16 tenemos que para $\Delta T = 1^\circ\text{C} \rightarrow \Delta R = 0.88\%$, son prácticamente desviaciones del 1% del valor nominal de la resistencia, por cada grado que nos alejemos del valor de referencia de temperatura. Son desviaciones importantes, a tener en cuenta y que seguramente serán debidos a la complejidad y al gran número de transistores del circuito.

Capítulo 5: Conclusiones y trabajo futuro

Para finalizar y cerrar el documento, se tratará de extraer conclusiones acerca de los resultados obtenidos. El desarrollo del documento ha llevado consigo una investigación tediosa y exhaustiva de procedimientos de implementaciones de resistencias programables existentes en la literatura. Estas implementaciones nos llevan desde la invención del transistor Mosfet hasta las últimas y más recientes técnicas para el diseño y construcción de las mismas. Se puede apreciar cómo a lo largo del documento, las resistencias han ido mejorando en cuanto a prestaciones, sobre todo las más importantes, relacionadas con el tamaño de las mismas, traducido en costes y relacionadas con el aumento del valor resistivo.

El documento como proyecto fin de carrera finaliza aquí, pero no el trabajo futuro que se puede realizar a partir de este proyecto. A medida que aparecen nuevas tecnologías y se siguen desarrollando, las posibilidades de encontrar una nueva resistencia con mejor linealidad, mayor inmunidad frente a la temperatura, mejores características en AC y sobre todo una menor complejidad y un menor tamaño, van en aumento.

Además de la posibilidad de encontrar, estudiar y analizar nuevas implementaciones de resistencias programables, las limitaciones impuestas por el simulador Microcap, usado para probar las características de las resistencias, han hecho que algunos circuitos no hayan podido ser simulados, lo que también podría plantearse como trabajo futuro a desarrollar en la continuación del proyecto.

Por último, es importante destacar que el documento ha sido realizado individualmente con la supervisión de un tutor, y en el que, durante el desarrollo del mismo se han aplicado conocimientos adquiridos durante la carrera para solucionar un trabajo técnico de corte igual o parecido al que nos tendríamos que afrontar en la vida real como ingeniero, objetivo de un proyecto fin de carrera.

Bibliografía

- [1] Yannis P. Tsividis, "Operation and modeling of the MOS transistor", McGraw-Hill International, 1999.
- [2] Jacob Millman and Christos C. Halkias, "Electrónica integrada", Editorial Hispano Europea.
- [3] Paul R. Gray and Robert G. Meyer, "Analysis and design of analog integrated circuits", John Wiley and Sons, 2000.
- [4] Scott T. Dupuie, Steven Bibyk and Mohammed Ismail, "A novel all-mos high-speed continuous-time filter", Solid State Microelectronics Lab, Department of Electrical Engineering.
- [5] Francois Krummenacher and Norbert Joehl, "A 4-Mhz CMOS continuous-Time Filter with On-CHIP Automatic Tuning", IEEE journal of solid circuits, vol23, Nº3, June 1988.
- [6] D.Wake, E.G. Scott and I. D. Henning, " MOS tunable transconductor", Electronics letters, Vol 22, Nº13, June 1986.
- [7] R. Y. Yu, M.Case and M. Kamegawa, "MOSFET transresistor with extremely low distortion for output reaching supply voltages", Electronics letters, Vol 26, Nº13, June 1990.
- [8] Erhan Ozalevli and Paul E. Hasler, "Tunable highly linear floating-gate CMOS resistor using common-mode linearization technique", IEEE transactions on circuits and systems I, regular paper, Vol. 55, Nº 4, May 2008.
- [9] Topor-Kaminski and P. Holanjin, "Multiple-Input floating-gate MOS transistor in analogue electronic circuit", Bulletin of the polish academy of sciences, technical sciences, Vol 52, Nº3, 2004.

- [10]** Keng Hoong Wee and Rahul Sarpeshkar, "An electronically tunable linear or nonlinear MOS resistor", IEEE transactions on circuits and systems I, regular papers, Vol 55, Nº9, October 2008.
- [11]** Apuntes de la asignatura, "Tecnología y componentes electrónicos y fotónicos", de primero de ingeniería de telecomunicación.
- [12]** Apuntes de la asignatura "Circuitos Integrados", de tercero de ingeniería de telecomunicación.