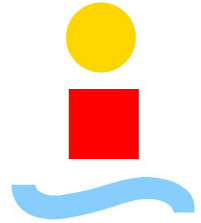




Proyecto Fin de Carrera



**Sistema de Control
Vectorial de Máquinas de
Inducción basado en DSP
TMS320LF2407 de Texas
Instruments.**

**Autor: Luis Terrón Jiménez-Tuset
Tutor: Federico José Barrero García**

A mi familia, que siempre confió en mí, y me apoyó durante todo este ciclo de mi vida. En especial a mis padres y hermanos, ya que ellos son los culpables de cómo soy.

**A Silvia, que me enseñó a amar e inundó para siempre mi corazón.
A todos los compañeros del departamento, en especial a Manolo, Fede,
Juanma, Eduardo, Shanshe, Buge y Antonio.**

**A mis amigos, porque nunca me han defraudado, siempre han estado ahí para todo lo que he necesitado. Y como un buen amigo dijo no hace mucho, ellos saben quienes son.
A todos, Gracias, Muchísimas Gracias.**

La vida se llena de luz y alegría cuando nos paramos a mirar dentro de las personas que nos rodean, cuando buscamos sus maravillas, cuando sonreímos, pero sobre todo cuando nuestro corazón es capaz de amar.

INDICE

MEMORIA JUSTIFICATIVA	1
NECESIDAD Y UTILIDAD DE UN PROYECTO FIN DE CARRERA	2
INTRODUCCIÓN:	3
OBJETIVO:	9
MEMORIA DESCRIPTIVA	10
CARACTERÍSTICAS DEL EQUIPO DE POTENCIA	11
CARACTERÍSTICAS DEL SISTEMA MICROPROCESADOR	12
EZDSP-2407	14
Tarjeta eZdsp LF2407	14
Comunicación puerto paralelo (P9)	17
DSP TMS320LF2407	21
PLACA DE CONTROL PARA EL SISTEMA DSK-2407	24
Descripción externa	24
Descripción interna	34
CARACTERÍSTICAS DEL ALGORITMO DE CONTROL.	45
DESCRIPCIÓN GENERAL DEL CONTROL DEL INVERSOR TRIFÁSICO	45
PI de velocidad	45
Control vectorial	45
Cambio de ejes estáticos a dinámicos de las corrientes del motor.	46
Control PI de corrientes	46
Cambio de ejes dinámicos a estáticos de las tensiones de referencia	47
Space-Vector	47
MEDIDA DE LA VELOCIDAD	49
Descripción de la medida realizada con el DSP LF2407 (QEP).	49
Algoritmo empleado	50
RESULTADOS EXPERIMENTALES	53
INTRODUCCIÓN	54
PRUEBAS EN PERMANENTE.	55
PRUEBAS EN RÉGIMEN TRANSITORIO	57
CAMBIO DE PAR	57
CAMBIO DE REFERENCIA:	60
APÉNDICES	63
APÉNDICE I: FUENTES Y PROGRAMA DE CONTROL	64
VISIÓN GENERAL DEL PROGRAMA	64
ARCHIVOS FUENTES Y ARCHIVO DE COMPILACIÓN	65
Archivo “Ntrol2.h”	65
Archivo “LF240X.h”	67
Archivo “Serie.h”	70
Archivo “flash.cmd”	71
PROGRAMA PRINCIPAL → ARCHIVO “NEFLA2.C”	72
Función “Inicialización”:	72
Función “Algoritmo”:	81
Funcion “Fallo”	100
Función “Serie”:	102
APÉNDICE II: PARÁMETROS DEL SISTEMA	118

APÉNDICE III: PLANOS	121
APÉNDICE IV: DATASHEETS	132
LISTA DE COMPONENTES	132



Memoria Justificativa



Necesidad y utilidad de un Proyecto Fin de Carrera

Tras años de arduo y duro trabajo para finalizar la carrera de Ingeniería Industrial es necesario concluir mi formación académica con la puesta en práctica de algunos conocimientos adquiridos durante la misma y plasmarlos en este Proyecto Fin de Carrera. Con ello alcanzaría el objetivo que me había marcado desde el primer día que llegué a la Escuela Superior de Ingenieros de Sevilla: obtener la titulación de Ingeniero Industrial, para así comenzar a enfrentarme a problemas reales del mercado y poder darles una solución.

Los motivos por los que me decidí por este Proyecto, y no otro, fueron:

- La posibilidad de aprender y estudiar técnicas de control de motores,
- Aplicación de diferentes controles de corriente y técnicas de modulación.
- La programación de un DSP que implemente dicho control.
- Aplicación real.

Además, todo se vio potenciado, porque era una parte de un proyecto industrial de mayor envergadura.



Introducción:

Este proyecto se basa en la necesidad de controlar motores eléctricos, de los cuales se contemplarán los motores de corriente continua y los motores de inducción.

Los motores de continua se han empleado mucho en la industria por su facilidad de control, por su elevada precisión en la regulación de velocidad y por su elevado par de arranque. Sin embargo, estos motores presentan varios inconvenientes que se deben tener en cuenta:

- Son caros de mantener puesto que se desgastan mucho con el uso, sobre todo la zona de contacto de las escobillas con el colector, debido al chisporroteo existente entre ambas superficies.
- El rozamiento entre escobillas y colector limita la velocidad de giro.
- Dan una potencia inferior a los motores de inducción para igual intensidad por fase.
- Son muy voluminosos y, como consecuencia, pesados.

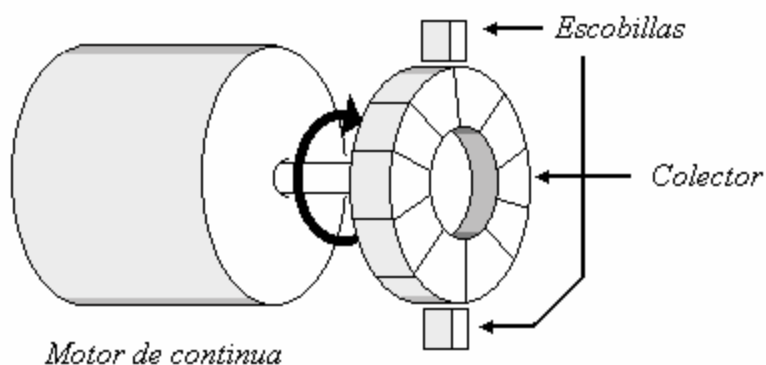


Figura 1. Esquema de un motor de continua.

En la actualidad las máquinas de inducción han sustituido a las de continua en aquellas aplicaciones en las que se requiere un funcionamiento a velocidad variable. Las razones que justifican este cambio son:

- Mayor fiabilidad.
- Sencillez constructiva (mayor robustez, menor mantenimiento y menor coste).
- Alta capacidad de sobrecarga.

Por contra, presenta las siguientes desventajas:

- Mayores pérdidas.
- El flujo y el par están acoplados (dificultad en el control).
- Control sensible a parámetros.
- Mayor rizado de par.
- Electrónica asociada más compleja.



Este hecho ha provocado un desarrollo tecnológico considerable para poder controlar estos motores en velocidad, desarrollo que ha generado la creación de diversas técnicas de variación de la frecuencia.

Se trata pues de aplicar una fuente de tensión de frecuencia variable al motor de inducción para poder controlar su velocidad.

Como la mayor “fuente” que a la que se puede tener acceso es la red eléctrica, es obvio que se tratará de emplearla a la hora de alimentar motores de elevada potencia, pero esto presenta un problema, y es que la frecuencia de la red está fijada a 50Hz, puesto que así está definida.

Este problema se solucionó antiguamente, empleando máquinas de inducción de rotor bobinado, con inserción de resistencias variables para controlar la velocidad. El principal problema que representa este control, además de ser muy lento, es que la energía que se extrae del rotor para frenar al motor se traduce en pérdidas, con lo que el aprovechamiento de la energía a velocidades bajas era muy escaso (ver Figura 2).

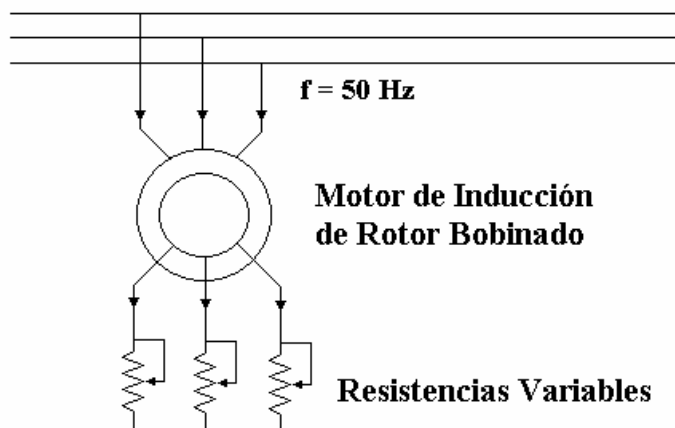


Figura 2. Control de velocidad de un motor de inducción con resistencias variables.

Más tarde, con la aparición de los dispositivos de potencia se pensó en un montaje distinto, absorbiendo energía del rotor a través de un convertidor de potencia con control inversor, llamado comúnmente cascada subsíncrona. Este montaje (ver Figura 3) realiza la misma función de las resistencias en el montaje anterior, es decir, la extracción de energía del rotor, con la diferencia de que la energía extraída podía ser devuelta a la red a través del inversor.

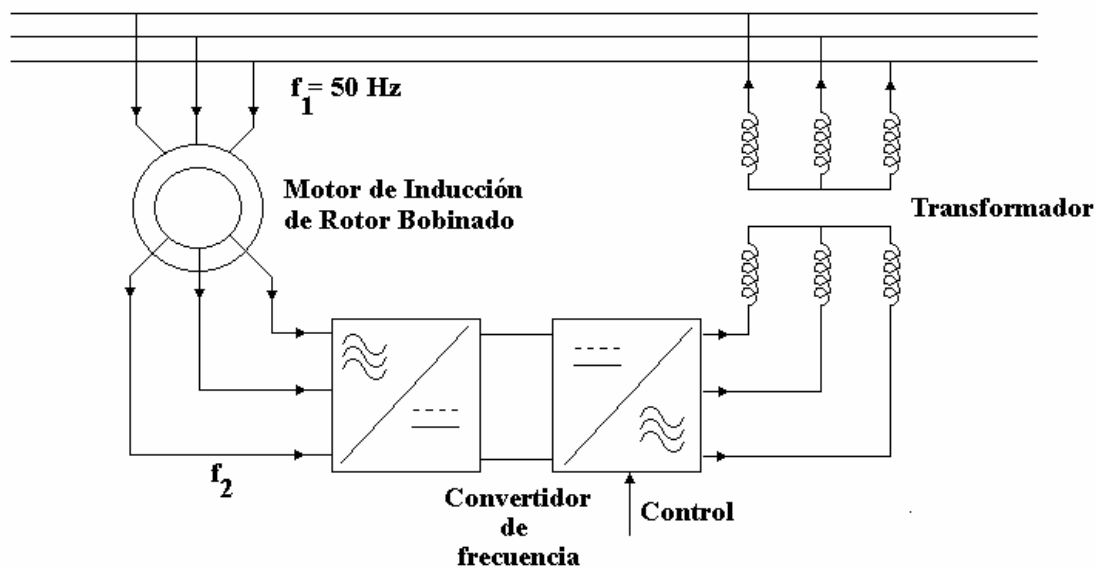


Figura 3. Control de velocidad con devolución de energía a la red.

El principal problema que presentan este y el anterior montaje es la necesidad de que el motor debe tener rotor bobinado para su funcionamiento y este motor de inducción es más caro, pesado y voluminoso que el motor de rotor de jaula de ardilla, que sería el motor más interesante para usar.

Otra cuestión aparte, es la necesidad de un transformador para la devolución de energía a la red, que encarece la instalación.

Para poder controlar el motor de inducción de jaula de ardilla, es necesario suministrar la tensión con una frecuencia variable. Este problema ya está resuelto por la ingeniería electrónica de potencia y se consigue, rectificando la onda de la red para a continuación, volverla a ondular a la frecuencia deseada, como puede observarse en la Figura 4.

Gracias a los actuales dispositivos electrónicos de potencia y a los modernos procesadores, se han ido reduciendo los costes de los equipos lo que ha llevado a que se vaya imponiendo el control de motores de inducción de jaula de ardilla, y al aprovechamiento de las características de estas máquinas.

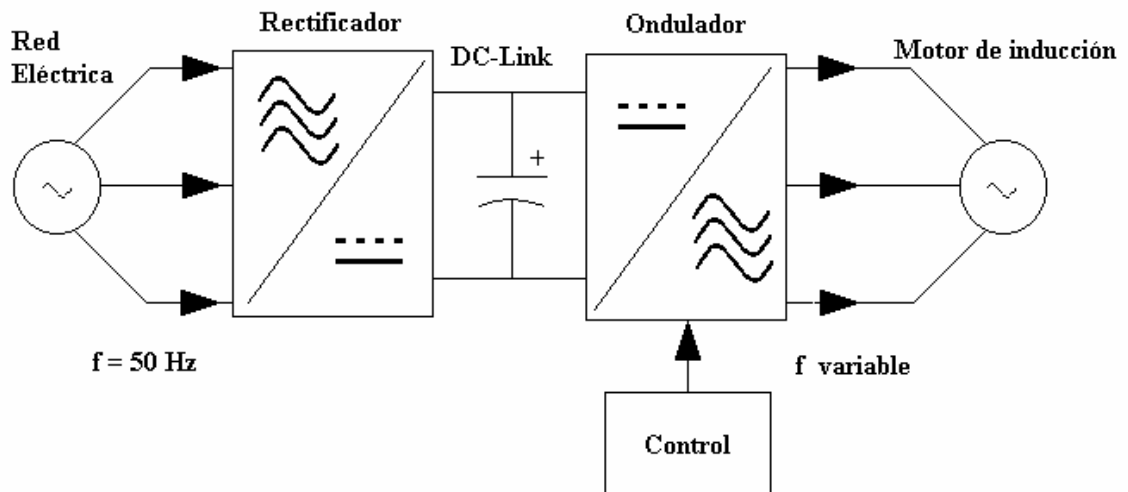


Figura 4. Conversión de frecuencia. Rectificación de la onda trifásica de red y posterior ondulación de la tensión.

Para la rectificación de la tensión se pueden emplear varios montajes de estos dispositivos de potencia. Para la ondulación se emplea el montaje en puente inversor.

El dispositivo de rectificación por excelencia ha sido, desde su creación, el diodo de potencia. Su funcionamiento es muy simple y no precisa control alguno. Estos hechos, junto con su bajo coste, han sido determinantes para su empleo en montajes rectificadores para la conversión de energía alterna a continua en el pasado.

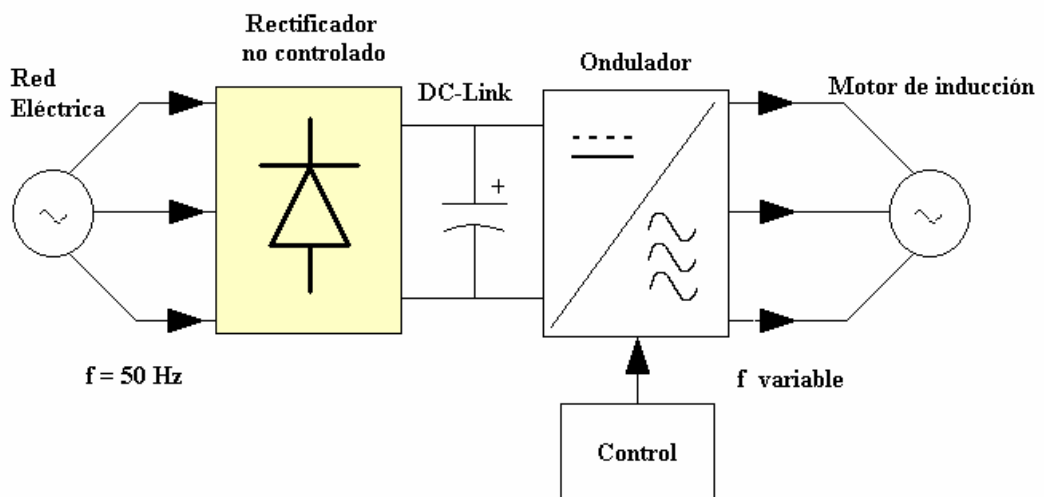


Figura 5. Rectificador no controlado y ondulator.

La investigación sobre los dispositivos de potencia dio como resultado unos dispositivos que daban la posibilidad de controlar el momento en que se iniciaba la conducción de corriente. El primer dispositivo de este tipo fue el SCR (Rectificador Controlado de Silicio), que dio origen a otros muchos dispositivos de potencia controlados.



Antiguamente se realizaba el control empleando montajes analógicos muy complejos que no permitían asegurar el correcto disparo que se estaba imponiendo ni permitía un cambio sencillo de la estrategia impuesta.

Hoy en día se tienen unos dispositivos que permiten un control sobre la corriente muy bueno, además de haberse desarrollado unos sistemas de control microprocesados muy sofisticados que permiten introducir y variar de algoritmo para mejorar la rectificación y la posterior ondulación de la señal.

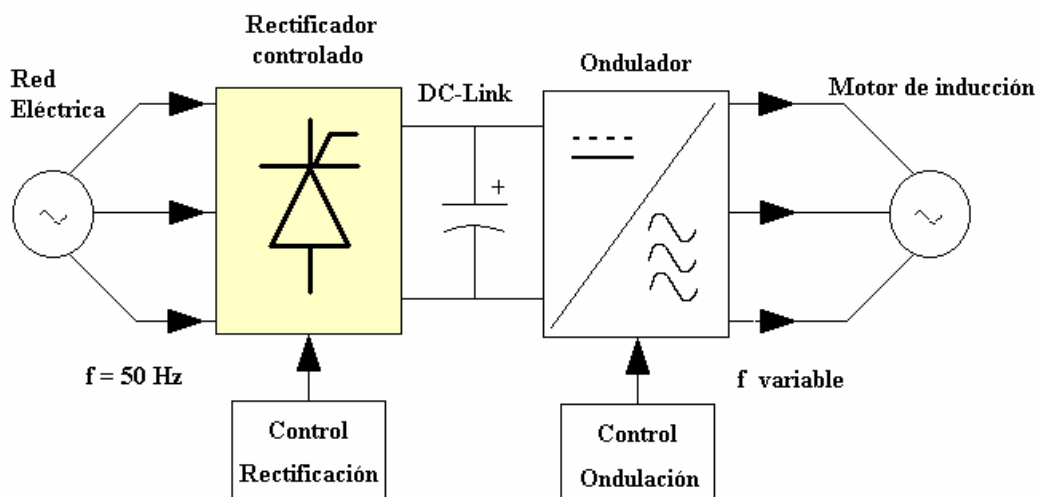


Figura 6. Rectificación controlada mediante SCR.

El montaje de un rectificador no controlado es menos costoso que el del rectificador controlado, puesto que los dispositivos de potencia empleados son más simples (más baratos por tanto) y no requieren de un sistema de control adicional, en cambio el rectificador controlado tiene una serie de ventajas frente al rectificador no controlado que se describen a continuación:

a) Mejor aprovechamiento de la energía:

- Es capaz de devolver energía a la red si la carga lo permite, habrá por tanto un menor consumo de energía.
- Mejora el $\cos \varphi$ desde el punto de vista de la red, por lo que la potencia reactiva circulante por la red será menor, disminuyendo las pérdidas por las líneas.

b) Reducción de ruidos:

- Permite reducir considerablemente la inserción de armónicos en la red, hecho contemplado en la normativa por su efecto perjudicial sobre los equipos. Se disminuye la llamada “contaminación de la red”. Este hecho, junto con la capacidad de devolución de energía a la red son los más determinantes para su uso en la rectificación.
- Al disminuir los armónicos se disminuyen consecuentemente las vibraciones a que están sometidos los equipos y se reduce la contaminación acústica.



Se concluye que, a pesar de la complejidad que introduce el rectificador controlado, se debe emplear este equipo para una adecuada rectificación de la red que permita el mejor aprovechamiento de la energía suministrada cuando sea posible, y que disminuya la inyección de armónicos en la red.

Una vez elegida la rectificación controlada, se ha de escoger un sistema microprocesador capaz de administrar los disparos de los distintos interruptores de potencia de la forma más eficaz posible, para lo que se han de considerar varias estrategias de control. Estas estrategias pueden ser simuladas de forma previa para estudiar aquellas que puedan ser usadas en la rectificación con mejores resultados.

El sistema microprocesador elegido ha de ser capaz de gestionar los disparos según una estrategia de control elegida previamente.

Se elige un microprocesador del tipo DSP (Digital Signal Processor) para el control de los puentes por sus potentes características de cálculo, ya que se desea que el control sea lo más rápido posible para hacer las conmutaciones de los interruptores de dichos puentes lo más rápido que sus características permitan.

Esta velocidad de cálculo se exige porque el microprocesador deberá ejecutar unos algoritmos bastante complejos en un tiempo ínfimo, puesto que la inyección de armónicos a la red depende en gran medida de la frecuencia de conmutación de los dispositivos arriba mencionados.

Los DSP's que se contemplan en el presente proyecto son los de la familia TMS320C2000, concretamente el TMS320F243 y sobretodo el TMS320F2407. Ambos microprocesadores están integrados en sendas tarjetas que facilitan el acceso a señales y la programación; estas tarjetas se denominan respectivamente DSK243 y DSK2407.



Objetivo:

Se ha desarrollado en este proyecto un sistema microprocesador basado en el DSP TMS320F2407 de coma fija de *Texas Instruments* para el control de un sistema rectificador síncrono/máquina eléctrica (síncrona y asíncrona).

Partes de las que contará el proyecto:

1. **Diseño del sistema microprocesador:**

Se empleará el microprocesador DSP TMS320F2407 de coma fija de *Texas Instruments* donde se ha implantado un algoritmo de control de un rectificador síncrono, que no es estudio de nuestro proyecto, y se implementará la estrategia de control vectorial de una máquina eléctrica síncrona y asíncrona.

Se realizarán los diferentes esquemáticos necesarios para adaptar las señales medidas necesarias para el control siguiendo las especificaciones de los sensores de la bancada del GTE. Se realizarán, además, el acondicionamiento eléctrico de las señales de disparo de los interruptores de potencia asociados a la bancada del GTE.

2. **Diseño del algoritmo de control:**

Se han implantado para el control del rectificador síncrono los algoritmos implementados en el proyecto Necotrol. En el caso del control de la máquina eléctrica, se implementará la estrategia de control vectorial similar a la utilizada por el ASIC denominado ASITRON2, realizado en un proyecto conjunto entre el GTE y MACPUARSA.

3. **Fase de pruebas en bancada:**

El sistema de control será probado exhaustivamente en la bancada de ensayos de máquinas eléctricas perteneciente al GTE controlando la absorción y cesión a red de 5kW de potencia y la máquina eléctrica asíncrona que se encuentra disponible en la bancada del GTE.



Memoria Descriptiva



Características del Equipo de potencia

El sistema consiste en un rectificador trifásico totalmente controlado basado en un puente de 6 IGBTs con capacidad de funcionamiento en el primer y cuarto cuadrante (consumo o cesión de energía a la red) más un inversor trifásico basado en otro puente, análogo al anterior, de 6 IGBTs.

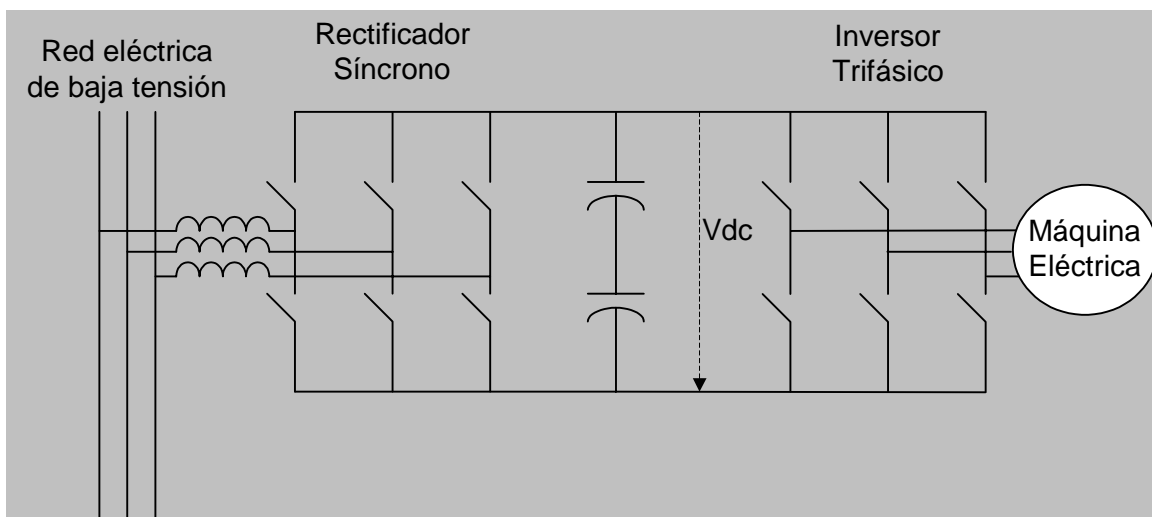


Figura 7. Sistema electrónico a controlar: rectificador síncrono e inversor trifásico.

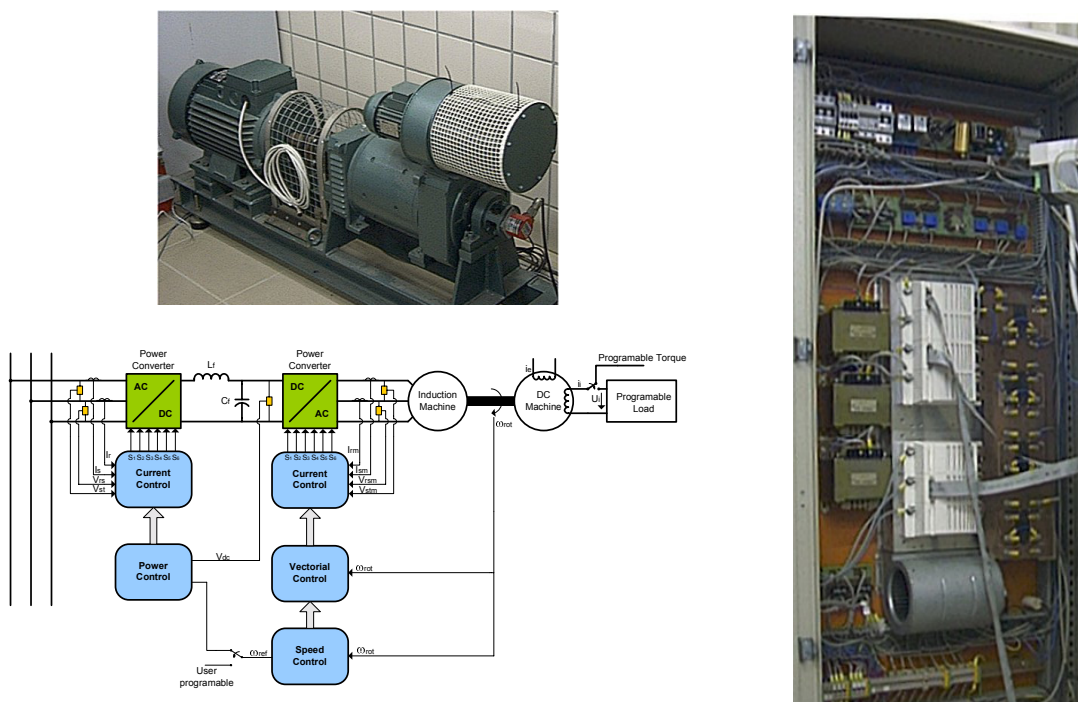


Figura 8. Bancada de ensayo de máquinas eléctricas de 11kW.



El sistema electrónico de potencia consigue mantener la tensión del DC-link, Vdc, en unos valores constantes programables entre 540V y 700V absorbiendo o cediendo potencia a la carga. Permite, además, controlar al accionamiento electromecánico (motor de inducción).

Las características nominales del motor empleado son:

1. Potencia: 11kW.
2. Tensión de entrada: 380V AC trifásica.
3. Corriente de entrada: 7.6A AC trifásica.
4. Tensión de salida: Configurable entre 540 y 580Vdc.

Características del Sistema Microprocesador

El sistema microprocesador está basado en el DSK del TMS320F2407 que fabrica la empresa *Spectrum Digital*. El algoritmo de control del sistema electrónico de potencia (rectificador síncrono y máquina eléctrica) ha sido implantado en este sistema microprocesador.

Las características del sistema microprocesador realizado son:

1. Desarrollo del esquemático del sistema de control, incluyendo la etapa de adaptación de las señales de disparo a los interruptores de potencia de la bancada del GTE.
2. Se ha completado el diseño del esquemático, con el diseño del PCB y la realización de una placa del sistema de control válida para operar con la bancada del GTE. Su realización física de la placa, fue llevada a cabo por personal del GTE.
3. Se ha reducido el uso de periféricos externos al DSP, al tratarse de un criterio fundamental de diseño.
4. Se generan 12 señales digitales correspondientes a los disparos de los interruptores de dos convertidores de potencia de tres ramas funcionando como rectificador e inversor controlados. El acondicionamiento de estas señales ha sido realizado para los interruptores de potencia disponibles en la bancada del GTE.
5. Todas las líneas de entrada o salida del DSP están accesibles gracias al sistema de desarrollo DSK 2407.
6. El sistema incluye la adaptación de las señales analógicas que se necesitan en la estrategia de control empleada. La medida de dichas señales se realiza empleando las sondas que se encuentran disponibles en la bancada del GTE, con las siguientes características:
 - Sistema de alimentación: ± 15 , +5, +3.3, -1.6 y GND.



- 2 medidas de tensión correspondientes a las tensiones de red. Se filtran y adaptan para alcanzar el fondo de escala del CAD del DSP (0 a 3.3V) mediante amplificadores operacionales.
 - 4 medidas de corrientes: 2 correspondientes a la máquina de inducción y otras 2 de conexión a red (para el control del rectificador). Se filtran y adaptan para alcanzar el fondo de escala del CAD del DSP (0 a 3.3V) mediante amplificadores operacionales.
 - Medida de tensión del DC-link de forma análoga a la de las tensiones de red. Se filtran y adaptan para alcanzar el fondo de escala del CAD del DSP (0 a 3.3V) mediante amplificadores operacionales.
7. Se emplea la señal de entrada al DSP denominada PDPINT para que ante cualquier error de los drivers tanto del puente rectificador como del inversor, se desconecten vía hardware las señales de disparo para inhibir los disparos al inversor y rectificador trifásicos.

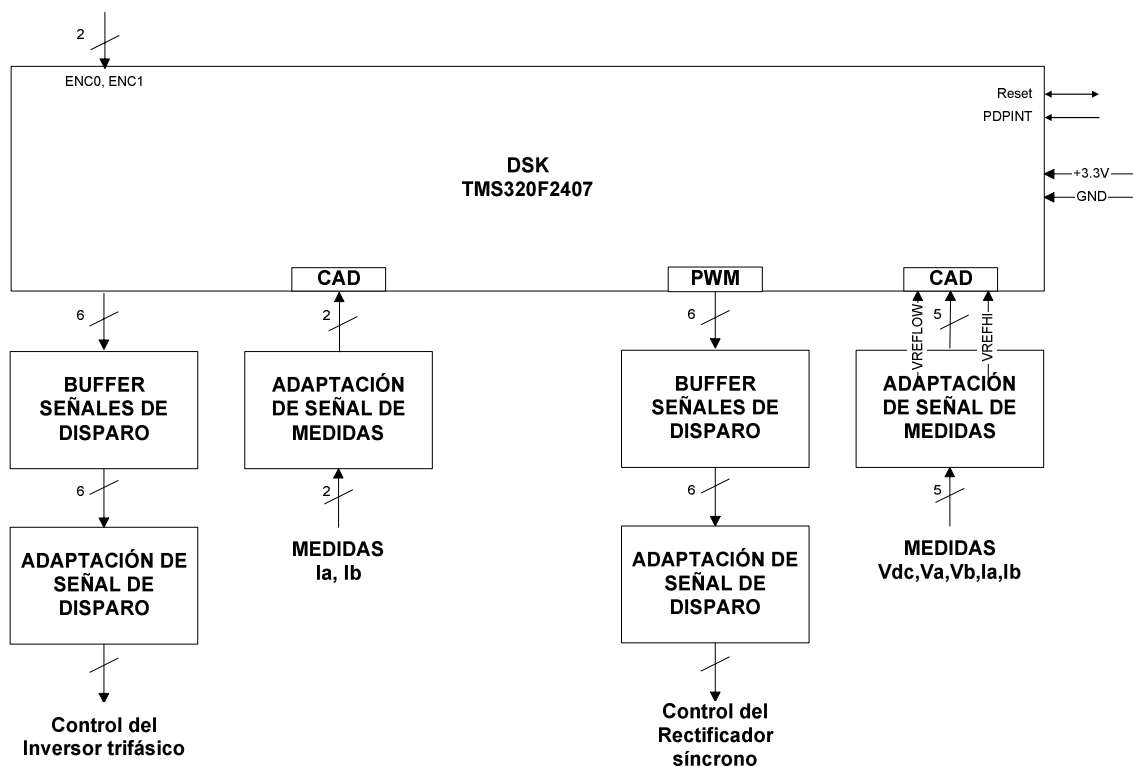


Figura 9. Esquema básico del sistema microprocesador.



eZdsp-2407

Tarjeta eZdsp LF2407

Esta tarjeta eZdsp, es un sistema de desarrollo para el DSP TMS320LF2407 que permite al microprocesador comunicarse con el exterior a través de cuatro conectores de expansión y aumentar su memoria disponible para datos y programas.

La tarjeta puede ser programada a través del puerto paralelo ya que trae integrado la interfaz estándar JTAG o mediante un JTAG externo.

Se suministra con el kit un software de desarrollo y depuración de programas ejecutable desde un PC, permitiendo la programación en lenguaje ensamblador. A diferencia de la placa DSK243 no es necesario un compilador para poder programar en lenguaje C, ya que viene incluido en el paquete.

En la figura 11 se observa un diagrama de bloques simplificado de la tarjeta DSK, donde pueden observarse los distintos conectores de expansión que la tarjeta deja accesible para desarrollos del sistema.

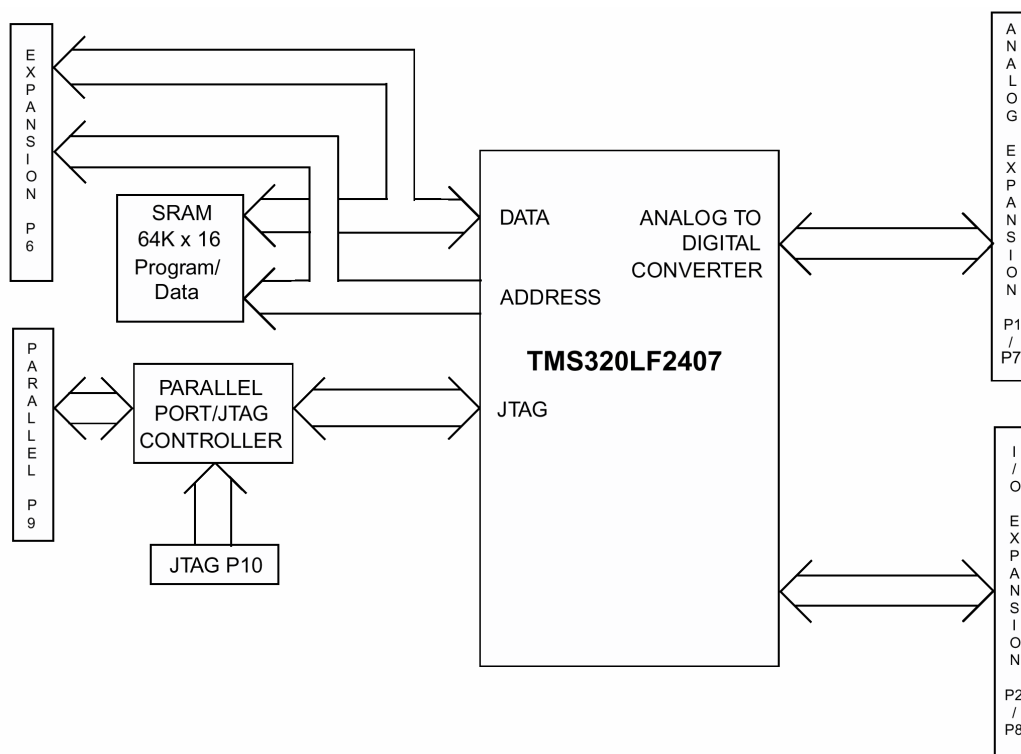


Figura 10. Diagrama de bloques de la tarjeta eZdsp-2407.

Las características de la tarjeta eZdsp-2407 se describen a continuación:

- Microprocesador DSP TMS320LF2407.
- Frecuencia de instrucción 30MHz
- 64k words de memoria RAM en tarjeta para datos (32k) y programas (32k).
- 32k words de memoria flash en el chip DSP.



- Reloj externo de 7.3728MHz.
- Tres conectores de expansión: Analógico, E/S digital, Expansión.
- Controlador JTAG para depuración IEEE 1149.1
- Conector para emulación a través de una Interfaz JTAG para depuración IEEE 1149.1
- Alimentación con adaptador de red a 5V.
- Software: Code Composer.

Memoria de la tarjeta

La tarjeta eZdsp-2407 contiene 32k words de memoria flash incluida en el chip y 32k words de memoria RAM en la placa para datos y programas. La tarjeta está diseñada con el fin de cargar programas en memoria RAM para su depuración.

Memoria de programas

Los programas pueden cargarse en dos zonas distintas de memoria: En memoria flash y en memoria RAM. La memoria flash es de 32k words y viene vacía de fábrica. En ella hay que grabar las nuevas direcciones de los vectores de interrupción para el buen funcionamiento del sistema.

La memoria RAM para programas es de 32k words apareciendo sin embargo varias zonas de memoria duplicadas.

La Figura 11 es un esquema del mapa de memoria para programas de la tarjeta eZdsp.

Hex	
0000	Interrupts (On chip Flash)
003F	
0040	On-chip Flash ROM (Flash)
7FFF	(4 Segments)
8000	SARAM (PON = 1)
87FF	External RAM (PON = 0)
8800	External RAM
FDFE	
FE00	On-Chip DARAM Image B0 (CNF = 1)
FEFF	External RAM (CNF = 0)
FF00	On-Chip DARAM B0' (CNF = 1)
FFFF	External (CNF = 0)

Figura 11. Mapa de memoria de programas del DSK243.



Memoria de datos

Esta memoria se sitúa en la RAM y consta de 32k words. En la memoria de datos también se sitúan varios registros correspondientes a periféricos para configuración.

También hay zonas de memoria duplicadas en este mapa de memoria que se muestra a continuación:

Hex	
0000	Memory-Mapped Register and Reserved
005F	
0060	On-Chip DARAM B2
007F	
0080	Reserved
01FF	
0200	On-Chip DARAM B0 (CNF = 0)
02FF	Reserved (CNF = 1)
0300	On-Chip DARAM B1
03FF	
0400	Reserved
07FF	
0800	SARAM (PON = 1)
0FFF	External (PON = 0)
1000	Reserved
6FFF	
7000	Peripheral Memory-Mapped Registers (System, ADS, SCI, SPI, I/O, Interrupts)
73FF	
7400	Peripheral Memory-Mapped Registers (Event Manager A)
743F	
7440	Reserved
74FF	
7500	Peripheral Memory-Mapped Registers (Event Manager B)
753F	
7540	Illegal
7FFF	
8000	External RAM
FFFF	

Figura 12. Mapa de memoria de datos del DSK243.



Mapa de entrada/salida

El eZdsp-2407 permite su completo uso para el desarrollo de sistemas con el DSP, tiene por tanto 64k de memoria accesible, aunque algunas zonas están reservadas por el DSP LF2407.

El mapa de entrada/salida (I/O) no se utiliza para nada en la realización de nuestro proyecto.

La Figura 13 contempla el mapa de memoria de entrada/salida del DSP F243.

HEX	
0000 FEFF	Periférico Externo
FF00 FF0E	Reservado / Ilegal
FF0F	Registro de control de modo de la Flash
FF10 FFFE	Reservado
FFFF	Registro de control del Generador de estados de espera

Figura 13. Mapa de entrada/salida del DSP 243.

Comunicación puerto paralelo (P9)

El eZdsp-2407 contiene en placa un controlador JTAG para la comunicación entre el TMS320LF2407 y el PC

Esta herramienta se emplea para la programación, depuración y emulación de programas. En la Figura 14 se observa un croquis de los componentes de la placa, resaltándose los conectores de interfaz con el exterior.

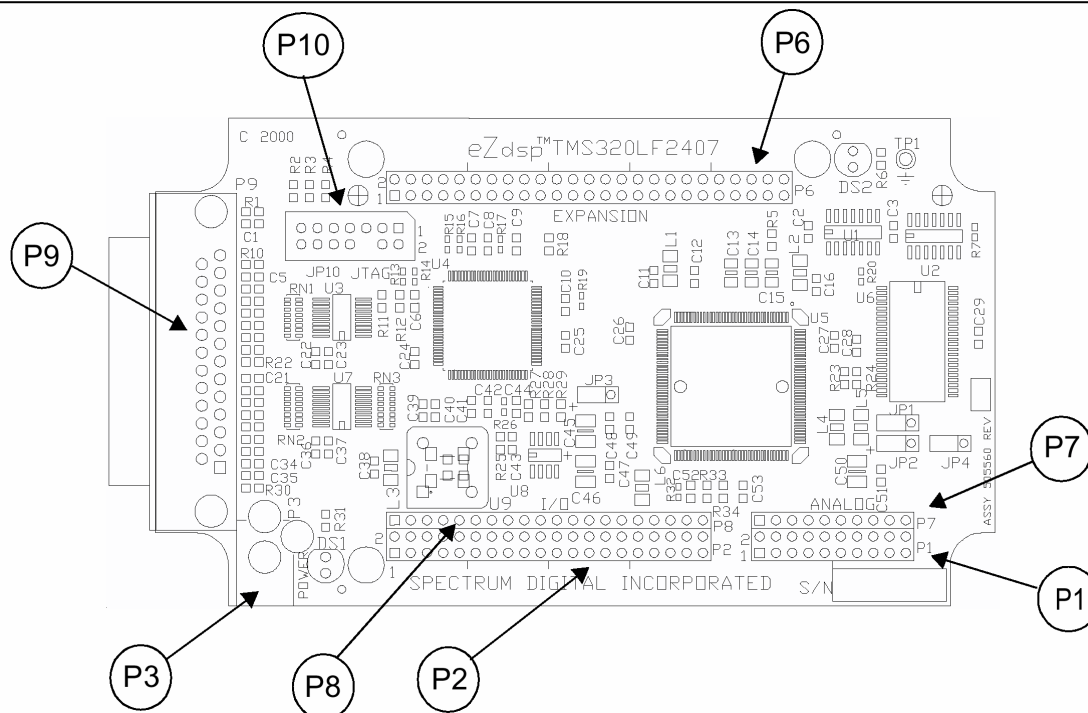


Figura 14. Tarjeta eZdsp- 2407: Conectores de expansión, JTAG y puerto paralelo.

Conectores de expansión

El eZdsp-2407 permite el acceso a través de los conectores de expansión a todas las líneas del TMS320LF2407.

Conector de expansión analógico (P1 y P7)

Este conector sirve para dejar accesibles las entradas para la conversión analógico-digital que contiene el DSP.

En la Figura 14 puede observarse la posición de este conector que tiene 30 pines (20 pines el P1 y 10 el P7) descritos en la siguiente tabla:

Conector P1				Conector P7	
Pin	Señal	Pin	Señal	Pin	Señal
1	GND	2	ADC0	1	ADC8
3	GND	4	ADC1	2	ADC9
5	GND	6	ADC2	3	ADC10
7	GND	8	ADC3	4	ADC11
9	GND	10	ADC4	5	ADC12
11	GND	12	ADC5	6	ADC13
13	GND	14	ADC6	7	ADC14
15	GND	16	ADC7	8	ADC15
17	GND	18	VREFLO	9	RESERVADO
19	GND	20	VREFHI	10	RESERVADO



Conector de expansión de Entrada/Salida (P2 y P8)

Este conector da las señales digitales que genera y recibe el DSP.

Las señales que son accesibles por este conector se describen en la tabla siguiente:

Conector P2				Conector P8	
Pin	Señal	Pin	Señal	Pin	Señal
1	Vcc	2	Vcc	1	Vcc
3	SCITXD/IOPA0	4	SCIRXD/IOPA1	2	$\overline{\text{XINT}}/\text{ADCSOC}/\text{IOPD0}$
5	$\overline{\text{XINT}}/\text{IOPA2}$	6	CAP1/QEP0/IOPA3	3	EMU0/IOPD1
7	CAP2/QEP1/IOPA4	8	CAP3/IOPA5	4	EMU1/IOPD2
9	PWM1/IOPA6	10	PWM2/IOPA7	5	TCK/IPD3
11	PWM3/IOPB0	12	PWM4/IOPB1	6	TDI/IPD4
13	PWM5/IOPB2	14	PWM6/IOPB3	7	TDO/IPD5
15	T1PWM/IOPB4	16	T2PWM/IOPB5	8	TMS/IPD6
17	IDIR/IOPB6	18	TCLKIN/IOPB7	9	TMS2/IPD7
19	GND	20	GND	10	GND
21	WNR/IOPC0	22	$\overline{\text{BIO}}/\text{IOPC1}$	11	CAP5/QEP4/IOPF0
23	SPISIMO/IOPC2	24	SPISOMI/IOPC3	12	CAP6/IOPF1
25	SPICLK/IOPC4	26	SPISTE/IOPC5	13	T3PWM/T3CMP/IOPF2
27	CANTX/IOPC6	28	CANRX/IOPC7	14	T4PWM/T4CMP/IOPF3
29	CLKOUT/IOPE0	30	PWM7/IOPE1	15	TDIRB/IOPF4
31	PWM8/IOPE2	32	PWM9/IOPE3	16	TCLKINB/IOPF5
33	PWM10/IOPE4	34	PWM11/IOPE5	17	IOPF6
35	PWM12/IOPE6	36	PWM13/IOPE7	18	RESERVADO
37	$\overline{\text{PDPINTA}}$	38	$\overline{\text{PDPINTB}}$	19	RESERVADO
39	GND	40	GND	20	GND



Conector de expansión del DSP (P6)

Este conector deja accesible tanto el bus de datos como el de direcciones del DSP junto con las señales de control del mismo.

Pin	Señal	Pin	Señal	Pin	Señal	Pin	Señal
1	Vcc	2	Vcc	27	A8	28	A9
3	D0	4	D1	29	A10	30	A11
5	D2	6	D3	31	A12	32	A13
7	D4	8	D5	33	A14	34	A15
9	D6	10	D7	35	GND	36	GND
11	D8	12	D9	37	\overline{PS}	38	\overline{DS}
13	D10	14	D11	39	READY	40	\overline{IS}
15	D12	16	D13	41	R/ \overline{W}	42	\overline{STRB}
17	D14	18	D15	43	\overline{WE}	44	\overline{RD}
19	A0	20	A1	45	\overline{BR}	46	\overline{NMI}
21	A2	22	A3	47	\overline{RS} ¹	48	Reservado
23	A4	24	A5	49	GND	50	GND
25	A6	26	A7				

Todos estos conectores de expansión tienen su imagen en la placa de control para la comunicación del DSP con el resto del sistema.

¹ La señal es bidireccional. Debe ser atacada a colector abierto



DSP TMS320LF2407

Este DSP (Digital Signal Processor) pertenece a la plataforma de controladores TMS320C2000 que combinan la elevada potencia de cálculo de estos microprocesadores con memoria flash y convertidores A/D muy rápidos, que los hacen ideales para el control en tiempo real.

Este procesador ha sido elegido para implantar diversos algoritmos de cálculo de disparos para un puente rectificador y un puente inversor, en especial el algoritmo *Space Vector* para lo cual ha sido diseñado con 16 canales PWM (Pulse Width Modulation) y dos administradores de eventos específicos

Las características generales más importantes de este DSP se enumeran a continuación:

- 30 MIPS (Millones de instrucciones en punto fijo por segundo).
- 30MHz de frecuencia de reloj interno (generado a partir de un reloj externo de 7.3728MHz).
- 2.5k words de memoria RAM.
- 32k words de memoria flash EEPROM.
- Interfaz de memoria externa de 16bits.
- 16 canales de convertidores A/D de 10 bits.
- 500 ns de tiempo de conversión.
- Módulo CAN (Controller Area Network).
- 4 Timers.
- 2 puertos serie.
- 2 Gestionadores de Eventos optimizado para el control de motores.
- 16 canales PWM.

La estructura interna de este microprocesador es muy compleja, como puede verse en el esquema de la Figura 15, donde se muestra la arquitectura interna en forma de diagrama de bloques de este dispositivo.

El LF2407 pertenece a la familia 24x de controladores en punto fijo. Esta familia está optimizada para aplicaciones de control industrial: Control de motores, conversión de potencia, automatización, etc...

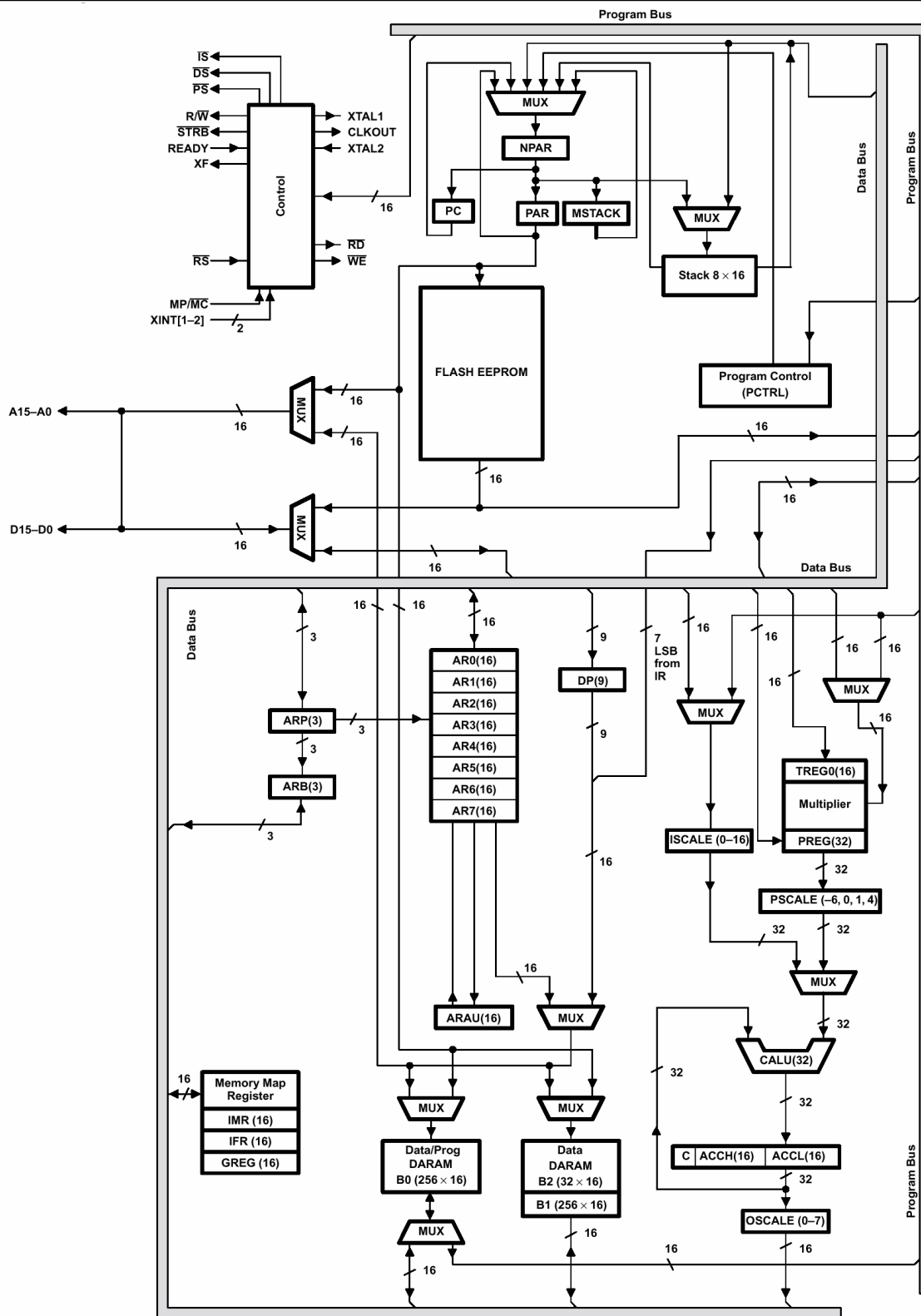


Figura 15. Diagrama de bloques del TMS320LF2407.



Familia de controladores TMS320LF240x de Texas Instruments:

- Hardware de procesamiento:
 - Unidad aritmético-lógica de 32 bits (CALU).
 - Acumulador de 32 bits.
 - Multiplicador paralelo 16x16 bits con capacidad de 32 bits.
 - Tres desplazadores de escala.
 - Ocho registros auxiliares de 16 bits con una unidad aritmética dedicada al direccionamiento indirecto de memoria.

- Memoria:
 - Máxima memoria direccionable: 192k words x 16 bits.
 - Memoria de doble acceso en el chip (DARAM).
 - Memoria ROM ó Flash en el chip.
 - Interfaz con memoria externa con software de espera, 16 líneas de datos y 16 de direcciones.
 - Soporta estados de espera hardware.

- Control de Programas:
 - Cuatro niveles de instrucciones (pipeline).
 - Pila hardware de 8 niveles.
 - Interrupciones enmascarables por el usuario.

- Configuración de instrucciones:
 - Repetición de instrucción única (mínimo coste de CPU en bucles).
 - Multiplicación y acumulación de instrucciones en paralelo.
 - Manejo de instrucciones por bloques en transferencias programas/datos.
 - Capacidad de ordenamiento de direcciones de forma relativa.
 - Direccionamiento indirecto para facilitar la implantación de análisis FFT.

- Potencia:
 - Tecnología CMOS estática de bajo consumo.
 - Cuatro modos de bajo consumo.

- Emulación: Interfaz JTAG IEEE 1149.1 para desarrollo de programas.
- Velocidad: 33ns de ciclo máquina de una instrucción, con una mayoría de instrucciones de un solo ciclo de ejecución.
- Compatibilidad de código con los dispositivos de punto fijo TMS 320.
- Periféricos incluidos en el chip.



Placa de Control para el sistema DSK-2407

Descripción externa

Esta placa consiste en un sistema microprocesador basado en el kit de desarrollo DSK2407 de Texas Instruments que adapta las señales analógicas y digitales de entrada y salida de control asociadas a la bancada al DSK.

En esta placa se recoge el disparo de un rectificador controlado de conexión a red, de un inversor para un motor de inducción (ambos programando el sistema de desarrollo DSK2407) y de un CHOPPER, junto con la adaptación de señales analógicas de medida, salidas para disparos de relés y la adaptación de pulsos provenientes de un encoder para el sistema DSK.

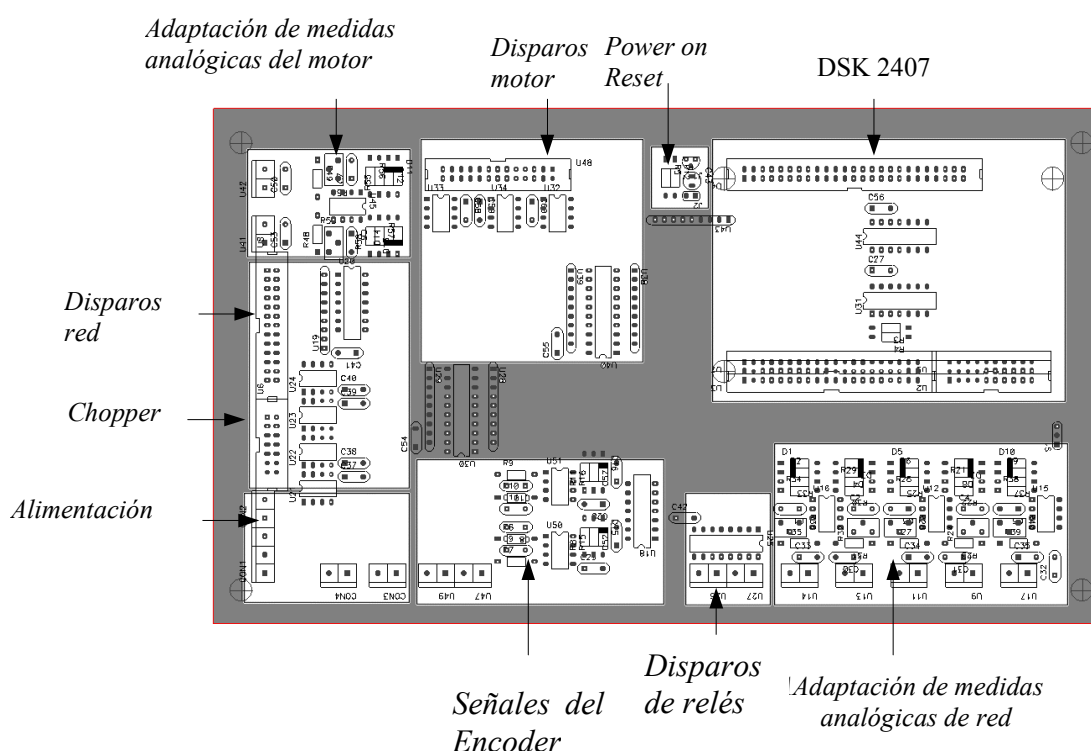


Figura 16. Placa de control. Descripción general.

En esta parte del documento se describirán las funciones asociadas a los conectores de la placa de control así como los pasos necesarios para el ajuste de los potenciómetros de la placa con vista al correcto funcionamiento del conjunto.

Alimentación

Existe un conector de 5 bornas asociado a la alimentación, que se conectará a GND, +3.3V, +15V, GND y -15V, respectivamente (visto de arriba hacia abajo). La placa dispone, además, de un conector de dos bornas que se conecta a una alimentación de +5V. Obsérvese que el propio sistema DSK va alimentado a una tensión de +3.3V, usando lógica de baja tensión CMOS.



La tensión de referencia para la adaptación de las señales analógicas de la red y del motor de entrada al sistema se introducirá en el sistema por otro conector, en el cual se conectara una tensión de $-1.6V$.

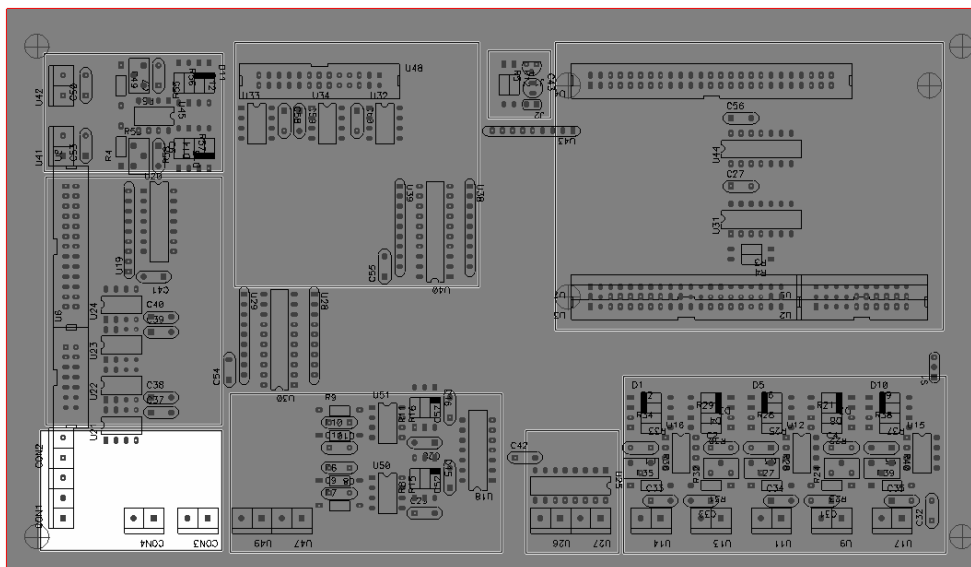


Figura 17. Conectores de alimentación de la placa.

La alimentación del sistema no necesita ningún tipo de ajuste pues proviene de una fuente externa.

Adaptación de señales

La placa esta preparada para recibir señales de sensores de efecto hall cuya salida se genera en intensidad. Estas señales se pasan a tensión en la placa para poder ser leídas por el CAD del DSP-TMS320F2407 para su posterior procesamiento.

Adaptación de las señales medidas de la red

El DSK2407 recibe las señales de medida de tensión e intensidad de la red para el control de un rectificador asíncrono de conexión a red. Las señales recibidas serán en intensidad y deberán tener un rango de $\pm 25mA$. Dichas señales son las tensiones V_a , V_b y V_{dc} , así como las intensidades I_a e I_b .

La tensión V_{dc} (tensión de los condensadores) proviene de un sensor de efecto Hall como una señal de corriente positiva ($0, +25mA$) dado que la tensión de los condensadores electrolíticos será siempre positiva.



En la Figura 18 están descritos los conectores de entrada que aparecen en la placa para los distintos sensores de medida de corriente y tensión de red además del conector de medida de tensión de condensadores del DC-Link.

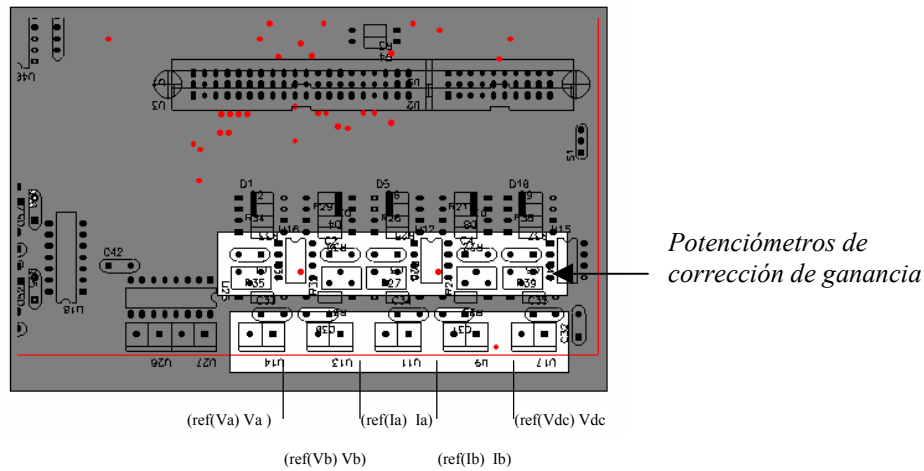


Figura 18. Conectores de medida analógica de red.

Los potenciómetros indicados modifican las ganancias de los amplificadores de los circuitos de adaptación, siendo el conector más cercano al potenciómetro el correspondiente a cada medida. Se deben ajustar siguiendo el procedimiento que se describe a continuación (sólo es descrito el ajuste de uno de ellos debido a que los demás se ajustan de manera similar):

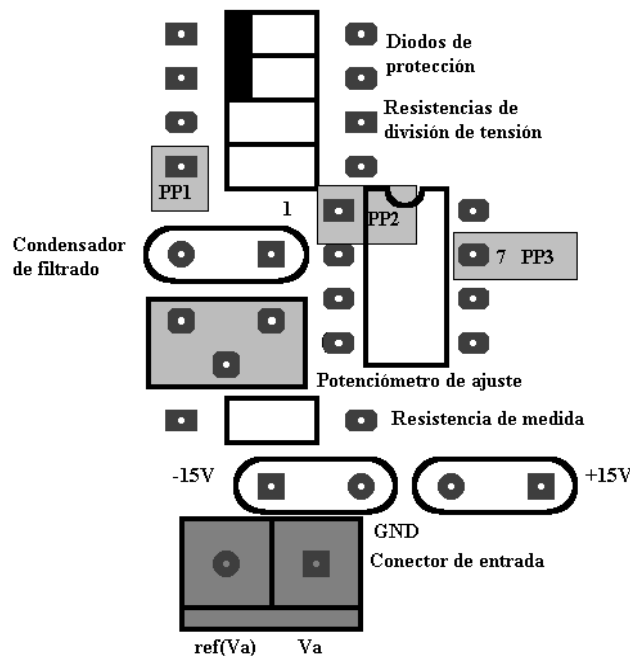


Figura 19. Distribución de los componentes de adaptación de señal en la placa.

- a) Se mide la tensión correspondiente al punto de prueba PP1 indicado en las Figura 18 y Figura 19.



- b) Si la tensión en la resistencia es inferior a $-1.6V$ (p.e. $-1.61V$), se calibrará con intensidad positiva máxima del sensor ($+25mA$). En caso contrario, calibrar con la intensidad negativa máxima.
- c) Introducir en el conector de medida la intensidad máxima que se espera recibir en el sensor ($+25mA$ o $-25mA$, según el apartado b). Esa intensidad se puede generar, introduciendo por el conector correspondiente una fuente de tensión de $5V$, para $+25mA$ y una tensión de $-5V$, para $-25mA$.
- d) Ajustar el potenciómetro correspondiente al conector para que a la salida del operacional U16 (PP2 según la Figura 19) se tenga una tensión de $+5V$ en el caso de intensidad positiva ó $0V$ en el caso de que la intensidad empleada sea negativa.
- e) Se debe comprobar que la medida a la salida del operacional queda entre 0 y $5V$ al introducir diferentes valores de intensidad. (p.e. al introducir $+25mA$ en el conector de V_a , en el punto de prueba 2 (PP2) del operacional cercano debe darse una tensión de $+5V$ y si se introduce $-25mA$ la tensión será de $0V$), Si hacemos lo mismo con el conector de V_b , se obtendrá una señal análoga en el punto de prueba 3 (PP3) del operacional.
- f) Se procederá de la misma manera para ajustar los amplificadores de medidas de V_b , I_a e I_b , la disposición de los elementos es similar al del caso anterior.
- g) Para el amplificador correspondiente a la medida de tensión V_{dc} , tendremos que calibrar con $+25mA$, puesto que la medida siempre será positiva.

Adaptación de señales analógicas del motor

La máquina de inducción estará controlada por el sistema de desarrollo DSK2407. Por tanto, las medidas de intensidad que circulan por dicha máquina así como la medida de velocidad proporcionada por un encoder situado en la máquina, deberán ser adaptadas.

Las medidas de I_{A_MOTOR} e I_{B_MOTOR} serán en intensidad con fondo de escala $\pm 25mA$ siendo I_{C_MOTOR} deducida por software en el sistema de desarrollo DSK2407.

Los conectores de medidas de intensidad están indicados en la Figura 20.



Potenciómetros de ajuste de ganancia

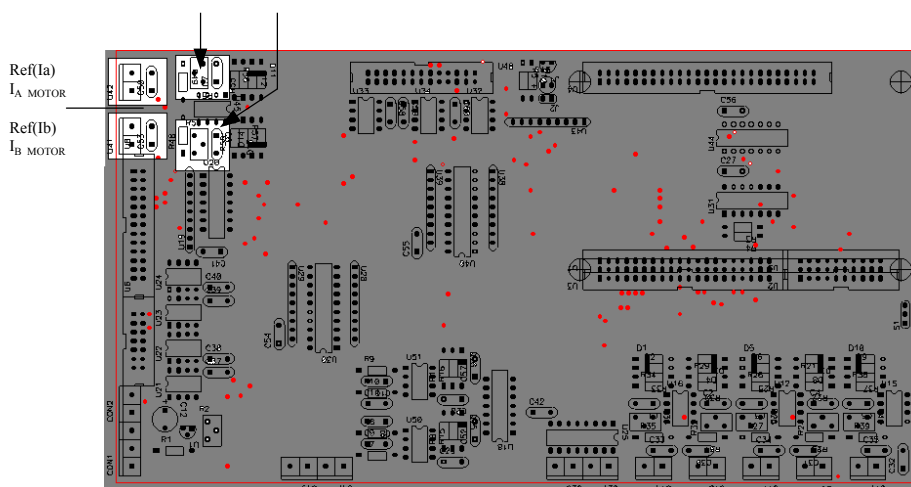


Figura 20. Conectores de medida de intensidad del motor y potenciómetros de ajuste.

El ajuste de los potenciómetros de las medidas analógicas de I_{A_MOTOR} y I_{B_MOTOR} se hace de manera análoga al ajuste de las medidas de la red, siendo los puntos de prueba PP4 y PP5 los correspondientes a la medida A y B, respectivamente.

A continuación se muestra la disposición de los componentes de medida analógica del motor en la placa:

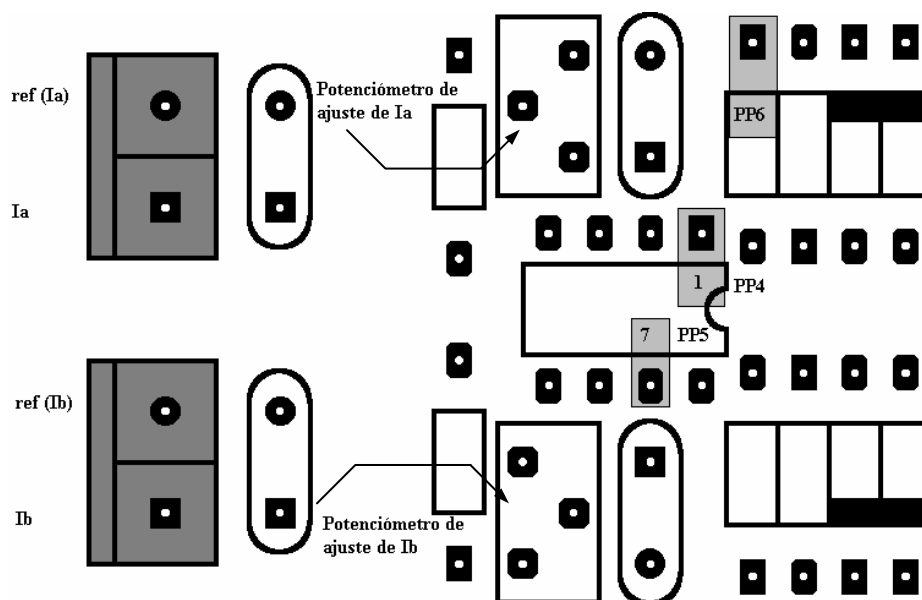


Figura 21. Distribución de componentes de adaptación de señales del motor.



Adaptación de los pulsos del encoder digital

Los pulsos generados por el encoder digital del motor se introducen en la placa para su adaptación y posterior procesamiento por el sistema DSK2407. Estos pulsos son empleados para determinar la velocidad de giro del motor, parámetro necesario para el control del mismo por el sistema.

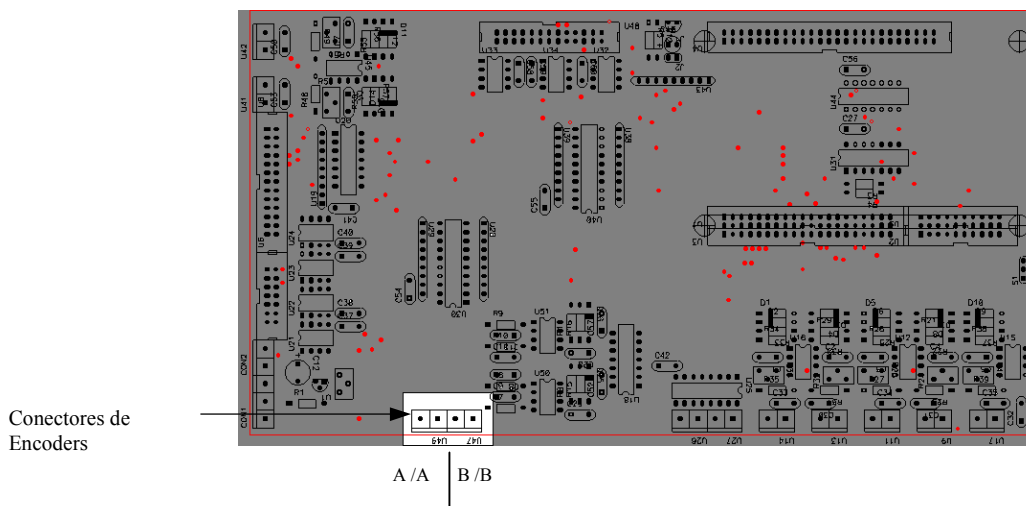


Figura 22. Distribución de componentes de adaptación de señales del motor

Relés de control del sistema de arranque

Para la carga de los condensadores electrolíticos se dispone de una serie de relés que se activarán desde el sistema de control. Esta señal se extrae de la placa a través de un búffer con salida Darlington (para poder disparar los relés), Figura 23.

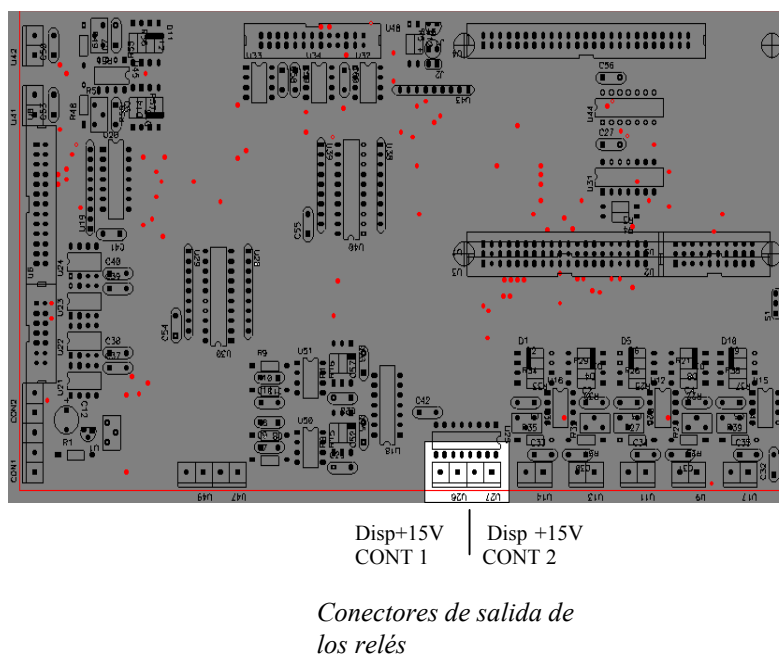


Figura 23. Salida para disparos de relés.



La salida CONT2 ataca al relé de disparo del rectificador monofásico con lo que se permite la carga inicial de los condensadores electrolíticos. Esta señal ha de ser inhabilitada antes de la conexión del relé trifásico.

La salida CONT1 es una señal generada por el DSK2407 que habilita la conexión del relé de inserción del rectificador trifásico; dicho relé debe ser activado desde la bancada permitiendo el funcionamiento normal del sistema.

Interruptor de habilitación de disparos

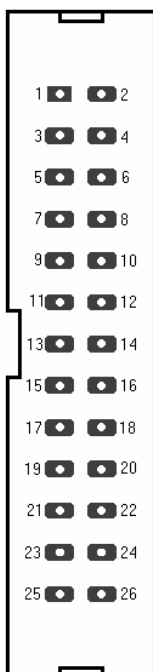
Para habilitar los disparos dados por el DSK2407 al puente rectificador y al inversor trifásico, tras la carga de los condensadores electrolíticos, se dispone de un conector de peine de tres pines que se conecta a un interruptor en la caja del sistema. Dicho interruptor gobierna la habilitación (o no) de los disparos generados por los algoritmos de control.

Generación de la señal de reset

Se dispone, además, de un circuito generador de señal de reset para inicializar el sistema, asociado a un conector de 2 pines en la placa.

Conector de disparo del rectificador de conexión a red

En la Figura 24 se muestra el conector de 2x13 que se ha de conectar a los drivers del rectificador para poder controlar su funcionamiento. Las señales que se dan a la salida del mismo se describen en la siguiente tabla:



PIN	SEÑAL	DESCRIPCIÓN
1	NC	
2	S2	Señal BOTTOM de la rama 1 del puente 1
3	D1	Driver 1: error en la rama 1 (0 = no error) (colector abierto)
4	S1	Señal TOP de la rama 1 del puente 1
5	S4	Señal BOTTOM de la rama 2 del puente 1
6	D2	Driver 1: error en la rama 2 (0 = no error) (colector abierto)
7	S3	Señal TOP de la rama 2 del puente 1
8	S6	Señal BOTTOM de la rama 3 del puente 1
9	D3	Driver 1: error en la rama 3 (0 = no error) (colector abierto)
10	S5	Señal TOP de la rama 3 del puente 1
11	TEMP	Error de temperatura (0 = no error) (colector abierto)
12	NC	
13	NC	
14	NC	
15	NC	
16	VDD	+15 V (Respecto a GNDD)
17	VDD	+15 V (Respecto a GNDD)
18	GNDD	0 V (Origen de tensión de VDD)
19	GNDD	0 V (Origen de tensión de VDD)
20	NC	
21	NC	
22	NC	
23	NC	
24	NC	
25	NC	
26	NC	



NOTA: Las señales de disparo que se dan a los drivers del puente son activas a nivel alto (+15V dispara el interruptor).

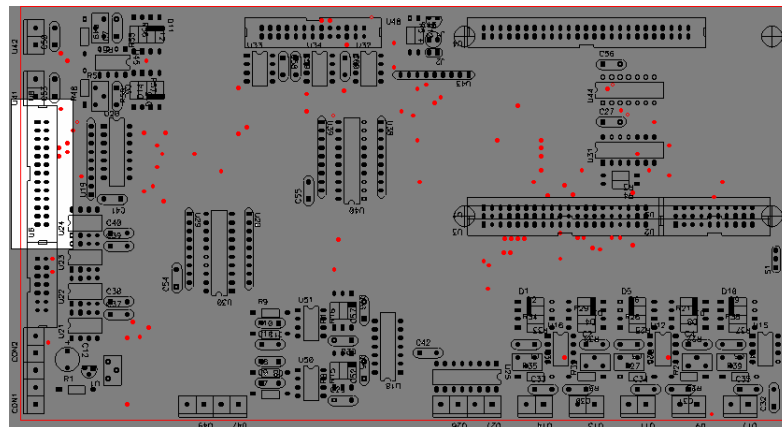
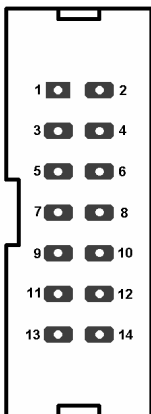


Figura 24. Conector de disparo del puente de IGBT's.

Conector de disparo del Chopper

El Chopper permite controlar la introducción de la resistencia de frenado para la descarga de los condensadores del DC-Link.

La conexión con los drivers del Chopper se realiza a través del conector indicado en la Figura 25, cuyas señales se describen en la siguiente tabla:



PIN	SEÑAL	DESCRIPCIÓN
1	NC	
2	ON_CHOPPER	Activa el Chopper a nivel bajo
3	CHOP_ERR	Error del Chopper que va al DSP (0 = no error) (colector abierto)
4	RES_CHOPPER	Resetea el Chopper a nivel bajo
5	NC	
6	NC	
7	NC	
8	VDD	+15V (Respecto a GNDD)
9	VDD	+15V (Respecto a GNDD)
10	GNDD	0V (Origen de tensión de VDD)
11	GNDD	0V (Origen de tensión de VDD)
12	NC	
13	NC	

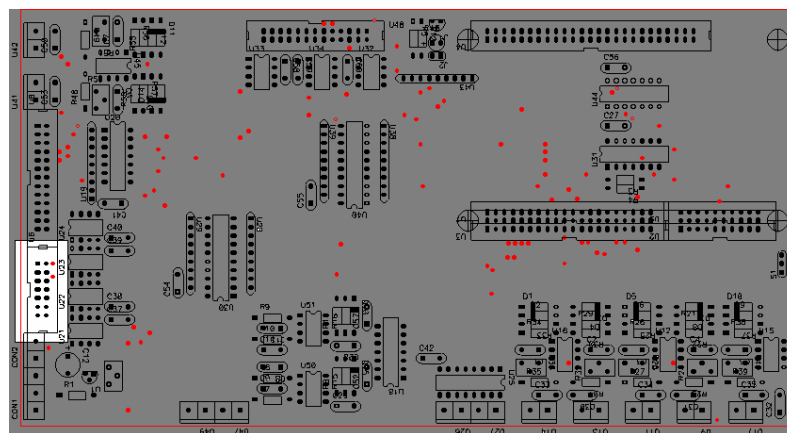
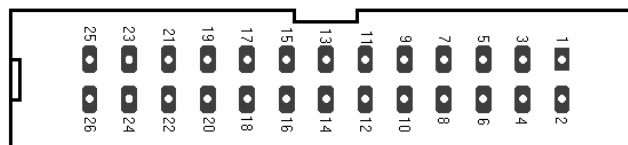


Figura 25. Conector de disparo del Chopper.

Adaptación de los disparos del inversor trifásico del motor

El disparo del inversor trifásico se hace a partir de las señales de control que genera el sistema DSK2407 a través del conector indicado en la Figura 26, que se describe en la tabla siguiente:



PIN	SEÑAL	DESCRIPCIÓN
1	NC	
2	S2	Señal BOTTOM de la rama 1 del puente 1
3	D1	Driver 1: error en la rama 1 (0 = no error) (colector abierto)
4	S1	Señal TOP de la rama 1 del puente 1
5	S4	Señal BOTTOM de la rama 2 del puente 1
6	D2	Driver 1: error en la rama 2 (0 = no error) (colector abierto)
7	S3	Señal TOP de la rama 2 del puente 1
8	S6	Señal BOTTOM de la rama 3 del puente 1
9	D3	Driver 1: error en la rama 3 (0 = no error) (colector abierto)
10	S5	Señal TOP de la rama 3 del puente 1
11	TEMP	Error de temperatura (0 = no error) (colector abierto)
12	NC	
13	NC	
14	NC	
15	NC	
16	VDD	+15 V (Respecto a GNDD)
17	VDD	+15 V (Respecto a GNDD)
18	GNDD	0 V (Origen de tensión de VDD)
19	GNDD	0 V (Origen de tensión de VDD)
20	NC	
21	NC	
22	NC	
23	NC	
24	NC	
25	NC	
26	NC	

NOTA: Las señales de disparo que se dan a los drivers del puente son activas a nivel alto (+15V dispara el interruptor).

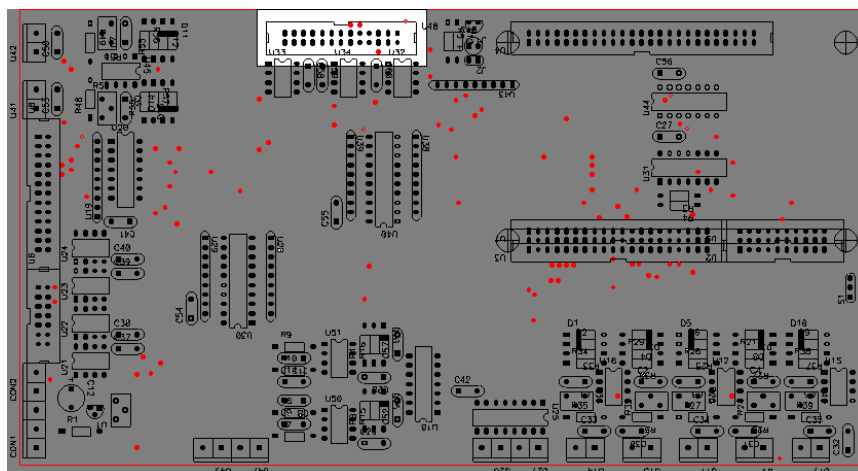


Figura 26. Conector de disparo para el control del motor.



Descripción interna

En esta placa se integra el disparo de un rectificador controlado de conexión a red, de un inversor para un motor de inducción (ambos controlados por el sistema DSK2407) y de un CHOPPER, junto con la adaptación de señales analógicas de medida, salidas para disparos de relés y la adaptación de pulsos provenientes de un encoder para el control por el DSP2407.

Debido a que el sistema DSK2407 funciona en lógica de baja tensión CMOS (LVHC) toda la lógica del sistema se realizara con puertas CMOS de bajo consumo. A continuación se describe el funcionamiento interno de la placa de control y los esquemas eléctricos empleados para que el sistema DSK2407 funcione apropiadamente.

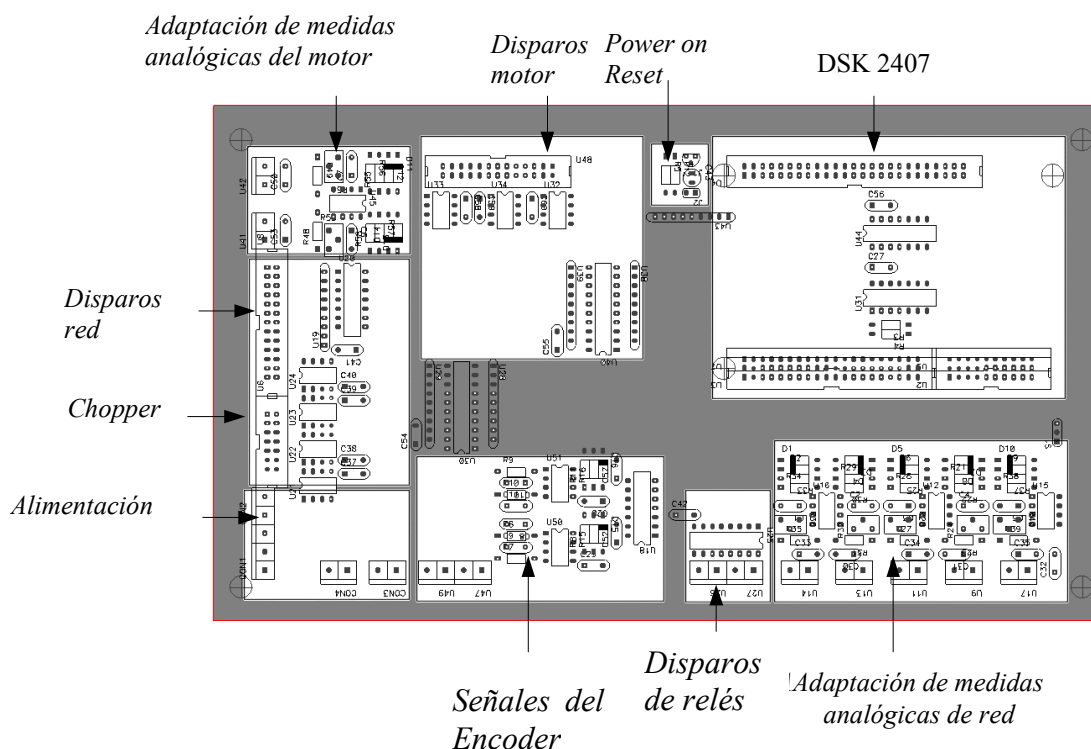


Figura 27. Placa de control. Descripción general.

Alimentación de la placa

La placa debe ser alimentada con unas tensiones de $\pm 15V$ y $+3.3V$ según se ha explicado en la descripción externa. La alimentación $\pm 15V$ se emplea para el funcionamiento de los operacionales de la placa, para suministrar tensión a los drivers de los puentes. De arriba a bajo en el conector de alimentación, las tensiones a aplicar son: GND, $+3.3V$, $+15V$, GND y $-15V$, como se muestra en la Figura 28. La alimentación de $+3.3V$ se usa para alimentar a todos los circuitos lógicos. Además de estos, existen otros dos conectores, uno de $+5V$ para alimentar el DSK y otro de $-1.6V$ para la referencia de tensión en la adaptación analógica.

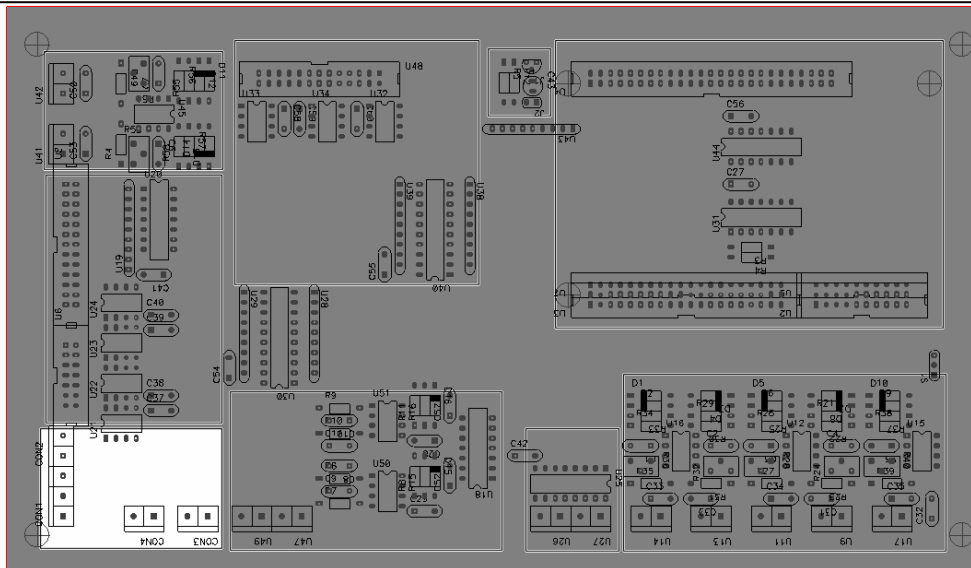


Figura 28. Conectores de alimentación.

Adaptación de señales analógicas

Adaptación de señales para las medidas de red

El DSK2407 dispone de unos convertidores analógico-digitales que deben recibir unas señales a niveles CMOS para lo cual se tiene en la placa de control una etapa de adaptación de señal que modifica la salida de los sensores para adecuarlos al sistema de desarrollo.

La adaptación de las señales que van al DSK2407 se realiza siguiendo el esquema de la figura 18. La señal de entrada es la intensidad que proviene de un sensor de efecto Hall en el rango de $\pm 25\text{mA}$. Esta intensidad se hace caer por una resistencia de 200Ω para dar $\pm 5\text{V}$ en el caso de medida de tensión (en realidad, en la placa se emplea una resistencia de 180Ω por ser el valor normalizado más cercano) y por una resistencia de 100Ω para dar $\pm 2.5\text{V}$ en el caso de medida de corriente. El condensador de 100pF junto con parte de la resistencia del potenciómetro ejerce de filtro para eliminación de ruidos.

Para conseguir un nivel de tensión adecuado se usa el montaje no inversor de la Figura 29, que responde a la ecuación $v_o = v_i \left(1 + \frac{R_1}{R_2} \right) - \frac{R_1}{R_2} v_a$; se tiene por tanto a la salida del operacional una señal entre 0 y 3.3V , apta para atacar a los convertidores analógico-digitales que contiene el DSP243.

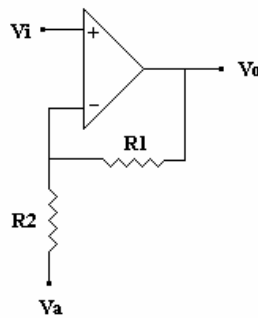


Figura 29. Montaje amplificador restador no inversor.

Para terminar el esquema, se colocan a la salida del operacional dos diodos de protección de tensión para el convertidor: El diodo Zéner 1N746 protege contra una tensión mayor de 3.3V y el diodo 1N4148 protege contra tensiones negativas. La referencia analógica de tensión a los operacionales es de -1.6V.

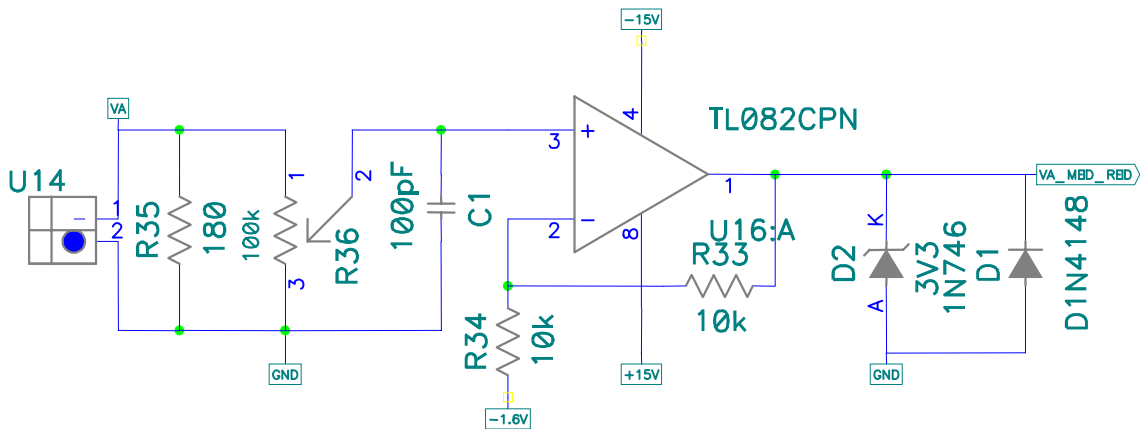


Figura 30. Adaptación de señales analógicas.

Este mismo esquema es el seguido para la adaptación tanto de la medida de Va como de Vb, Ia e Ib.

Para la adaptación de la medida de la tensión de los condensadores se emplea un esquema similar, pero con una ligera modificación puesto que la medida será positiva ya que se emplean condensadores electrolíticos cuya polaridad no puede ser invertida. La modificación consiste en poner 0V en el terminal negativo del operacional, con lo que no se añade ningún offset y sólo se amplifica la tensión de entrada (ver Figura 29).

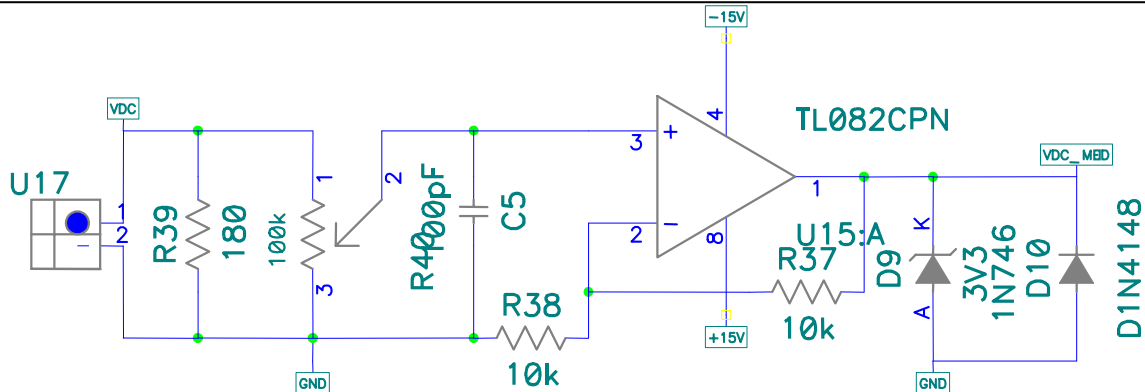


Figura 31. Adaptación de la medida de tensión de los condensadores.

Adaptación de señales para las medidas del motor

Para el control del motor a través del sistema DSK2407, necesitamos de dos medidas de intensidad pertenecientes a dos de las fases del motor de inducción. Estas medidas han de ser pasadas a tensión con niveles lógicos CMOS, al igual que se hizo con las medidas de intensidad de red.

Los sensores son del mismo tipo que en las medidas de red por lo que se usa el mismo esquema para adaptar la medida de I_a e I_b , de las fases del motor. El esquema empleado para la adaptación de las dos medidas se puede observar en la Figura 32.

El cálculo de la tercera medida de intensidad de fase se realiza de manera digital a través del sistema DSK2407.

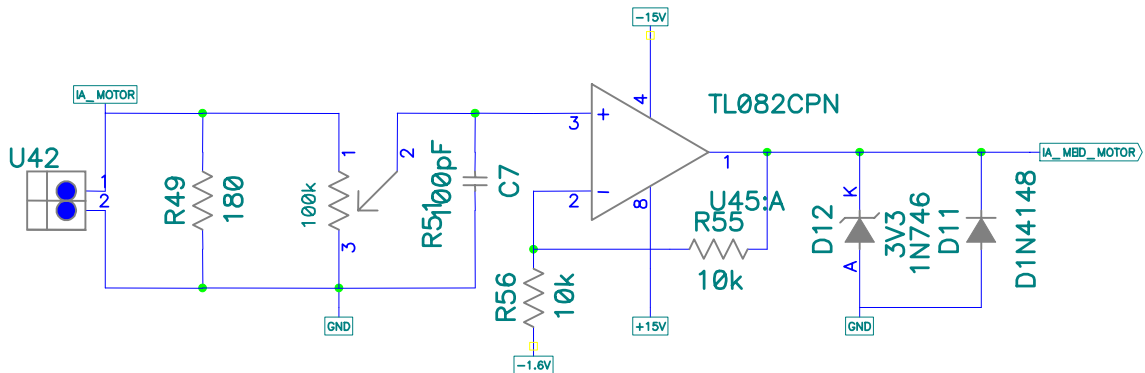


Figura 32. Adaptación de la medida de intensidad del motor.

Adaptación de pulsos de un encoder digital

El sistema DSK2407 necesita conocer la velocidad del motor para realimentar el control de velocidad. Para ello se sirve de los pulsos de un encoder digital que deben ser correctamente suministrados al DSP. En la placa de control se ha incorporado una adaptación de la señal que reduce los picos de tensión de la señal del encoder mediante los dos condensadores primeros y es aislada galvánicamente por un optoacoplador.

El diodo del optoacoplador, junto con el filtro RC a la salida del mismo, elimina el ruido y el rizado que pueda tener la señal de pulsos, para tener a la salida una onda lo más limpia posible. Antes de llegar al sistema DSK, la señal pasa a través de un driver



con generador de histéresis para recuperar la naturaleza cuadrada de la señal de los encoders. El esquema correspondiente a esta adaptación se representa en la Figura 33.

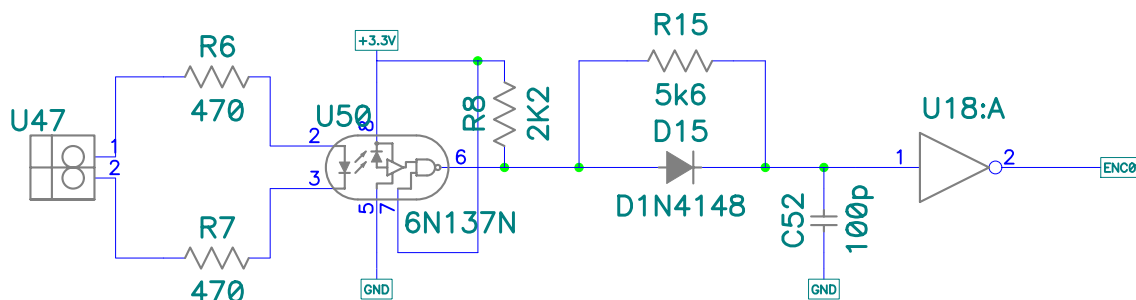


Figura 33. Adaptación de pulsos.

Disparo de relés de arranque

La placa de control dispone de un búffer para el disparo de relés. Al buffer le llegan dos señales desde la placa DSK2407: CONT1 y CONT2.

La señal **CONT1** marca el momento en que el DSP está listo para comenzar el algoritmo de control. Esta señal se introduce en la bancada a través del búffer hacia el relé que habilita la conexión del contactor que inserta el rectificador trifásico. Por su parte, la señal **CONT2** habilita el relé de conexión del rectificador monofásico a través del búffer. Esto permite la carga de los condensadores del DC-LINK hasta unos 400V. Dicha señal será inhabilitada antes de insertar el rectificador trifásico.

El esquema en placa de la salida para los relés se muestra en la Figura 34.

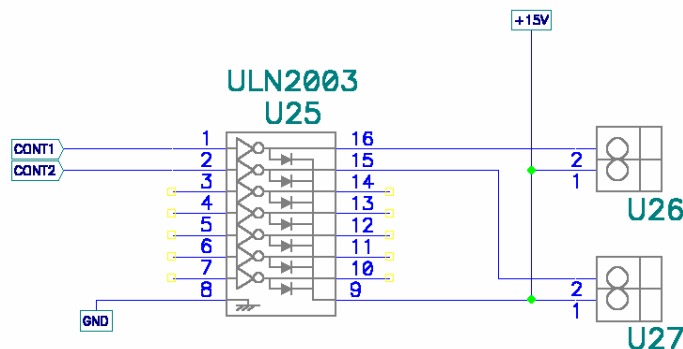


Figura 34. Salidas para disparos de los relés de arranque.

Disparos del rectificador trifásico

El DSP2407 permite la gestión de los disparos de un convertidor trifásico de dos niveles formado por 6 interruptores de potencia. Los disparos generador por el microprocesador son dados en niveles LVCMOS (0V,+3.3V) y deben ser amplificados a 15V para atacar los drivers del puente de IGBT's empleado. Para conseguir estos niveles de tensión se dispone en la placa de unos drivers cumplen dicha misión (ver Figura 35).

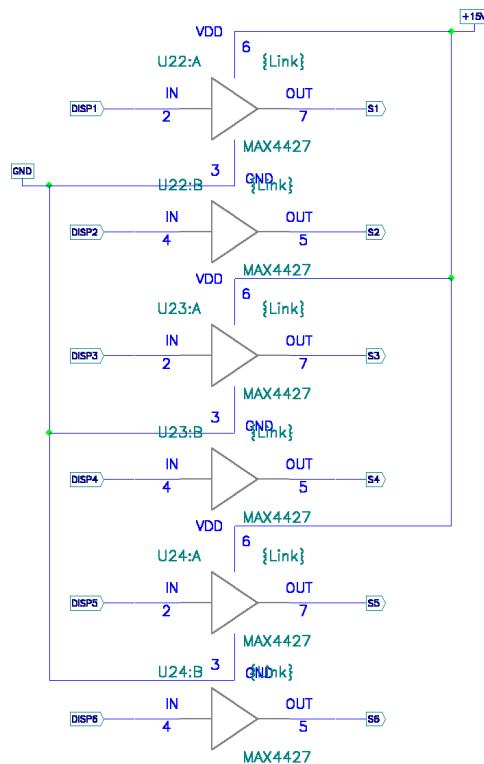


Figura 35. Amplificación de las señales de disparo.

Estos disparos van a un conector cuyo esquema se ve en la Figura 36 y que sigue las instrucciones de catálogo de los drivers del puente de IGBT's.

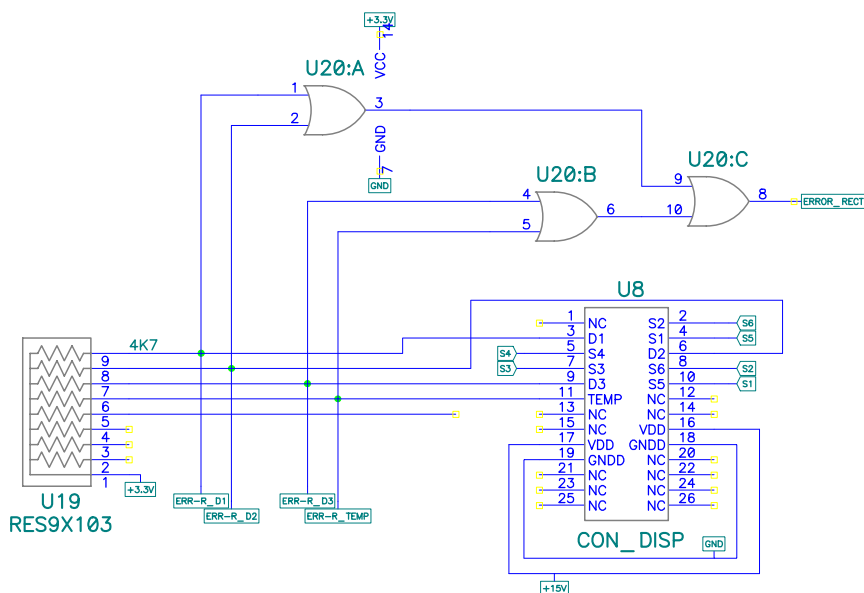


Figura 36. Conexión a los drivers del puente de IGBT's.

Las señales de errores de dichos drivers son a colector abierto y se conectan en placa a +3.3V mediante resistencias de pull-up, como se muestra en el esquema de la figura 25. La señal de error está puesta a cero cuando los drivers no detectan error y pasa a +3.3V cuando los drivers dejan la salida a colector abierto al haber detectado un



error. Estas señales se suman con puertas lógicas y el resultado se lleva al DSP para que administre el error.

Los disparos pueden ser inhabilitados de forma manual desde el exterior mediante un interruptor que habilita las salidas de un transceiver.

El esquema seguido para el control de la habilitación de disparos aparece en la Figura 37.

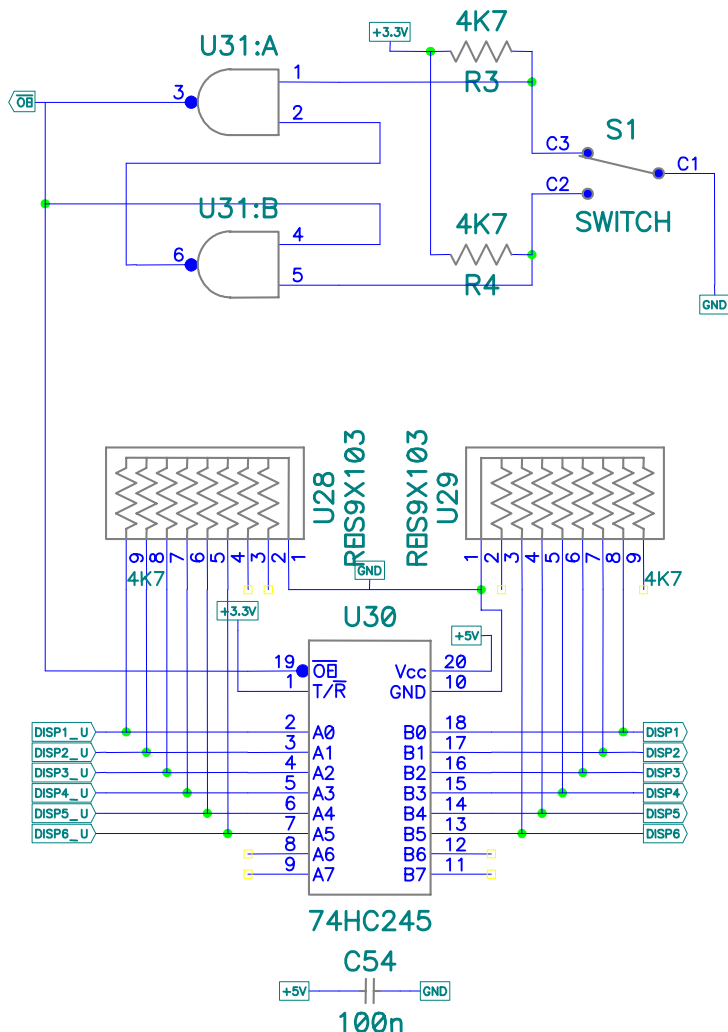


Figura 37. Habilitación de disparos.

Disparo del CHOPPER

El CHOPPER sirve para insertar las resistencias de frenado que descargan los condensadores del DC-LINK. Su disparo se administra desde el DSK2407 pasando por unos operacionales de amplificación a niveles CMOS (15V), al igual que se hace con los disparos del rectificador del apartado anterior.

En la Figura 38 se muestra la amplificación de las señales de control del CHOPPER y su conexión en el conector de disparo.

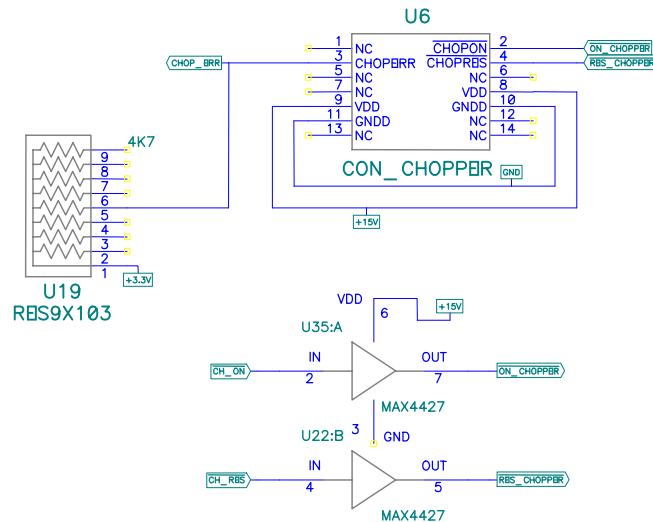


Figura 38. Señales de control del Chopper.

Disparos del control del motor

Para el disparo del puente inversor del control del motor de inducción es necesario amplificar las señales al igual que se hacía con las señales del rectificador de red.

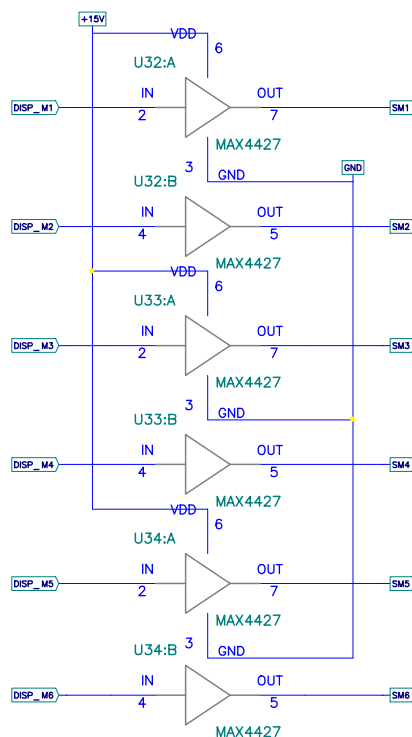


Figura 39. Disparos del control del motor.

En la Figura 39 se puede observar dicha amplificación de las señales, junto con la conexión para el conector de los drivers del inversor.



Estos disparos van a un conector cuyo esquema se ve en la Figura 40 y que sigue las instrucciones de catálogo de los drivers del puente de IGBT's.

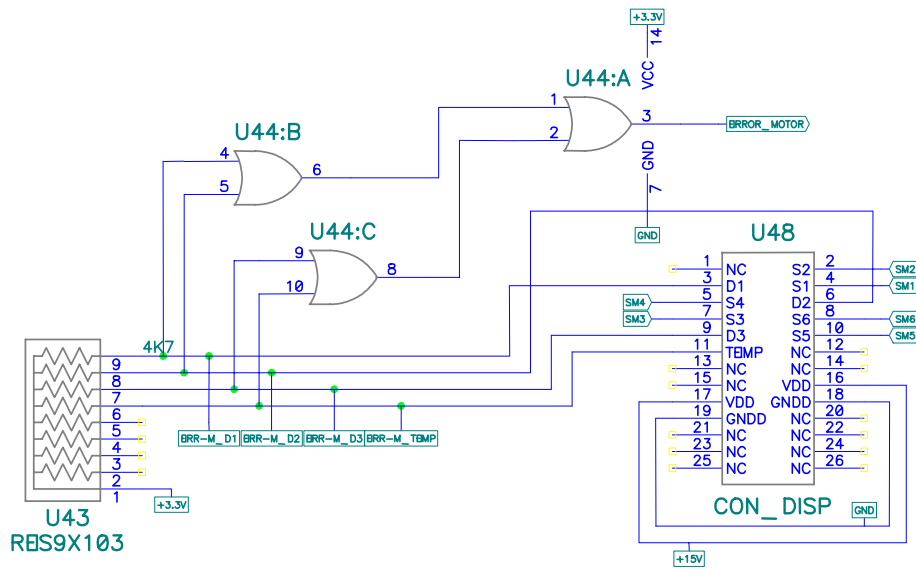


Figura 40. Conexión a los drivers del control del motor.

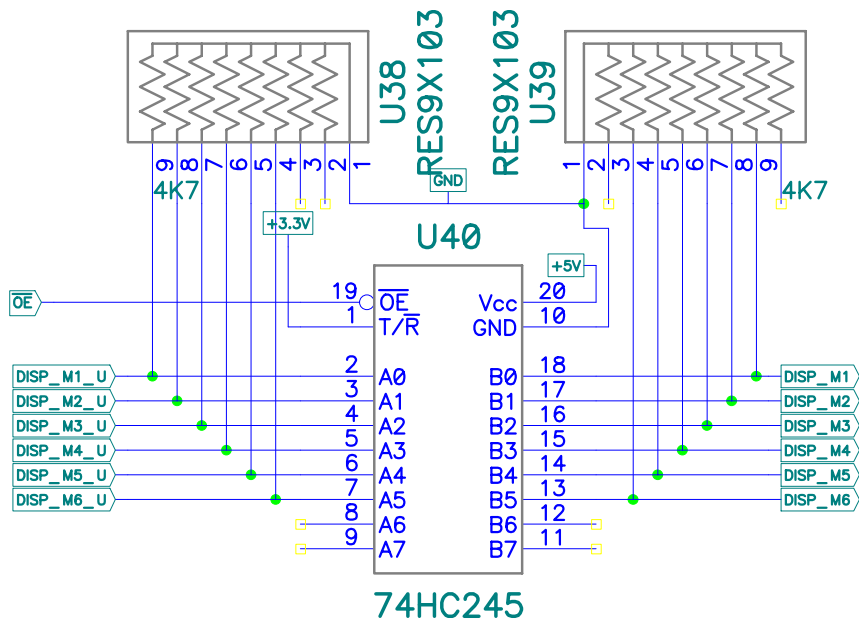


Figura 41. Habilitación de los disparos del control motor.

Los disparos pueden ser inhabilitados de forma manual desde el exterior mediante un interruptor que habilita las salidas de un búffer por donde se hacen pasar las señales de los disparos. Este interruptor es el mismo que inhabilita los disparos del rectificador. La señal OE, es la misma que es generada para la inhabilitación de disparos del rectificador. El esquema de la habilitación es el que se muestra en la Figura 41.



Conectores de expansión del DSK2407

El DSP2407 permite la gestión de complejos algoritmos de control con un tiempo de cálculo mínimo. En la presente placa de control su misión es la de generar los disparos para el control de un motor de inducción y dar las señales de disparo al rectificador de red siguiendo un determinado algoritmo de control imponiendo también los disparos de los relés de arranque. El DSP también debe gestionar las interrupciones generadas por los drivers del puente que controla y del Chopper, así como el control de velocidad del motor.

Para tener las señales del DSP TMS320F2407 accesibles se tiene el sistema de desarrollo DSK2407, cuyos conectores de expansión contemplamos en la placa de control para permitir al DSP el acceso a todas las señales que requiere en su misión.

En la Figura 42 se pueden observar la integración en la presente placa de los conectores de expansión del DSK2407 y las respectivas señales conectadas a los mismos.

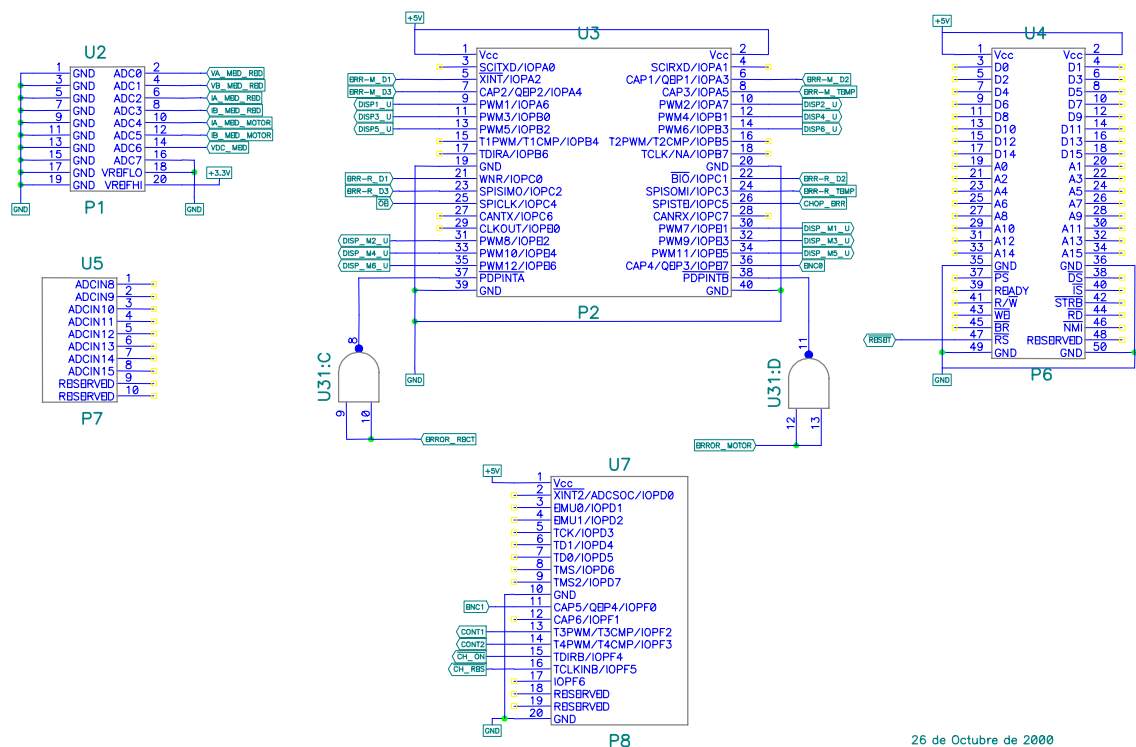


Figura 42. Integración de los conectores de expansión del DSK2407 en placa.

Circuito de generación del reset

La placa del sistema dispone de un circuito de generación de reset externo, con el que podremos dar una señal de inicialización al sistema a través de un interruptor conectado a la placa. Dicho conector, llamado J2, se puede ver en la Figura 43.

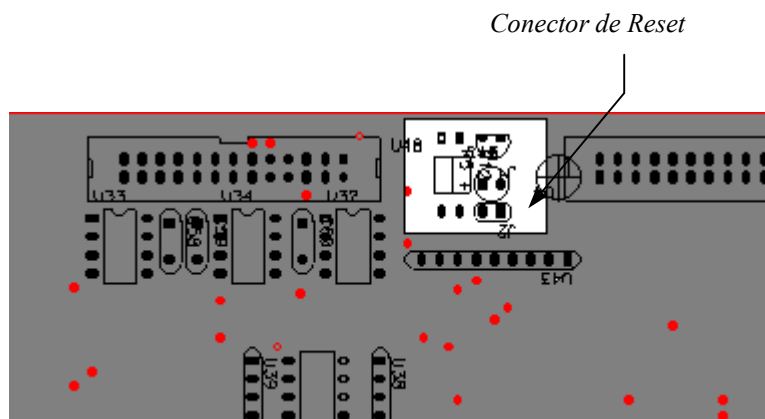


Figura 43. Posición del circuito de reset en placa.

El circuito generador de reset que se ve en la Figura 44 realiza su función al saturar el transistor, lo cual hace que la señal reset se ponga a cero. Dicha saturación se produce al poner 3.3V en la resistencia de base de dicho transistor.

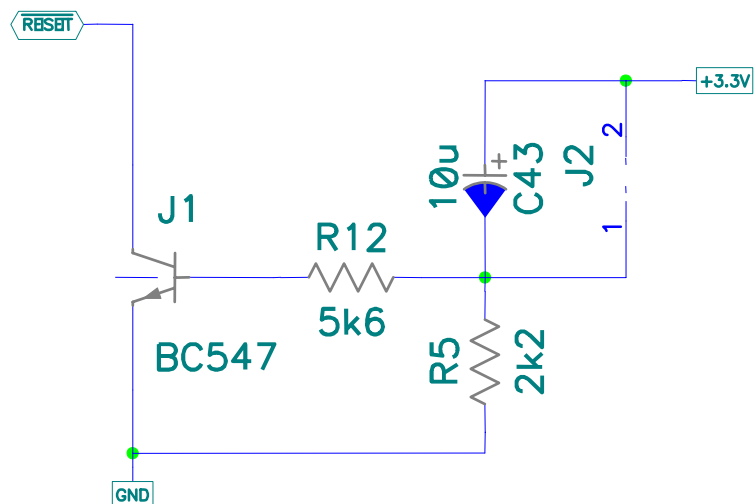


Figura 44. Circuito generador de reset.



Características del Algoritmo de Control.

Descripción general del control del Inversor Trifásico

El algoritmo de control de velocidad implementado se corresponde en líneas generales al implementado en el ASIC ASITRON II, salvo que el control de corrientes se realiza siempre en coordenadas dinámicas y con modulación SPACE-VECTOR.

El diagrama de bloques se muestra en la figura:

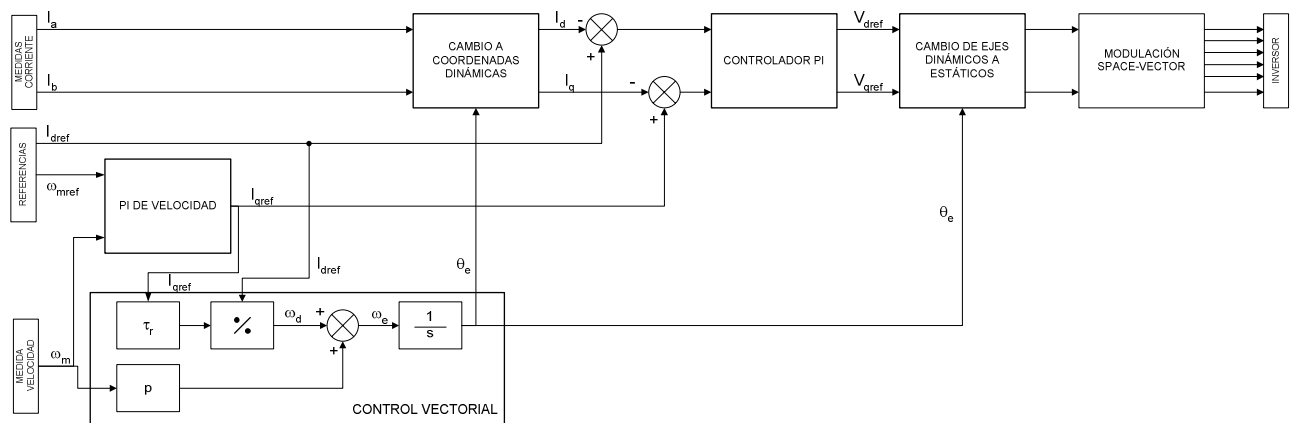


Figura 45. Diagrama de bloques del control vectorial implementado en el DSP2407.

A continuación se describirán cada uno de los bloques funcionales.

PI de velocidad

Realiza el seguimiento de la velocidad de referencia. Es un control PI clásico definido por:

$$I_{qdref} = K_{PV} (\omega_{mref} - \omega_m) + K_{IV} \int (\omega_{mref} - \omega_m) dt$$

Siendo ω_{mref} la velocidad de referencia deseada y ω_m la velocidad medida a partir de los pulsos de encoder.

Las constante K_{PV} y K_{IV} deben ser definidas por el usuario.

Control vectorial

El módulo de control vectorial determina el ángulo θ_e necesario para los cambios de coordenadas según:

$$\theta_e = \int \left[P \omega_m + \left(\frac{1}{\tau_r I_{ddref}} \right) I_{qdref} \right] dt = \int [P \omega_m + (CteMaq) I_{qdref}] dt$$



Siendo P el número de pares de polos del motor (a programar por el usuario), τ_r la constante de tiempo del motor, I_{dref} la corriente de referencia de flujo (a programar por el usuario), I_{qdref} la corriente de par de referencia (proveniente del PI de velocidad), $CteMq$ una constante definida según la expresión anterior que debe ser programada por el usuario y θ_e el ángulo eléctrico.

Si el motor es síncrono, se debe programar $CteMq=0$. En este caso, θ_e se sincroniza en fase con la posición del rotor del motor síncrono mediante una señal externa de sincronización. También es conveniente programar I_{dref} a cero, ya que la máquina síncrona es de imanes permanentes.

Cambio de ejes estáticos a dinámicos de las corrientes del motor.

Las ecuaciones que describen este cambio son las siguientes:

$$\begin{aligned}I_{de} &= I_a \\I_{qe} &= \frac{1}{\sqrt{3}}(I_a + 2I_b) \\I_{dd} &= I_{de} \cos \theta_e + I_{qe} \sin \theta_e \\I_{qd} &= -I_{de} \sin \theta_e + I_{qe} \cos \theta_e\end{aligned}$$

Siendo I_a e I_b las corrientes medidas en las fase a y b del motor, I_{de} e I_{qe} las corrientes en coordenadas estáticas (variables intermedias no accesibles), I_{qd} e I_{dd} las corrientes en ejes dinámicos y θ_e el ángulo eléctrico proveniente del cambio de coordenadas.

Control PI de corrientes

Realiza un control PI clásico con las corrientes de referencia I_{dref} (programada por el usuario) e I_{qdref} (proveniente del PI de velocidad). Las ecuaciones que describen este bloque son:

$$\begin{aligned}V_{ddref} &= K_{PI}(I_{dref} - I_{dd}) + K_{II} \int (I_{dref} - I_{dd}) dt \\V_{qdref} &= K_{PI}(I_{qdref} - I_{qd}) + K_{II} \int (I_{qdref} - I_{qd}) dt\end{aligned}$$

Las constante K_{PI} e K_{II} deben ser definidas por el usuario.



Cambio de ejes dinámicos a estáticos de las tensiones de referencia

Las salidas del bloque PI de control de corrientes V_{dref} y V_{qref} deben ser pasadas a ejes estáticos previamente al bloque de modulación SPACE-VECTOR. Las ecuaciones correspondientes son:

$$\begin{aligned}V_{de} &= V_{ddref} \cos \theta_e - V_{qref} \operatorname{sen} \theta_e \\V_{qe} &= V_{ddref} \operatorname{sen} \theta_e + V_{qref} \cos \theta_e\end{aligned}$$

Space-Vector

La técnica de modulación Space-vector se encarga de generar las señales de disparo para los interruptores de potencia (T_{ON} de cada fase) a partir de una referencia de corriente deseada para ser inyectada o no en la red eléctrica. Dicha referencia de corriente se obtiene a partir del bloque PI de corriente y del valor de tensión del DC-link controlado para que siga el valor de referencia.

Los tiempos de encendido asociados a cada fase se pueden calcular a partir de la expresión vectorial siguiente:

Determinar \vec{U}_1 , \vec{U}_2 , t_1 y t_2 de la ecuación:

$$T_m \cdot \vec{U}_{ref} = t_1 \cdot \vec{U}_1 + t_2 \cdot \vec{U}_2$$

Donde $\vec{U}_{ref} = V_{de} + j \cdot V_{qe}$. \vec{U}_1 y \vec{U}_2 son dos vectores consecutivos de tensión que puede aplicar el Inversor. t_1 y t_2 representan los tiempos que deben estar activos los vectores \vec{U}_1 y \vec{U}_2 respectivamente.

Dicha ecuación vectorial se transforma en forma escalar en las siguientes expresiones:

Si $V_{de} \geq 0$ y $V_{qe} \geq 0$

Si $\frac{V_{qe}}{V_{de}} \leq \sqrt{3}$, entonces

$$U1 = \{1,0,0\} \text{ y } U2 = \{1,1,0\}$$

$$t_1 = \left[3 \cdot \frac{V_{de}}{V_{cc}} - \sqrt{3} \cdot \frac{V_{qe}}{V_{cc}} \right] \cdot \frac{T_m}{2}$$

$$t_2 = \sqrt{3} \cdot \frac{V_{qe}}{V_{cc}} \cdot T_m$$

Else

$$U1 = \{1,1,0\} \text{ y } U2 = \{0,1,0\}$$

$$t_1 = \left[3 \cdot \frac{V_{de}}{V_{cc}} + \sqrt{3} \cdot \frac{V_{qe}}{V_{cc}} \right] \cdot \frac{T_m}{2}$$



$$t_2 = \left[-3 \cdot \frac{Vde}{Vcc} + \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

Si $Vde < 0$ y $Vqe \geq 0$

Si $\frac{Vqe}{-Vde} \leq \sqrt{3}$, entonces

$$U1 = \{0,1,0\} \text{ y } U2 = \{0,1,1\}$$

$$t_1 = \sqrt{3} \cdot \frac{Vqe}{Vcc} \cdot T_m$$

$$t_2 = \left[-3 \cdot \frac{Vde}{Vcc} - \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

Else

$$U1 = \{1,1,0\} \text{ y } U2 = \{0,1,0\}$$

$$t_1 = \left[3 \cdot \frac{Vde}{Vcc} + \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

$$t_2 = \left[-3 \cdot \frac{Vde}{Vcc} + \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

Si $Vde < 0$ y $Vqe < 0$

Si $\frac{-Vqe}{-Vde} \leq \sqrt{3}$, entonces

$$U1 = \{0,1,1\} \text{ y } U2 = \{0,0,1\}$$

$$t_1 = \left[-3 \cdot \frac{Vde}{Vcc} + \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

$$t_2 = -\sqrt{3} \cdot \frac{Vqe}{Vcc} \cdot T_m$$

Else

$$U1 = \{0,0,1\} \text{ y } U2 = \{1,0,1\}$$

$$t_1 = \left[-3 \cdot \frac{Vde}{Vcc} - \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

$$t_2 = \left[3 \cdot \frac{Vde}{Vcc} - \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

Si $Vde \geq 0$ y $Vqe < 0$

Si $\frac{-Vqe}{Vde} \leq \sqrt{3}$, entonces

$$U1 = \{1,0,1\} \text{ y } U2 = \{1,0,0\}$$

$$t_1 = -\sqrt{3} \cdot \frac{Vqe}{Vcc} \cdot T_m$$

$$t_2 = \left[3 \cdot \frac{Vde}{Vcc} + \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

Else

$$U1 = \{0,0,1\} \text{ y } U2 = \{1,0,1\}$$

$$t_1 = \left[-3 \cdot \frac{Vde}{Vcc} - \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$



$$t_2 = \left[3 \cdot \frac{Vde}{Vcc} - \sqrt{3} \cdot \frac{Vqe}{Vcc} \right] \cdot \frac{T_m}{2}$$

El control de corriente contempla, además, que cada canal dispone de la posibilidad de programar tiempos muertos, con un filtro de anchura mínima de pulso.

Medida de la velocidad

En esta parte del documento se va a realizar una descripción teórica del método de medida de la velocidad de giro del eje de la máquina eléctrica realizada con el DSP F2407, empleando el módulo denominado QEP (encoder de cuadratura). Nos centraremos en la descripción del algoritmo empleado y se hará una referencia a la acotación programada para el error cometido en la medida.

Comentar que se ha intentado incorporar al proyecto un medidor de velocidad equiparable al módulo de procesamiento de las señales del encoder que se especificó en el proyecto ASITRON2 (colaboración previa entre MACPUARSA y AICIA). Las limitaciones que nos ofrece el QEP del DSP, junto con la necesidad de realizar una descripción secuencial y software del módulo en el sistema microprocesador impiden implementar un módulo de medida de velocidad idéntico al del ASITRON2. Se ha intentado, en cualquier caso, respetar las siguientes condiciones de diseño:

- Precisión equiparable a la del ASITRON2.
- Tiempo de respuesta del medidor no excesivo.

Descripción de la medida realizada con el DSP LF2407 (QEP).

La medida de la velocidad que realiza el DSP F2407 se basa en:

- La recepción de dos trenes de pulsos, desfasados entre sí 90°, de un encoder digital.
- Lógica de control interna asociada al QEP que permite la detección de los flancos que provienen del encoder (hace las veces de reloj que permite contar 4 flancos entre 2 pulsos provenientes del encoder) y la dirección de giro (para incrementar ó decrementar la cuenta).

Para clarificar el funcionamiento del QEP, en la siguiente figura se muestran dos trenes de pulsos a 90° y su correspondiente detección por el QEP del DSP.

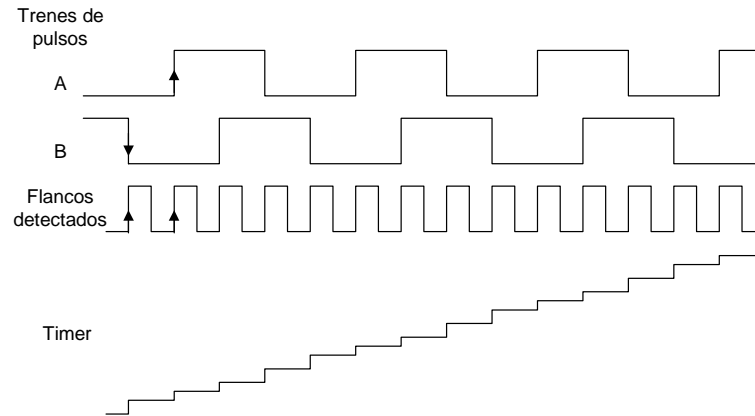


Figura 46. Medida de velocidad. Incremento del contador de flancos.

Algoritmo empleado

Especificaciones:

- Máximo error 0.5% \Rightarrow Contar al menos 200 pulsos para que el error sea inferior o igual al 0.5%:
$$\text{Error} = \frac{1}{n^\circ \text{ pulsos}}$$
- Reducción del tiempo de cálculo de la velocidad al mínimo.

El encoder del que se parte puede ser cualquiera (genéricamente de M pulsos por vuelta, aunque en nuestro caso M=2500).

En estas condiciones, el contador de flancos detectaría 4 pulsos por pulso de encoder (entre dos pulsos del encoder), lo que implica $4 \cdot M$ pulsos por vuelta en el contador (10.000 en nuestro encoder en que M=2500).

Para la medida de velocidad se van a emplear dos métodos de medida, según sea la velocidad del motor:

1. Medida de pulsos en un tiempo predeterminado y fijado en función de la propia medida de velocidad, con idea de acotar el error.
2. Medida de tiempo transcurrido entre un número fijo de pulsos (determinado por la precisión que se desee alcanzar, siempre que no se supere un tiempo máximo de respuesta del medidor).

Medida de pulsos de encoder en tiempos predeterminados

El método de medida de la velocidad consiste en establecer un tiempo fijo (que será un múltiplo entero del tiempo de muestreo del algoritmo implementado en el DSP). Por tanto, se fija un tiempo múltiplo de $100\mu s$ ($N \cdot 100\mu s$) tras el cual se toma el valor



del contador del QEP del DSP (que representa el número de pulsos de encoder detectados) y se calcula la velocidad de giro de la máquina:

$$\omega \propto \frac{\text{contador}}{N \cdot 100\mu\text{s}} = K \cdot \text{contador}$$

Donde *contador* depende de los pulsos de encoder recibidos por el QEP mientras que $N \cdot 100\mu\text{s}$ y K representan el tiempo transcurrido y su inversa, respectivamente.

Para terminar de especificar el método de medida, es necesario determinar N . Para ello vamos a analizar el funcionamiento que tendría el QEP con el método de medida planteado. Supongamos que el motor gira a una velocidad de 750 r.p.m. (12,5 Hz), el encoder dará $12.5 \cdot M$ ($12.5 \cdot 2500 = 31250$) pulsos por segundo. El QEP recibirá, a su vez, 125.000 pulsos ($4 \cdot 31250$). Por tanto, en $100\mu\text{s}$ se contarán 12,5 flancos asociados a los pulsos del encoder.

Se ha escogido como criterio de diseño de la medida de velocidad, uno análogo al del ASITRON 2, la acotación del error obtenido asociado a los pulsos medidos. El **error** se ha **acotado entre 0,25% y 0,5%** para el método de medida para tiempos fijos y cuenta de pulsos. De esta forma, el número de pulsos que debemos contar está entre 400 y 200 pulsos, respectivamente, para cumplir el requisito anterior.

Para el ejemplo anterior, 750 r.p.m., N se determina acotando el error en el 0.5% (200 pulsos). Teniendo en cuenta que aparecen 12,5 pulsos cada $100\mu\text{s}$, son necesarios 1,6 ms para que aparezcan 200 pulsos. Se escoge $N=16$. Obsérvese que para velocidades de giro mayores, el error disminuye hasta alcanzar el 0.25% cuando la máquina gira a 1500 r.p.m. Para velocidades superiores a 1500 r.p.m. se tendrá aún una mayor precisión, dado que no cambia el método de medida.

Obsérvese, además, que a partir de 750 r.p.m., el medidor de velocidad tiene un tiempo de respuesta estimado de 1,6 ms. Conforme disminuye la velocidad de la máquina y cambia el valor de N empleado, el tiempo de respuesta del medidor aumenta en igual proporción.

Por tanto, el valor de N empleado se deduce a partir de la velocidad según la tabla siguiente, donde también se refleja el valor de K que se toma para cada caso.

Velocidad, ω (r.p.m.)	Múltiplo de tiempo (N)	Constante (K)
$\omega > 750$	16	3.75
$750 > \omega > 375$	32	1.875
$375 > \omega > 188$	64	0.94
$188 > \omega > 94$	128	0.47
$94 > \omega > 47$	256	0.235

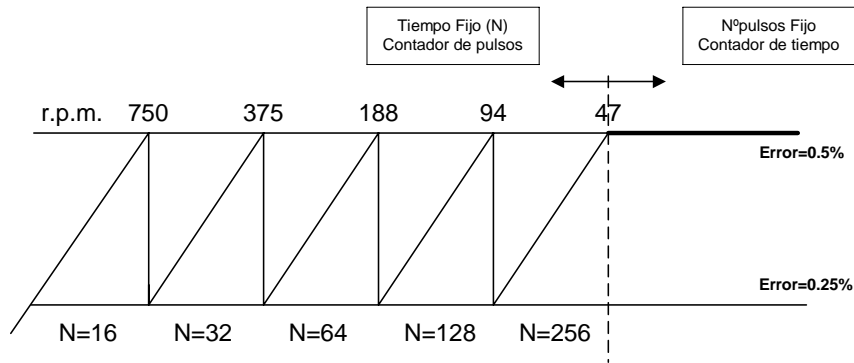


Figura 47. Acotación del error. Medida de 200 pulsos.

Medida de tiempo transcurrido en un número predeterminado de pulsos

El método de medida explicado antes es similar al aplicado en ASITRON 2. Para la medida de velocidad en el rango de bajas frecuencias se ha escogido el otro método de medida, que cuenta el tiempo transcurrido entre un número de pulsos constante. Esta elección se ha hecho para no aumentar en exceso el tiempo de respuesta del medidor de velocidad (recuérdese que aumenta al aumentar el valor de N).

En este caso, y como criterio de diseño se ha optado por establecer una precisión constante (0,5%, la mayor posible), con lo que el número de pulsos a contar será 200. El tiempo de respuesta depende de la velocidad de la máquina (mayor a medida que disminuye ésta), esperando el medidor el tiempo que sea necesario para tener la medida de velocidad con un 0,5% de error.

Por otro lado, la mínima velocidad detectable por el sistema de medida se ha fijado en 0,0084 Hz.

Resultados Experimentales



Introducción

En este apartado se van mostrar resultados de diferentes pruebas que se han realizado en la máquina de inducción. Los vamos a agrupar en tres tipos de pruebas:

- Pruebas en permanente.
- Pruebas en transitorio
 - Cambio de par
 - Cambio de velocidad de referencia

Las pruebas se han realizando con la máquina de inducción funcionando como motor. Igualmente se podrían realizar las mismas pruebas, con semejantes resultados, con la maquina de inducción funcionando como generador, ya que el rectificador es síncrono totalmente controlado, por lo que podemos devolver energía a la red eléctrica.

Los resultados experimentales se han obtenido con un programa, realizado por Juan Antonio Sánchez Segura², el cual se comunica con el DSP a través del puerto serie asíncrono. Esta herramienta ha sido de gran utilidad durante todo el proceso de desarrollo del sistema ya que con el además de obtener los resultado experimentales se ha podido optimizar y depurar el control.

Para la representación gráfica se ha utilizado el programa Matlab 6.1

El sistema físico en el cual se ha desarrollado todo el proyecto ha sido la bancada de pruebas del Grupo de Tecnología Electrónica, GTE.

² Profesor asociado de la Escuela de Ingenieros de Sevilla en el departamento de Ingeniería Electrónica.



Pruebas en permanente.

Esta prueba se ha realizado con la maquina de inducción funcionando como motor y consumiendo de la red eléctrica 4 y 4.8kW. Veamos los resultados obtenidos:

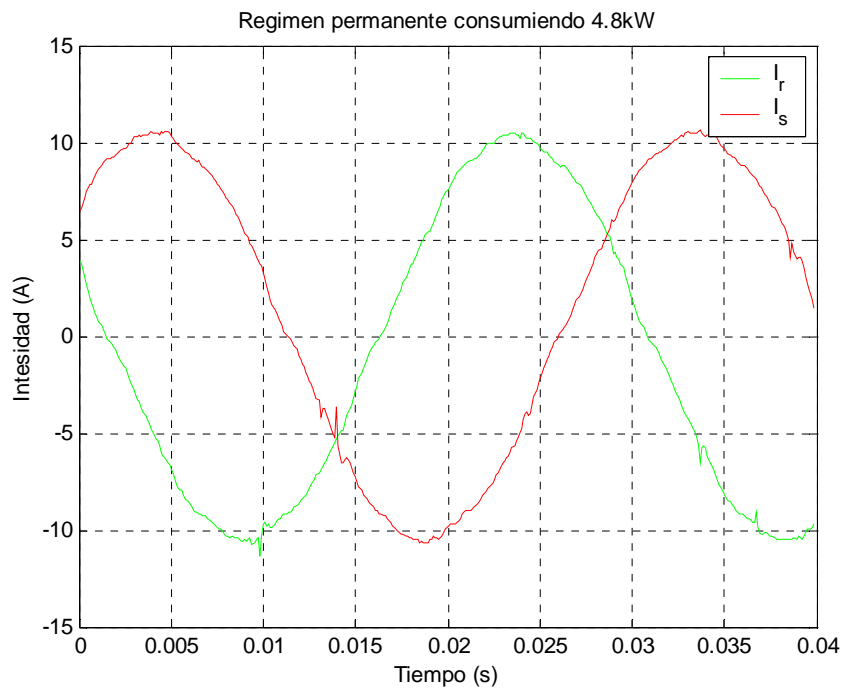


Figura 48. Intensidad consumida por la máquina de inducción funcionando como motor consumiendo 4.8 kW.

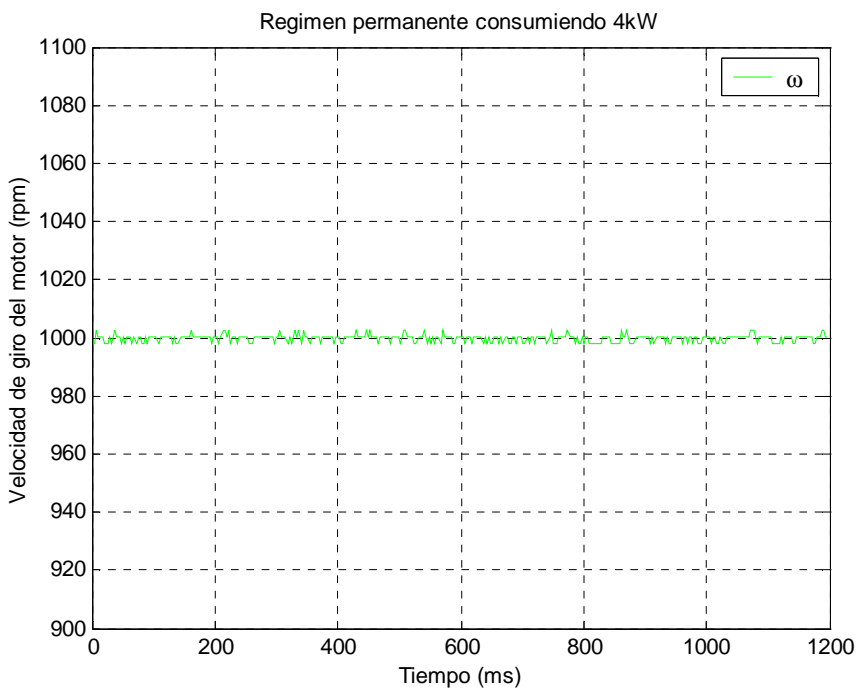


Figura 49. Velocidad de la máquina de inducción



Variables de Control internas

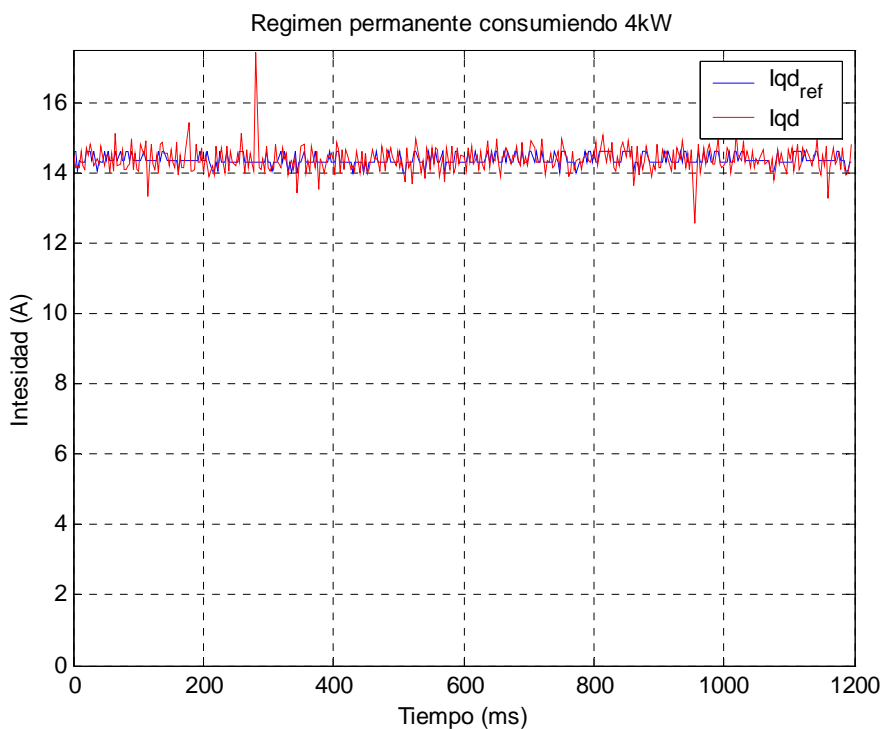


Figura 50. Intensidades I_q de referencia e I_q obtenida

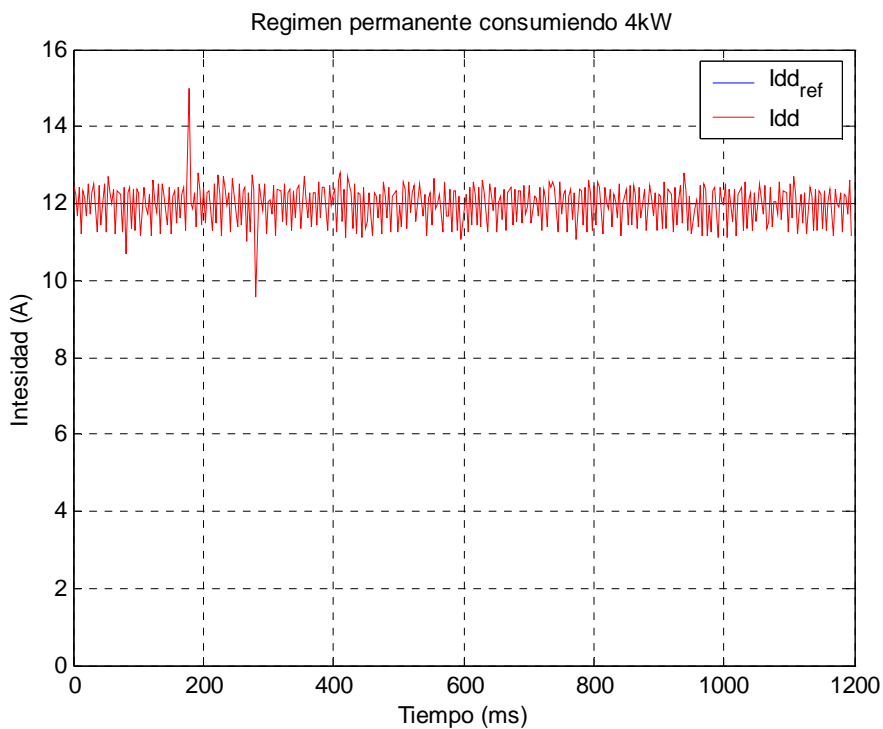


Figura 51. Intensidades I_d de referencia e I_d obtenida



Pruebas en régimen transitorio

Cambio de Par

Esta prueba se ha realizado con la maquina de inducción funcionando como motor a la que se ha sometido a dos cambios de par seguidos. Es decir, se pasa de estar en vacío a consumir 4.8 kW para luego volver a estar en vacío.

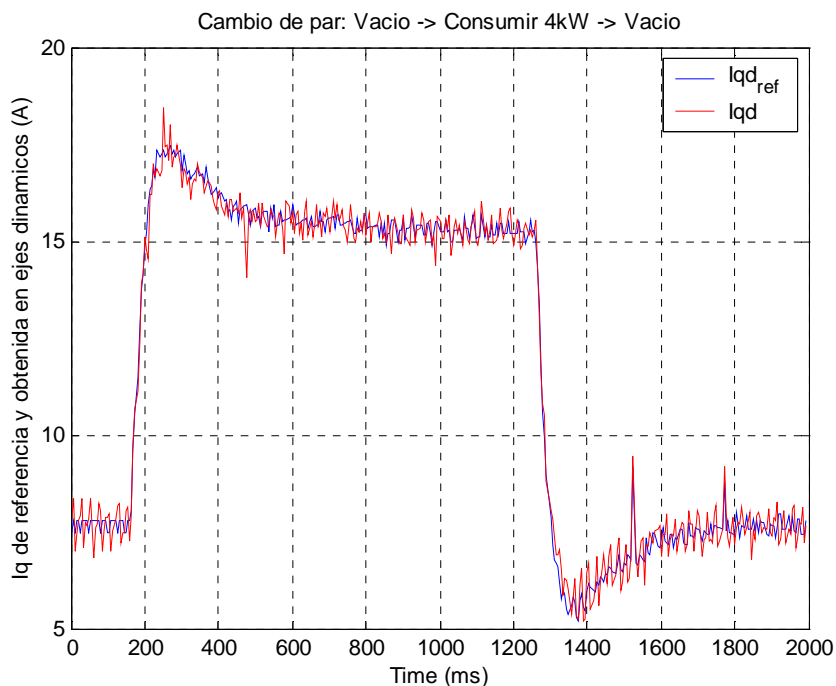


Figura 52. Intensidades I_q de referencia y obtenida.

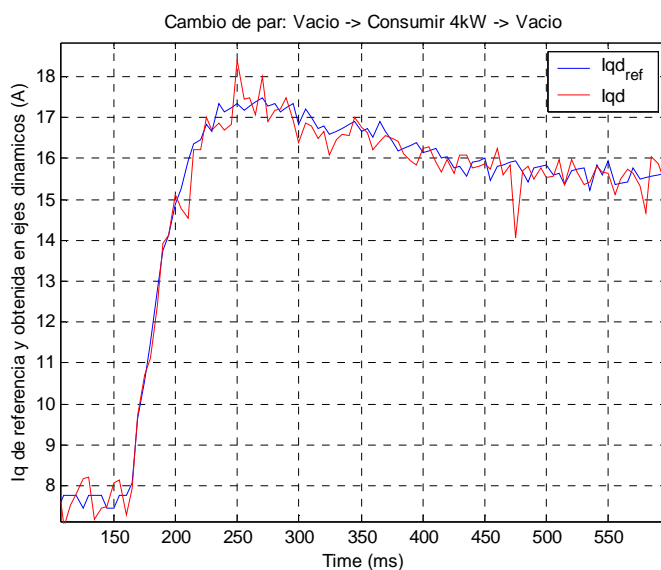


Figura 53. Zoom de la Figura 52 donde se observa el cambio de par de vacío a consumir 4.8kW

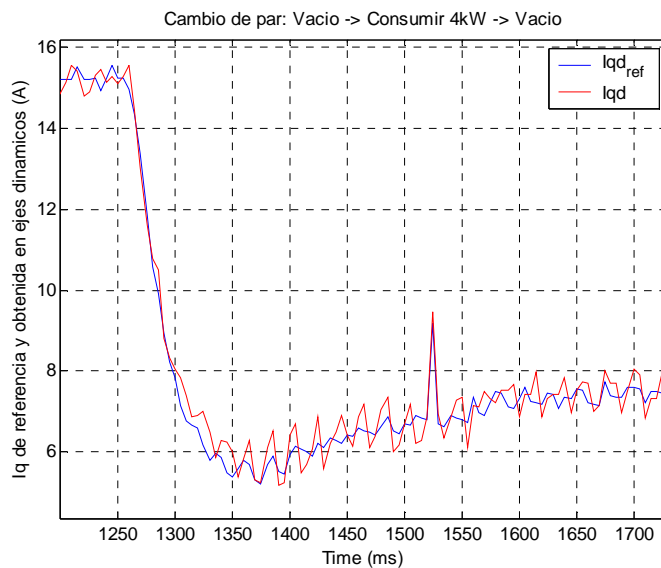


Figura 54. Zoom de la Figura 52 donde se puede observar el cambio de par de consumir 4.8kW a vacío

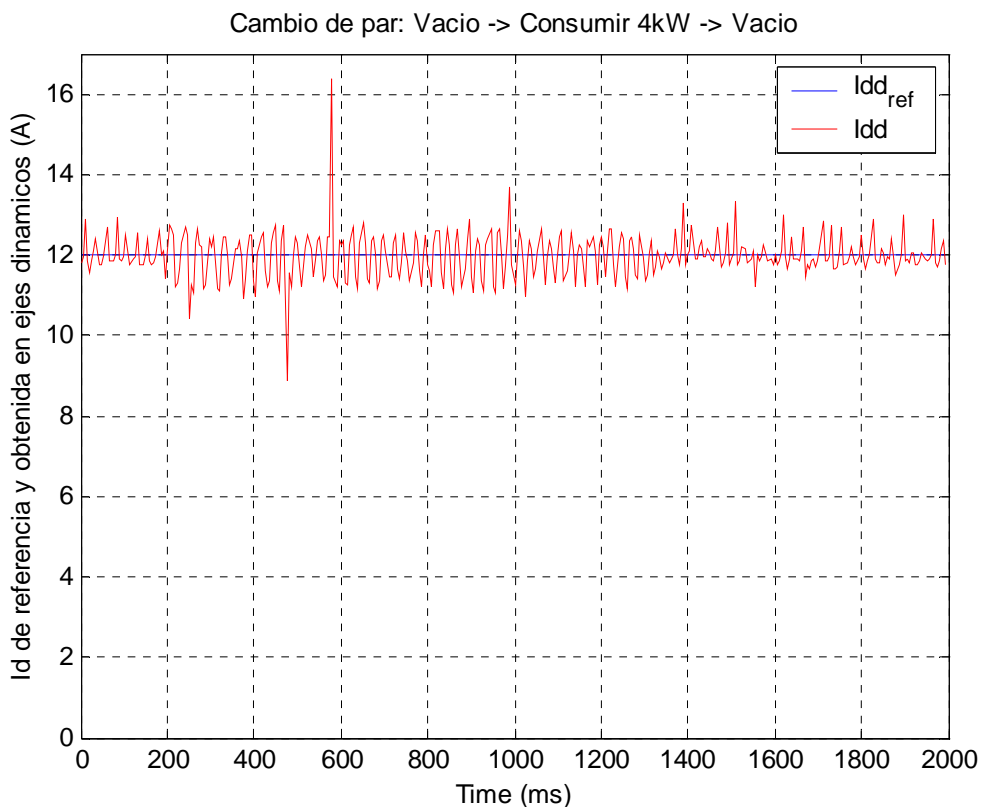


Figura 55. Intensidades Id de referencia y obtenida.

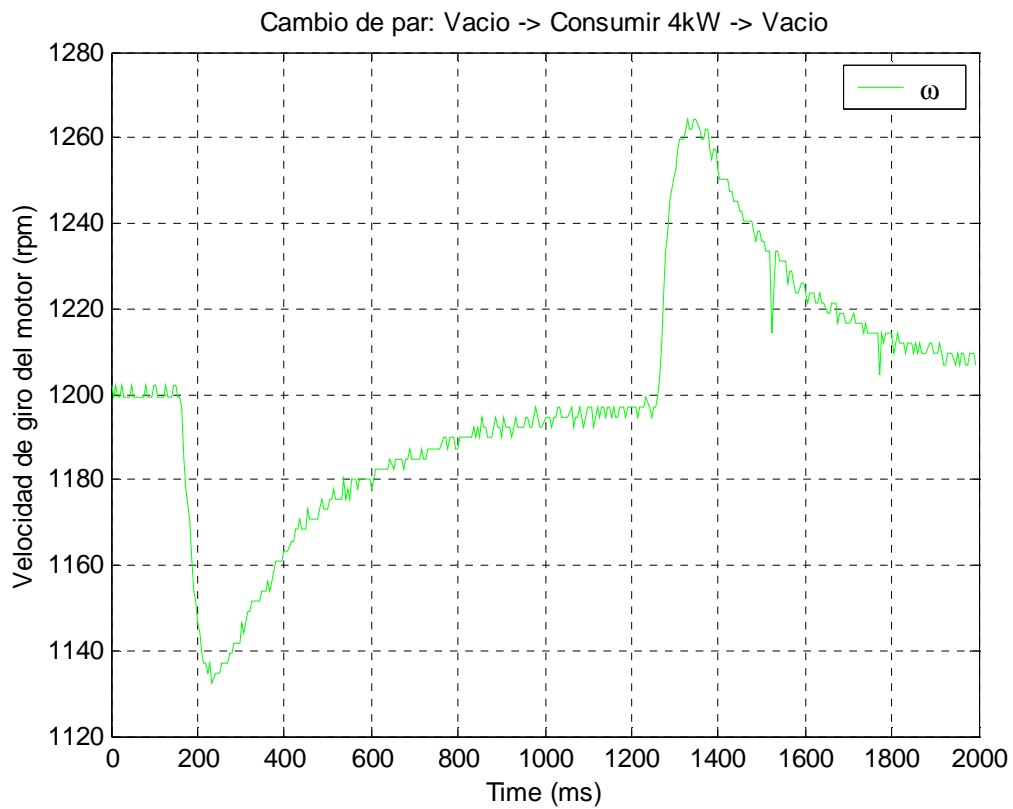


Figura 56. Velocidad de la máquina de inducción con el control de velocidad en 1200rpm



Cambio de referencia:

Esta prueba se ha realizado con la maquina de inducción funcionando como motor a la que se ha sometido dos cambios de referencia instantáneos. En el primero se pasa de girar a 120 rpm a 1200 rpm y en el segundo de -1200 rpm a 1200 rpm.

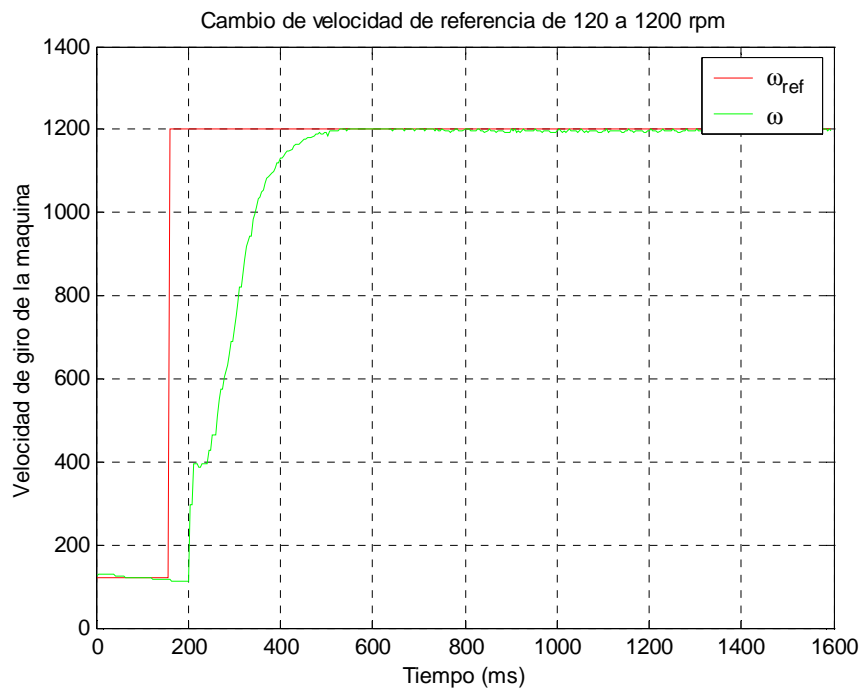


Figura 57. Evolución de la velocidad de giro de la máquina al cambiar la referencia de 120 rpm a 1200 rpm.

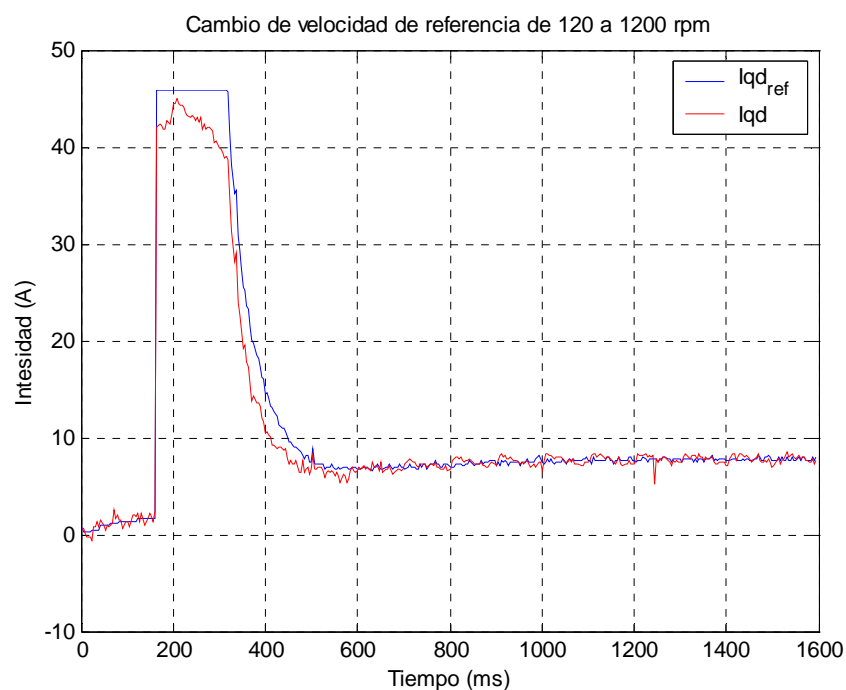


Figura 58. Evolución de I_{qd_ref} e I_{qd} al cambia ω_{ref} de 120 rpm a 1200 rpm

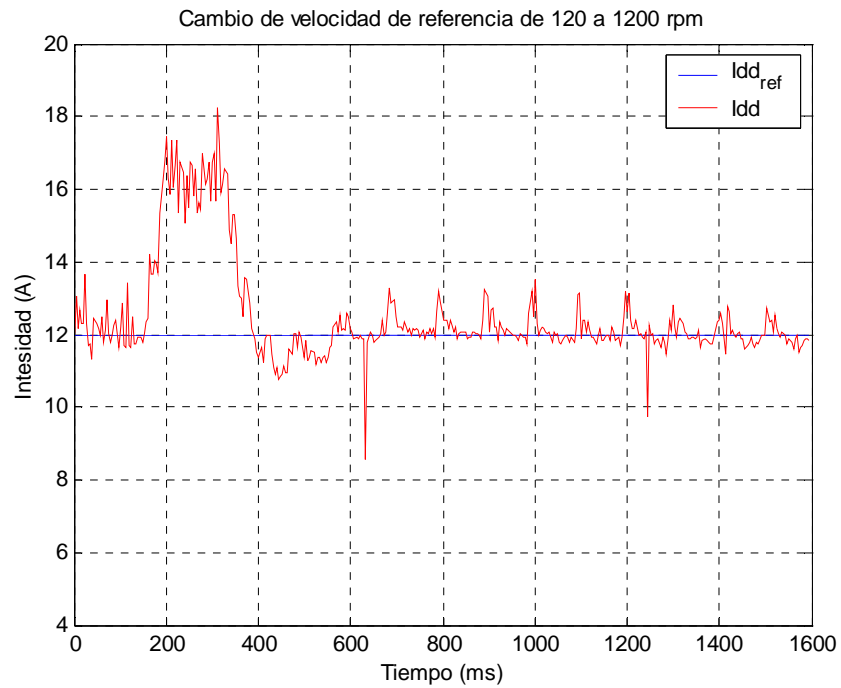


Figura 59. Evolución de I_{dd_ref} e I_{dd} al cambia ω_{ref} de 120 rpm a 1200 rpm

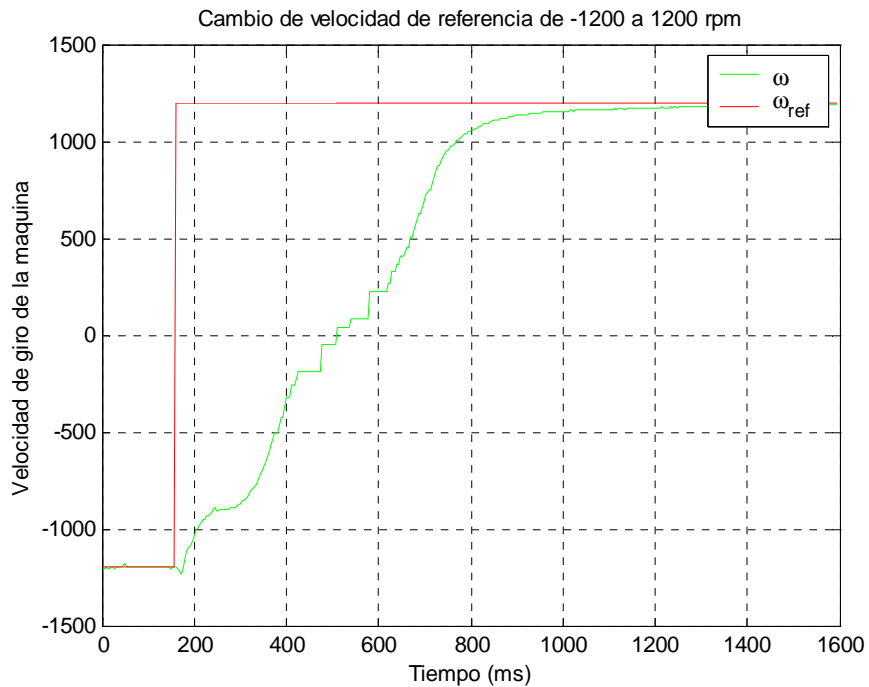


Figura 60. Evolución de la velocidad de giro de la máquina al cambiar la referencia de -1200 rpm a 1200 rpm.

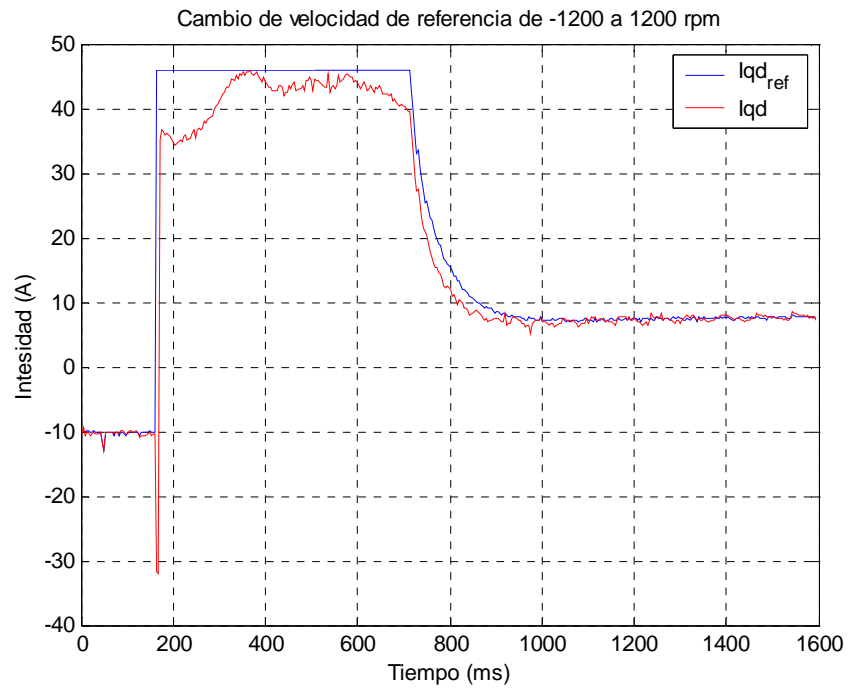


Figura 61. Evolución de I_{qd_ref} e I_{qd} al cambia ω_{ref} de 120 rpm a 1200 rpm.

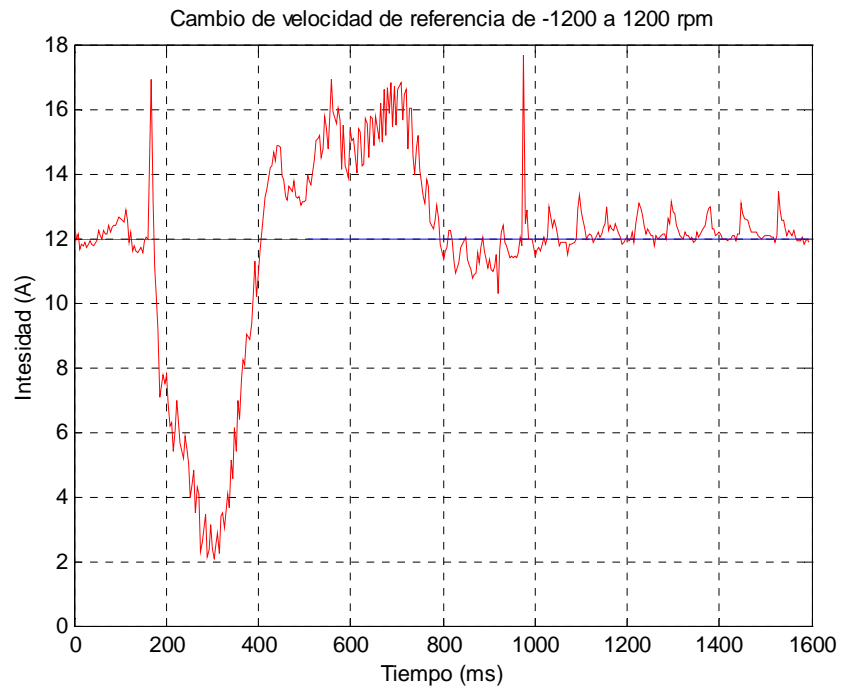


Figura 62. Evolución de I_{dd_ref} e I_{dd} al cambia ω_{ref} de 120 rpm a 1200 rpm

Apéndices



Apéndice I: Fuentes y programa de control

Visión general del programa

En la Figura 63 se puede observar el desarrollo del programa de control:

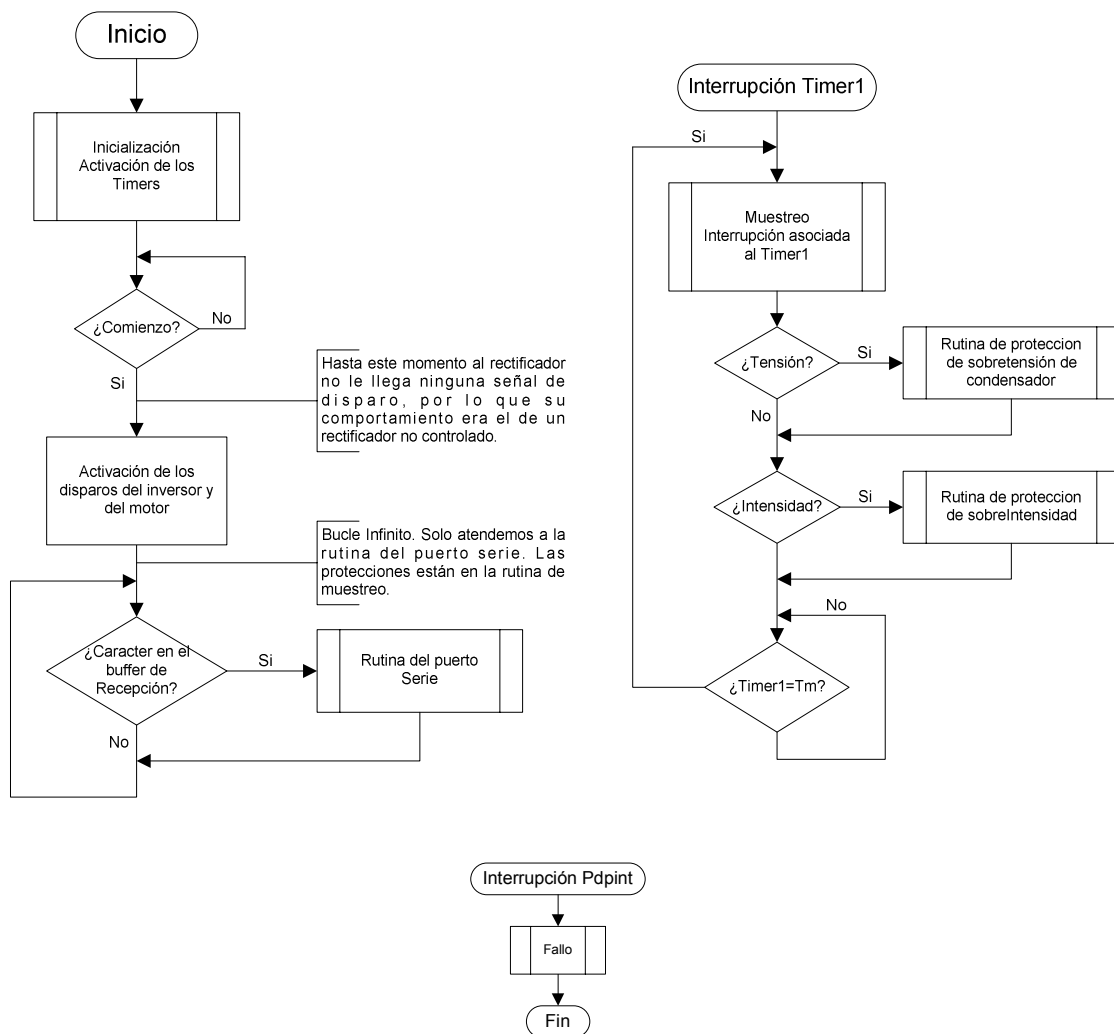


Figura 63. Diagrama de flujo general

Se observa como el programa de control está formado por 3 lazos principales, dos que son interrupciones, y el último el programa principal. A continuación vamos a detallar cada uno de las funciones que forman cada lazo.



Archivos fuentes y archivo de compilación

En ellos se definen y se declaran todas las funciones y variables globales que se van a utilizar en el desarrollo de la aplicación. En este caso los archivos fuentes son los siguientes:

- Ntrol2.h
- LF240X.h
- tabla.h³
- serie.h
- flash.cmd

A continuación se pasa a describir cada uno de estos ficheros.

Archivo “Ntrol2.h”

En este fichero se recogen todas las variables y funciones necesarias para el algoritmo de control del rectificador síncrono, así como variables auxiliares. El código es el siguiente:

```
/* ***** */
/* ***** */
/* ***** Nfla2.h ***** */
/* ***** */

#define TM 0x5D0 /* Tm=TM/2/33ns -> Tm=0x682 */
/* Tiempo para la interrupción: 100us */

#define INDUCCION 5
#define SINCRONO 25

#define verde 1
#define rojo 0
#define np 2 /* Número de pares de polos */
#define m 2500 /* Pulsos por vuelta del encoder */

#define delta 0 /* Para el control vectorial de los motores síncronos */

#define Reset 444
#define NoReset 555

/* PI de Tensión del Rectificador */
#define KP 2800
#define KI 30

/* PI's de Intensidad del Rectificador */
#define KP1 3000
#define KI1 40

/* PI de Velocidad del Motor */
#define KPW 80000
#define KIW 20

/* PI de Intensidad del Inversor */
#define KPD 256
#define KID 0
#define KPQ 256
#define KIQ 0
```

³ No se va a incluir el código fuente del archivo porque solo es una tabla de 1024 valores y la declaración de la variable seno → volatile int seno[2048]



```
interrupt void algoritmo();
interrupt void pdpint();
void termina(void);

/* Ctes para el filtro con recuperación del resto */
volatile int cte1=2458,cte2=819;
volatile int Tk1=0,Tk2=0,Tk3=0,Tk4=0;

/* Valores obtenidos del CAD*/
volatile int Vrs,Vst,Vtr,Ir_red,Is_red,Ir_motor,Is_motor,Vdc;

/* Variables para la obtención de datos */
volatile int tabla[5][400];
volatile int *(puntero[5]);
volatile int p=0,p_datos=0,skip=0,contskip=0;
volatile int p_ini,p_ult,trigger,m_ant,past,Time_out,transitorio=0;

/* ***** */
/* ***** Rectificador ***** */
/* ***** */

/*Valores calculados para el algoritmo del Rectificador*/
volatile int Va,Vb,Ia,Ib,P,Q;

/*PI de Tensión (Ki->Ki*Tm)*/
volatile int Kp,Ki;
volatile long int SumVdc,SatSP,SatSN,difVdc;

/*PI de Intensidad (Ki->Ki*Tm)*/
volatile int KpI,KiI;
volatile long int Sumwp,SatwpP,SatwpN,difwp,Sumwq,SatwqP,SatwqN,difwq;

/* Tm y variables auxiliares*/
volatile int Tm,Pref,Qref,cfi,sfi,err,errp,errq,wp,wq,Varf,Vbrf,T1,T2,S;
volatile int aux1;
volatile unsigned int aux5;
volatile long int aux,aux2,aux3,aux4,w_aux;

volatile int Vdcref;
volatile long int S2;
volatile long int wp2,wq2;

volatile int Arranque;

volatile int k,k192,k111,dteta,Comp,boton;

volatile int Va_aux,Vb_aux;

/* Filtro de Vdc */
volatile int Vdc_ant;
volatile int Vdc_f_ant,Vdc_f;

/* Filtro Valpha-beta */

volatile int Xk,Xk1,Xk2,Yk,Yk1,Yk2,XXk,XXk1,XXk2,YYk,YYk1,YYk2;

/* Control de Reactiva */
volatile int tgfi,indice;

/* ***** */
/* ***** MOTOR ***** */
/* ***** */

/* Variables de control */
volatile int Ide,Iqe,Idd,Iqd,Vdd,Vqd,Vde,Vqe,Varf_m,Vbrf_m,Comp_m;
```



```
volatile int Idd_ref,Iqd_ref=0,Iqd_ref_f=0,wr_ref,Iqd_ref3,Motor;
volatile long int Iqd_ref2,Vdd2,Vqd2;

/* Errores */
volatile int error_w,error_Idd,error_Iqd;
volatile long int Serror_w=0,Serror_Idd=0,Serror_Iqd=0,Suma=0;

/* Saturaciones */
volatile long int SatPI_wP,SatPI_wN,SatPI_IdP,SatPI_IdN,SatPI_IqP,SatPI_IqN;

/* Constantes de PI's */
volatile int Kiw,Kpd,Kid,Kpq,Kiq;
volatile long int Kpw;
volatile long int dif_Iqd=0,dif_Vqd=0,dif_Vdd=0;

/* Encoder */
volatile int Encoder,PpC,PpC_ant;
volatile int N=0,pulsos=0,w_encoder=0,w_ant=0,w_f=0,w_f_ant=0,dir=1;
volatile unsigned int pulsos_aux=0,N1,N2,N3,N4,N5,N_1,N_2,N_3,N_4,N_5,M_0;

/* Velocidad eléctrica */
volatile int we_esc=0,we_ref=0,w_ref=0,we_ant,we_des,teta=0,seno,coseno;
volatile long int tetaG=0,teta_antG=0;

/* ***** */
/* ***** */
/* ***** */
/* ***** */
```

Archivo “LF240X.h”

En este fichero se recogen todas las definiciones y declaraciones de los registros del TMS320F243. El código es el siguiente:

```
/* ***** */
/* ***** TMS320LF240X Register file ***** */
/* ***** LF240X.h ***** */
/* ***** */
/* 240x CPU core registers */
#define IMR (* (volatile unsigned int *) (0x0004)) /* Interrupt Mask Register */
#define IFR (* (volatile unsigned int *) (0x0006)) /* Interrupt Flag Register */

/* System configuration and interrupt registers */
#define SCSR1 (* (volatile unsigned int *) (0x7018)) /* System Control & Status register. 1 */
#define SCSR2 (* (volatile unsigned int *) (0x7019)) /* System Control & Status register. 2 */
#define DINR (* (volatile unsigned int *) (0x701C)) /* Device Identification Number register. */
#define PIVR (* (volatile unsigned int *) (0x701E)) /* Peripheral Interrupt Vector register. */
#define PIRQR0 (* (volatile unsigned int *) (0x7010)) /* Peripheral Interrupt Request register 0 */
#define PIRQR1 (* (volatile unsigned int *) (0x7011)) /* Peripheral Interrupt Request register 1 */
#define PIRQR2 (* (volatile unsigned int *) (0x7012)) /* Peripheral Interrupt Request register 2 */
#define PIACKR0 (* (volatile unsigned int *) (0x7014)) /* Peripheral Interrupt Acknowledge register 0 */
#define PIACKR1 (* (volatile unsigned int *) (0x7015)) /* Peripheral Interrupt Acknowledge register 1 */
#define PIACKR2 (* (volatile unsigned int *) (0x7016)) /* Peripheral Interrupt Acknowledge register 2 */

/* External interrupt configuration registers */
#define XINT1CR (* (volatile unsigned int *) (0x7070)) /* External interrupt 1 control register */
#define XINT2CR (* (volatile unsigned int *) (0x7071)) /* External interrupt 2 control register */

/* Digital I/O registers */
#define MCRA (* (volatile unsigned int *) (0x7090)) /* I/O Mux Control Register A */
#define MCRB (* (volatile unsigned int *) (0x7092)) /* I/O Mux Control Register B */
#define MCRC (* (volatile unsigned int *) (0x7094)) /* I/O Mux Control Register C */
#define PADATDIR (* (volatile unsigned int *) (0x7098)) /* I/O port A Data & Direction register */
#define PBDATDIR (* (volatile unsigned int *) (0x709A)) /* I/O port B Data & Direction register */
#define PCDATDIR (* (volatile unsigned int *) (0x709C)) /* I/O port C Data & Direction register */
#define PDDATDIR (* (volatile unsigned int *) (0x709E)) /* I/O port D Data & Direction register */
#define PEDATDIR (* (volatile unsigned int *) (0x7095)) /* I/O port E Data & Direction register */
#define PFDATDIR (* (volatile unsigned int *) (0x7096)) /* I/O port F Data & Direction register */

/* Watchdog (WD) registers */
#define WDCNTR (* (volatile unsigned int *) (0x7023)) /* WD Counter register */
#define WDKEY (* (volatile unsigned int *) (0x7025)) /* WD Key register */
```



```
#define WDCR (* (volatile unsigned int *) (0x7029)) /* WD Control register */

/* ADC registers */
#define ADCTRL1 (* (volatile unsigned int *) (0x70A0)) /* ADC Control register 1 */
#define ADCTRL2 (* (volatile unsigned int *) (0x70A1)) /* ADC Control register 2 */
#define MAXCONV (* (volatile unsigned int *) (0x70A2)) /* Maximum conversion channels register */
#define CHSELSEQ1 (* (volatile unsigned int *) (0x70A3)) /* Channel select Sequencing control register 1 */
#define CHSELSEQ2 (* (volatile unsigned int *) (0x70A4)) /* Channel select Sequencing control register 2 */
#define CHSELSEQ3 (* (volatile unsigned int *) (0x70A5)) /* Channel select Sequencing control register 3 */
#define CHSELSEQ4 (* (volatile unsigned int *) (0x70A6)) /* Channel select Sequencing control register 4 */
#define AUTO_SEQ_SR (* (volatile unsigned int *) (0x70A7)) /* Auto-sequence status register */
#define RESULT0 (* (volatile unsigned int *) (0x70A8)) /* Conversion result buffer register 0 */
#define RESULT1 (* (volatile unsigned int *) (0x70A9)) /* Conversion result buffer register 1 */
#define RESULT2 (* (volatile unsigned int *) (0x70Aa)) /* Conversion result buffer register 2 */
#define RESULT3 (* (volatile unsigned int *) (0x70Ab)) /* Conversion result buffer register 3 */
#define RESULT4 (* (volatile unsigned int *) (0x70Ac)) /* Conversion result buffer register 4 */
#define RESULT5 (* (volatile unsigned int *) (0x70Ad)) /* Conversion result buffer register 5 */
#define RESULT6 (* (volatile unsigned int *) (0x70Ae)) /* Conversion result buffer register 6 */
#define RESULT7 (* (volatile unsigned int *) (0x70Af)) /* Conversion result buffer register 7 */
#define RESULT8 (* (volatile unsigned int *) (0x70B0)) /* Conversion result buffer register 8 */
#define RESULT9 (* (volatile unsigned int *) (0x70B1)) /* Conversion result buffer register 9 */
#define RESULT10 (* (volatile unsigned int *) (0x70B2)) /* Conversion result buffer register 10 */
#define RESULT11 (* (volatile unsigned int *) (0x70B3)) /* Conversion result buffer register 11 */
#define RESULT12 (* (volatile unsigned int *) (0x70B4)) /* Conversion result buffer register 12 */
#define RESULT13 (* (volatile unsigned int *) (0x70B5)) /* Conversion result buffer register 13 */
#define RESULT14 (* (volatile unsigned int *) (0x70B6)) /* Conversion result buffer register 14 */
#define RESULT15 (* (volatile unsigned int *) (0x70B7)) /* Conversion result buffer register 15 */
#define CALIBRATION (* (volatile unsigned int *) (0x70B8)) /* Calib result, used to correct
/* subsequent conversions */

/* SPI registers */
#define SPICCR (* (volatile unsigned int *) (0x7040)) /* SPI Config Control register */
#define SPICTL (* (volatile unsigned int *) (0x7041)) /* SPI Operation Control register */
#define SPISTS (* (volatile unsigned int *) (0x7042)) /* SPI Status register */
#define SPIBRR (* (volatile unsigned int *) (0x7044)) /* SPI Baud rate control register */
#define SPIRXEMU (* (volatile unsigned int *) (0x7046)) /* SPI Emulation buffer register */
#define SPIRXBUF (* (volatile unsigned int *) (0x7047)) /* SPI Serial receive buffer register */
#define SPITXBUF (* (volatile unsigned int *) (0x7048)) /* SPI Serial transmit buffer register */
#define SPIDAT (* (volatile unsigned int *) (0x7049)) /* SPI Serial data register */
#define SPIPRI (* (volatile unsigned int *) (0x704F)) /* SPI Priority control register */

/* SCI registers */
#define SCICCR (* (volatile unsigned int *) (0x7050)) /* SCI Communication control register */
#define SCICTL1 (* (volatile unsigned int *) (0x7051)) /* SCI Control register 1 */
#define SCIHBAUD (* (volatile unsigned int *) (0x7052)) /* SCI Baud Rate MS byte register */
#define SCILBAUD (* (volatile unsigned int *) (0x7053)) /* SCI Baud Rate LS byte register */
#define SCICTL2 (* (volatile unsigned int *) (0x7054)) /* SCI Control register 2 */
#define SCIRXST (* (volatile unsigned int *) (0x7055)) /* SCI Receiver Status register */
#define SCIRXEMU (* (volatile unsigned int *) (0x7056)) /* SCI Emulation Data Buffer register */
#define SCIRXBUF (* (volatile unsigned int *) (0x7057)) /* SCI Receiver Data buffer register */
#define SCITXBUF (* (volatile unsigned int *) (0x7059)) /* SCI Transmit Data buffer register */
#define SCIPRI (* (volatile unsigned int *) (0x705F)) /* SCI Priority control register */

/* Event Manager A (EVA) registers */
#define GPTCONA (* (volatile unsigned int *) (0x7400)) /* GP Timer control register A */
#define TICNT (* (volatile unsigned int *) (0x7401)) /* GP Timer 1 counter register */
#define TICMPR (* (volatile unsigned int *) (0x7402)) /* GP Timer 1 compare register */
#define T1PR (* (volatile unsigned int *) (0x7403)) /* GP Timer 1 period register */
#define T1CON (* (volatile unsigned int *) (0x7404)) /* GP Timer 1 control register */
#define T2CNT (* (volatile unsigned int *) (0x7405)) /* GP Timer 2 counter register */
#define T2CMPR (* (volatile unsigned int *) (0x7406)) /* GP Timer 2 compare register */
#define T2PR (* (volatile unsigned int *) (0x7407)) /* GP Timer 2 period register */
#define T2CON (* (volatile unsigned int *) (0x7408)) /* GP Timer 2 control register */
#define COMCONA (* (volatile unsigned int *) (0x7411)) /* Compare control register A */
#define ACTRA (* (volatile unsigned int *) (0x7413)) /* Full compare Action control register A */
#define DBTCONA (* (volatile unsigned int *) (0x7415)) /* Dead-band timer control register A */
#define CMPR1 (* (volatile unsigned int *) (0x7417)) /* Full compare unit compare register1 */
#define CMPR2 (* (volatile unsigned int *) (0x7418)) /* Full compare unit compare register2 */
#define CMPR3 (* (volatile unsigned int *) (0x7419)) /* Full compare unit compare register3 */
#define CAPCONA (* (volatile unsigned int *) (0x7420)) /* Capture control register A */
#define CAPFIFO (* (volatile unsigned int *) (0x7422)) /* Capture FIFO status register A */
#define CAP1FIFO (* (volatile unsigned int *) (0x7423)) /* Capture Channel 1 FIFO Top */
#define CAP2FIFO (* (volatile unsigned int *) (0x7424)) /* Capture Channel 2 FIFO Top */
#define CAP3FIFO (* (volatile unsigned int *) (0x7425)) /* Capture Channel 3 FIFO Top */
#define CAP1FBOT (* (volatile unsigned int *) (0x7427)) /* Bottom reg. of capture FIFO stack 1 */
#define CAP2FBOT (* (volatile unsigned int *) (0x7428)) /* Bottom reg. of capture FIFO stack 2 */
```




```
#define CAP3FBOT (* (volatile unsigned int *) (0x7429)) /* Bottom reg. of capture FIFO stack 3 */
#define EVAIMRA (* (volatile unsigned int *) (0x742C)) /* Group A Interrupt Mask Register */
#define EVAIMRB (* (volatile unsigned int *) (0x742D)) /* Group B Interrupt Mask Register */
#define EVAIMRC (* (volatile unsigned int *) (0x742E)) /* Group C Interrupt Mask Register */
#define EVAIFRA (* (volatile unsigned int *) (0x742F)) /* Group A Interrupt Flag Register */
#define EVAIFRB (* (volatile unsigned int *) (0x7430)) /* Group B Interrupt Flag Register */
#define EVAIFRC (* (volatile unsigned int *) (0x7431)) /* Group C Interrupt Flag Register */

/* Event Manager B (EVB) registers */
#define GPTCONB (* (volatile unsigned int *) (0x7500)) /* GP Timer control register B */
#define T3CNT (* (volatile unsigned int *) (0x7501)) /* GP Timer 3 counter register */
#define T3CMPR (* (volatile unsigned int *) (0x7502)) /* GP Timer 3 compare register */
#define T3PR (* (volatile unsigned int *) (0x7503)) /* GP Timer 3 period register */
#define T3CON (* (volatile unsigned int *) (0x7504)) /* GP Timer 3 control register */
#define T4CNT (* (volatile unsigned int *) (0x7505)) /* GP Timer 4 counter register */
#define T4CMPR (* (volatile unsigned int *) (0x7506)) /* GP Timer 4 compare register */
#define T4PR (* (volatile unsigned int *) (0x7507)) /* GP Timer 4 period register */
#define T4CON (* (volatile unsigned int *) (0x7508)) /* GP Timer 4 control register */
#define COMCONB (* (volatile unsigned int *) (0x7511)) /* Compare control register B */
#define ACTRB (* (volatile unsigned int *) (0x7513)) /* Full compare Action control register B */
#define DBTCONB (* (volatile unsigned int *) (0x7515)) /* Dead-band timer control register B */
#define CMPR4 (* (volatile unsigned int *) (0x7517)) /* Full compare unit compare register4 */
#define CMPR5 (* (volatile unsigned int *) (0x7518)) /* Full compare unit compare register5 */
#define CMPR6 (* (volatile unsigned int *) (0x7519)) /* Full compare unit compare register6 */
#define CAPCONB (* (volatile unsigned int *) (0x7520)) /* Capture control register B */
#define CAPFIFOB (* (volatile unsigned int *) (0x7522)) /* Capture FIFO status register B */
#define CAP4FIFO (* (volatile unsigned int *) (0x7523)) /* Capture Channel 4 FIFO Top */
#define CAP5FIFO (* (volatile unsigned int *) (0x7524)) /* Capture Channel 5 FIFO Top */
#define CAP6FIFO (* (volatile unsigned int *) (0x7525)) /* Capture Channel 6 FIFO Top */
#define CAP4FBOT (* (volatile unsigned int *) (0x7527)) /* Bottom reg. of capture FIFO stack 4 */
#define CAP5FBOT (* (volatile unsigned int *) (0x7527)) /* Bottom reg. of capture FIFO stack 5 */
#define CAP6FBOT (* (volatile unsigned int *) (0x7527)) /* Bottom reg. of capture FIFO stack 6 */
#define EVBIMRA (* (volatile unsigned int *) (0x752C)) /* Group A Interrupt Mask Register */
#define EVBIMRB (* (volatile unsigned int *) (0x752D)) /* Group B Interrupt Mask Register */
#define EVBIMRC (* (volatile unsigned int *) (0x752E)) /* Group C Interrupt Mask Register */
#define EVBIFRA (* (volatile unsigned int *) (0x752F)) /* Group A Interrupt Flag Register */
#define EVBIFRB (* (volatile unsigned int *) (0x7530)) /* Group B Interrupt Flag Register */
#define EVBIFRC (* (volatile unsigned int *) (0x7531)) /* Group C Interrupt Flag Register */

/* CAN registers */
#define CANMDER (* (volatile unsigned int *) (0x7100)) /* CAN Mailbox Direction/Enable register */
#define CANTCR (* (volatile unsigned int *) (0x7101)) /* CAN Transmission Control register */
#define CANRCR (* (volatile unsigned int *) (0x7102)) /* CAN Recieve Control register */
#define CANMCR (* (volatile unsigned int *) (0x7103)) /* CAN Master Control register */
#define CANBCR2 (* (volatile unsigned int *) (0x7104)) /* CAN Bit Config register 2 */
#define CANBCR1 (* (volatile unsigned int *) (0x7105)) /* CAN Bit Config register 1 */
#define CANESR (* (volatile unsigned int *) (0x7106)) /* CAN Error Status register */
#define CANGSR (* (volatile unsigned int *) (0x7107)) /* CAN Global Status register */
#define CANCEC (* (volatile unsigned int *) (0x7108)) /* CAN Trans and Rcv Err counters */
#define CANIFR (* (volatile unsigned int *) (0x7109)) /* CAN Interrupt Flag Register */
#define CANIMR (* (volatile unsigned int *) (0x710a)) /* CAN Interrupt Mask Register */
#define CANLAM0H (* (volatile unsigned int *) (0x710b)) /* CAN Local Acceptance Mask MBX0/1 */
#define CANLAM0L (* (volatile unsigned int *) (0x710c)) /* CAN Local Acceptance Mask MBX0/1 */
#define CANLAM1H (* (volatile unsigned int *) (0x710d)) /* CAN Local Acceptance Mask MBX2/3 */
#define CANLAM1L (* (volatile unsigned int *) (0x710e)) /* CAN Local Acceptance Mask MBX2/3 */
#define CANMSGID0L (* (volatile unsigned int *) (0x7200)) /* CAN Message ID for mailbox 0 (lower 16 bits) */
#define CANMSGID0H (* (volatile unsigned int *) (0x7201)) /* CAN Message ID for mailbox 0 (upper 16 bits) */
#define CANMSGCTRL0 (* (volatile unsigned int *) (0x7202)) /* CAN RTR and DLC */
#define CANMBX0A (* (volatile unsigned int *) (0x7204)) /* CAN 2 of 8 bytes of Mailbox 0 */
#define CANMBX0B (* (volatile unsigned int *) (0x7205)) /* CAN 2 of 8 bytes of Mailbox 0 */
#define CANMBX0C (* (volatile unsigned int *) (0x7206)) /* CAN 2 of 8 bytes of Mailbox 0 */
#define CANMBX0D (* (volatile unsigned int *) (0x7207)) /* CAN 2 of 8 bytes of Mailbox 0 */
#define CANMSGID1L (* (volatile unsigned int *) (0x7208)) /* CAN Message ID for mailbox 1 (lower 16 bits) */
#define CANMSGID1H (* (volatile unsigned int *) (0x7209)) /* CAN Message ID for mailbox 1 (upper 16 bits) */
#define CANMSGCTRL1 (* (volatile unsigned int *) (0x720A)) /* CAN RTR and DLC */
#define CANMBX1A (* (volatile unsigned int *) (0x720C)) /* CAN 2 of 8 bytes of Mailbox 1 */
#define CANMBX1B (* (volatile unsigned int *) (0x720D)) /* CAN 2 of 8 bytes of Mailbox 1 */
#define CANMBX1C (* (volatile unsigned int *) (0x720E)) /* CAN 2 of 8 bytes of Mailbox 1 */
#define CANMBX1D (* (volatile unsigned int *) (0x720F)) /* CAN 2 of 8 bytes of Mailbox 1 */
#define CANMSGID2L (* (volatile unsigned int *) (0x7210)) /* CAN Message ID for mailbox 2 (lower 16 bits) */
#define CANMSGID2H (* (volatile unsigned int *) (0x7211)) /* CAN Message ID for mailbox 2 (upper 16 bits) */
#define CANMSGCTRL2 (* (volatile unsigned int *) (0x7212)) /* CAN RTR and DLC */
#define CANMBX2A (* (volatile unsigned int *) (0x7214)) /* CAN 2 of 8 bytes of Mailbox 2 */
#define CANMBX2B (* (volatile unsigned int *) (0x7215)) /* CAN 2 of 8 bytes of Mailbox 2 */
#define CANMBX2C (* (volatile unsigned int *) (0x7216)) /* CAN 2 of 8 bytes of Mailbox 2 */
#define CANMBX2D (* (volatile unsigned int *) (0x7217)) /* CAN 2 of 8 bytes of Mailbox 2 */
```



```
#define CANMSGID3L (* (volatile unsigned int *) (0x7218)) /* CAN Message ID for mailbox 3 (lower 16 bits) */
#define CANMSGID3H (* (volatile unsigned int *) (0x7219)) /* CAN Message ID for mailbox 3 (upper 16 bits) */
#define CANMSGCTRL3 (* (volatile unsigned int *) (0x721A)) /* CAN RTR and DLC */
#define CANMBX3A (* (volatile unsigned int *) (0x721C)) /* CAN 2 of 8 bytes of Mailbox 3 */
#define CANMBX3B (* (volatile unsigned int *) (0x721D)) /* CAN 2 of 8 bytes of Mailbox 3 */
#define CANMBX3C (* (volatile unsigned int *) (0x721E)) /* CAN 2 of 8 bytes of Mailbox 3 */
#define CANMBX3D (* (volatile unsigned int *) (0x721F)) /* CAN 2 of 8 bytes of Mailbox 3 */
#define CANMSGID4L (* (volatile unsigned int *) (0x7220)) /* CAN Message ID for mailbox 4 (lower 16 bits) */
#define CANMSGID4H (* (volatile unsigned int *) (0x7221)) /* CAN Message ID for mailbox 4 (upper 16 bits) */
#define CANMSGCTRL4 (* (volatile unsigned int *) (0x7222)) /* CAN RTR and DLC */
#define CANMBX4A (* (volatile unsigned int *) (0x7224)) /* CAN 2 of 8 bytes of Mailbox 4 */
#define CANMBX4B (* (volatile unsigned int *) (0x7225)) /* CAN 2 of 8 bytes of Mailbox 4 */
#define CANMBX4C (* (volatile unsigned int *) (0x7226)) /* CAN 2 of 8 bytes of Mailbox 4 */
#define CANMBX4D (* (volatile unsigned int *) (0x7227)) /* CAN 2 of 8 bytes of Mailbox 4 */
#define CANMSGID5L (* (volatile unsigned int *) (0x7228)) /* CAN Message ID for mailbox 5 (lower 16 bits) */
#define CANMSGID5H (* (volatile unsigned int *) (0x7229)) /* CAN Message ID for mailbox 5 (upper 16 bits) */
#define CANMSGCTRL5 (* (volatile unsigned int *) (0x722A)) /* CAN RTR and DLC */
#define CANMBX5A (* (volatile unsigned int *) (0x722C)) /* CAN 2 of 8 bytes of Mailbox 5 */
#define CANMBX5B (* (volatile unsigned int *) (0x722D)) /* CAN 2 of 8 bytes of Mailbox 5 */
#define CANMBX5C (* (volatile unsigned int *) (0x722E)) /* CAN 2 of 8 bytes of Mailbox 5 */
#define CANMBX5D (* (volatile unsigned int *) (0x722F)) /* CAN 2 of 8 bytes of Mailbox 5 */
```

/* I/O space mapped registers */

```
volatile ioport unsigned portFFFF;
#define WSGR portFFFF /* Wait State Generator Register */
volatile ioport unsigned portFF0F;
#define FCMR portFF0F /* Flash Control Mode Register */
```

```
/* ***** */
/* ***** */
/* ***** */
```

Archivo “Serie.h”

En este fichero se recogen todas las variables y funciones necesarias para la rutina del puerto serie. El código es el siguiente:

```
/* ***** */
/* ***** Serie.h ***** */
/* ***** */
#define RXRDY 0x0040
#define TXRDY 0x0080
#define FE 0x0010
#define OE 0x0008
#define PE 0x0004

#define DATA_READY (SCIRXST & RXRDY)
#define FRAMING_ERROR (SCIRXST & FE)
#define OVERRUN_ERROR (SCIRXST & OE)
#define PARITY_ERROR (SCIRXST & PE)
#define TRANSMITTER_READY (SCICTL2 & TXRDY)

void mandaerror(void);
void escVdcref(void);
void leeVdc(void);
void enviarcar(unsigned int);
void escPIten(void);
void escPIint(void);
void escDatos(void);
void reset_tot(void);
void manda_trama(void);
void Epotencia(int);
void Saturalnt(void);
void SaturalT(void);
void Reactiva(void);
void lee_w(void);
void esc_wref(void);
void escPIw(void);
void Saturaw(void);
void escPIintd(void);
void Saturad(void);
```



```
void Envia(unsigned int,unsigned int);
/* ***** */
/* ***** */
/* ***** */
```

Archivo “flash.cmd”

En este fichero se recogen todos los comandos que se utilizan en el linkaje, la distribución de la memoria del TMS320F243 y las secciones. El código es el siguiente:

```
/* ***** */
/* ***** Flash.cmd ***** */
/* ***** LINKER COMMAND FILE - MEMORY SPECIFICATION for LF2407 ***** */
/* ***** */
/* ***** LINKER DIRECTIVES ***** */
/* ***** */
```

-m gpio.map

```
/* ***** */
/* ***** MEMORY ALLOCATION ***** */
/* ***** */
```

MEMORY

{
/* PAGE 0: Memoria de programas */

PAGE 0:	FLASH	: origin = 0x0440,length = 0x7BC0	/* on-chip Flash */
	VEC_FL	: origin = 0x0000,length = 0x0040	/* VECTORES ORIGINALES */
	SRAM0	: origin = 0x8000,length = 0x07FF	/* Puede ser Int oExt */
	ARRANQUE	: origin = 0x0040,length = 0x0400	/* ZONA PARA EL ARRANQUE */
	VEC_RAM	: origin = 0x8C00,length = 0x0040	/* COPIA DE VECTORES EN RAM */
	PM_F	: origin = 0x8C40,length = 0x71BF	/* external PM free */
	B0PM_F	: origin = 0xFE00,length = 0x0100	/* B0 PM free */

/* PAGE 1: Memoria de datos */

PAGE 1:	REGS	: origin = 0x0000,length = 0x005F	/* memory-mapped regs. */
	INTVEC	: origin = 0x0060,length = 0x0020	/* DM B2 */
	B0DM_F	: origin = 0x0200,length = 0x0100	/* DM B0 free */
	B1DM_F	: origin = 0x0300,length = 0x0100	/* DM B1 free */
	SRAM1	: origin = 0x0800,length = 0x0800	/* Puede se Int o Ext */
	PERDM_F	: origin = 0x7000,length = 0x1000	/* Registros y periféricos */
	STCK	: origin = 0x8000,length = 0x0500	/* HUECO PARA LA PILA */
	DM_F	: origin = 0x8500,length = 0x84FF	/* external DM free */

SECTIONS

```
{
  .vecints { } > VEC_FL PAGE 0
  arranque: { rts2xx.lib (.text) } > ARRANQUE PAGE 0
  .text: { } > FLASH PAGE 0
  .cinit: { } > FLASH PAGE 0
  .switch: { } > FLASH PAGE 0
  .const: { } > FLASH PAGE 0
  .data: { } > FLASH PAGE 0
  .bss: { } > DM_F PAGE 1
  .systemem { } > DM_F PAGE 1
  .stack: { } > STCK PAGE 1
}
```

```
/* ***** */
/* ***** */
/* ***** */
```



Programa principal → Archivo “Nefla2.c”

Se encarga de:

- Inicializar todas las variables y registros para el perfecto funcionamiento del sistema.
- Activar y configurar las interrupciones que se van a utilizar.
- Realizar las maniobras necesarias para el arranque del sistema.
- Analizar si se producen fallos y actuar en consecuencia.
- Atender la rutina del puerto serie.

Función “Inicialización”:

Esta función se encarga de realizar las siguientes tareas:

- Inicialización de las variables para el control.
- Inicialización de los registros del DSP
 - Borrado de todas las interrupciones.
 - Watch-dog.
 - Puerto Serie.
 - Puertos de I/O.
 - Configuración de los registros asociados a las interrupciones.
 - Timer1, Timer3 y Timer4.
 - Módulo de Space-Vector.
- Tipo de Motor que se va a controlar: Inducción ó Síncrono.
- Inicialización de la tabla de senos.
- Inicialización de las variables necesarias para el cálculo de la velocidad.
- Maniobras de encendido de la bancada de GTE.
- Habilidad de las interrupciones y activación del Timer1



• Diagrama de flujo

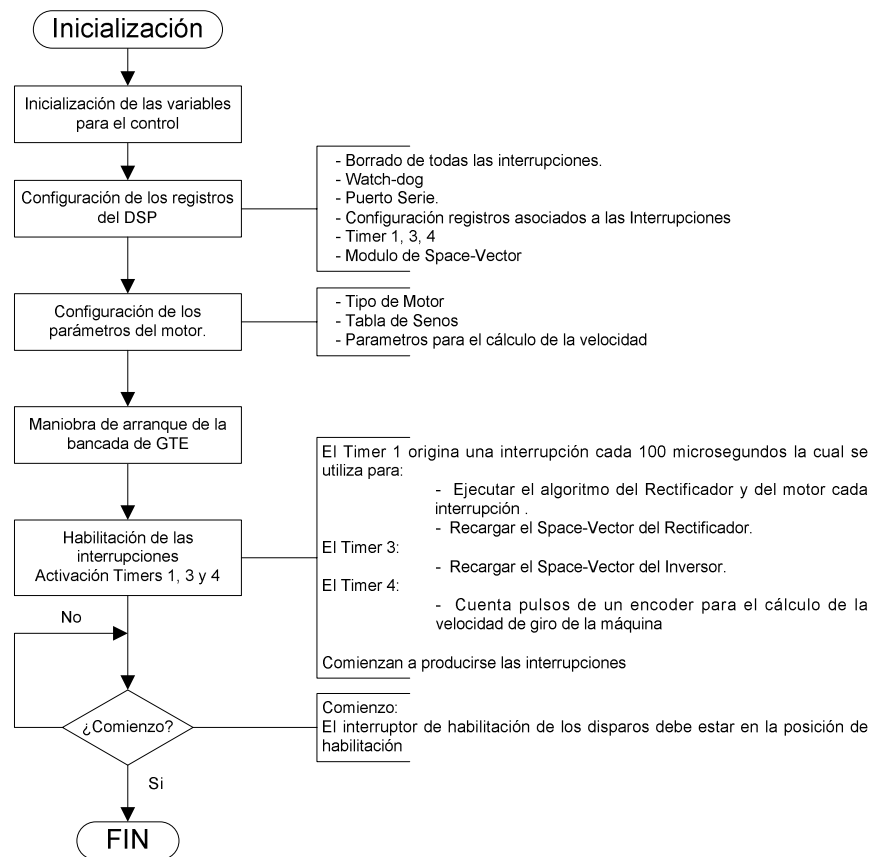


Figura 64. Función de Inicialización.

• Código

```
/* Arreglar la PDPINT */
PIRQR0=0x0000;
EVAIFRA=0x0001;

/* Deshabilita las interrupciones */
asm(" SETC INTM");

/* Watchdog dissable ON */
WDCR=0x0068;

/* Estados de espera */
WSGR=0x0600;

/* 0 estados de espera I/O, P, D */
/* Habilita bus de datos y direcciones al exterior */

/* Habilitación de módulos */
SCSR1=0x00CC;

/* Puerto Serie */
/* ADC */
/* SPV EVA */
/* SPV EVB */

/* Configurar el ADC */
ADCTRL1=0x4000;
ADCTRL1=0x3010;

/* RESET al ADC total */
/* Modo de Funcionamiento: Free run y Modo cascada Prescaler=0 */

/* Overflow-> valor máximo */
asm(" SETC OVM");

/* Configuración de los puertos */
```



```
M CRA=0x0FC3; /* Multiplexor A: Puerto serie, Salida PWM, Puerto A y B */
M CRB=0x0000;
M CRC=0x01FE;
P ADATDIR=0x0000;
P BDATDIR=0x0000; /* El bit 6 -> Señal de entrada de paso por cero del encoder */
P CDATDIR=0x0000;
P DDATDIR=0x0000;
P EDATDIR=0x0000;
P FDATDIR=0x3C30; /* Contactores bit 2 y 3 */

/* Tabla de senos */
for(i=0;i<1024;i++)
{
    sen[i]=auxiliar[i];
    sen[1024+i]=-auxiliar[i]; /* seno de 2048 */
}

/* Inicialización de las variables */
k=33;
p=0;
Tm=TM;
Vdcref=754; /* 650 V */
cfi=2048;
sfi=0;
tgfi=0;
Arranque=0;

temporizador=0;

Motor=INDUCCION;

/* Variables para el cálculo de la velocidad del motor */
teta=0;
we_ant=0;

/* Constantes de medida de velocidad */
N5=62500; /* 10^6/(16*m) */
N5/=m;
N4=N5*2; /* 10^6/(8*m) */
N3=N4*2; /* 10^6/(4*m) */
N2=N3*2; /* 10^6/(2*m) */
N1=N2*2; /* 10^6/(1*m) */

N_1=164; /* 10^4/(4*m*N1) <-> w_encoder=pulsos*N_1 */
N_2=328;
N_3=655;
N_4=1311;
N_5=2621;

M_0=1; /* 10^4/4/m -> Hay que cambiarlo para diferentes m */

/* Constantes de los PI's */
Kp=KP;
Ki=0;
Kp1=KP1;
Ki1=0;

SumVdc=0;
Sumwp=0;
Sumwq=0;
difVdc=0;
difwp=0;
difwq=0;

Kpw=KPW;
Kiw=0;
Kpd=KPD;
Kid=0;
Kpq=KPQ;
Kiq=0;
```



```
SatwpP = 320000;
SatwpN =-320000;
SatwqP = 320000;
SatwqN =-320000;
SatSP = 144000;
SatSN =-160000;

SatPI_wP= 61440000; /*30000 * 2048*/
SatPI_wN=-61440000;

SatPI_IdP=3840000; /*15.000....(*256)*/
SatPI_IdN=-3840000;
SatPI_IqP=3840000;
SatPI_IqN=-3840000;

/* Parámetro de deslizamiento */

if( Motor==SINCRONO)
{
    Idd_ref=0;
    des=0;
    Encoder=Reset;
    PpC=(PCDATDIR & 0x0040);
    PpC_ant=PpC;
}
else
{
    Idd_ref= 7854; /* Intensidad d 12A...15709*/
    aux= 2996159;
    aux/=Idd_ref;
    des=aux;
}

/* Velocidad mecánica de referencia inicial (Hzmec*128)*/
w_ref=2000;

/* Configuración del puerto serie */

SCICCR=0x0007;
SCICTL1=0x0003;
SCICTL2=0x0000;
SCIHBAUD=0x0001; /* Así está bien */
SCILBAUD=0x0086;
SCICTL1=0x0023;

/* Proteccion de botón */
while ((PCDATDIR&0x0010)!=0x0010)
{
    asm(" NOP");
}

/* Máscara de interrupción CPU */
IMR=0x0002; /* Máscara de interrupción de la CPU */
IFR=0xFFFF;

/* *****
/* ***** Maniobra de encendido de la bancada de GTE. Carga de los condensadores ***** */
/* *****

/* Configuramos el ADC */
MAXCONV=0x0000; /* 1 conversion */
CHSELSEQ1=0x0006; /* Secuencia de conversión: Canal 6 */
CHSELSEQ2=0x0000;
CHSELSEQ3=0x0000;
CHSELSEQ4=0x0000;

ADCTRL2=0x4000; /* Reset del sequencer: ir al CONV00 y limpiar interr. */
ADCTRL2=0x2000; /* Inicio de conversión (SOC) */

asm(" NOP");
```



```
asm(" NOP");
asm(" NOP");
asm(" NOP");

while((ADCTRL2&0x1000)==0x1000) /* Espera mientras convierte */
{
    asm(" NOP");
}
Vdc=RESULT0>>6; /* Resultado Canal_6 */

while (Vdc<=520) /* Vdc=500V */
{
    ADCTRL2=0x4000; /* Reset del sequencer: ir al CONV00 y limpiar interr. */
    ADCTRL2=0x2000; /* Inicio de conversión (SOC) */

    asm(" NOP");
    asm(" NOP");
    asm(" NOP");

    PFDATDIR=0x3C38; /* CONT2 activado -> cargando el condensador */
                    /* Puente monofásico */

    while((ADCTRL2&0x1000)==0x1000) /* Espera mientras convierte */
    {
        asm(" NOP");
    }
    Vdc=RESULT0>>6; /* Resultado Canal_6 */
}

PFDATDIR=0x3C30; /* Se desactiva contactores*/
asm(" NOP");
asm(" NOP");
asm(" NOP");
asm(" NOP");

PFDATDIR=0x3C34;
asm(" NOP"); /* Se activa CONT1 y se posibilita el boton de */
asm(" NOP"); /* marcha. DSP-READY */

/* *****
/* ***** Fin de la maniobra de encendido de la bancada de GTE. Carga de los condensadores *****
/* *****

/* Inicialización del Timer1 para el módulo SPV */

/* EVA */
EVAIMRA=0x0200; /* Se permite la interrupción por underflow del Timer 1 */
EVAIFRA=0xFFFF;
EVAIFRB=0xFFFF;
EVAIFRC=0xFFFF;

DBTCONA=0x09F0; /* Hay que mirarlo -> es mucho tiempo */

COMCONA=0x9200; /* Se escribe 1 en el bit 15, bit 12 y bit 9 Activamos SPV */
/* CMPRX reload condition -> T1CNT = 0 */
ACTRA=0x0666; /* Dirección positiva y 0 0 0 */

T1CON=0x0800; /* Timer 1 Continuos up/down counter */
T1PR=Tm; /* Se escribe un cero en el bit 12 y un 1 en el bit 11 */
/* Se carga el periodo del timer 1 -> TM/2 */

/* EVB */
EVBIMRA=0x0000;
EVBIFRA=0xFFFF;
EVBIFRB=0xFFFF;
EVBIFRC=0xFFFF;

DBTCONB=0x09F0; /* Hay que mirarlo -> es mucho tiempo */
COMCONB=0x9200; /* CMP,SPV on// Salida enable (bit9) */
/* CMPRX reload condition -> T3CNT = 0 */
ACTRB=0x0666; /* Dirección positiva */
```




```
T3CON=0x0800; /* Timer 2 Continuos up/down counter */
T3PR=Tm; /* Se carga el periodo del timer 2 */

T4CON=0xF830; /* Timer 4 Directional up/down counter, QEP clk source */
T4CNT=0x0000; /* Valor inicial del Timer */
T4PR=0xFFFF; /* Periodo de recarga del T4CNT */

CAPCONB=0x8000; /* Deshabilitar el QEP */
CAPCONB=0x0000; /* Reset del QEP */
CAPCONB=0xE000; /* Habilitación del QEP */

/* Valor inicial para la tensión de Condensadores */

ADCTRL2=0x4000; /* Reset del sequencer: ir al CONV00 y limpiar interr. */
ADCTRL2=0x2000; /* Inicio de conversión (SOC) */
asm(" NOP");
asm(" NOP");
asm(" NOP");
asm(" NOP");

while((ADCTRL2&0x1000)==0x1000) /* Espera mientras convierte */
{
    asm(" NOP");
}
Vdc=RESULT0>>6; /* Resultado Canal_0 */
Vdc-=0x0007;
Vdc_ant=Vdc;
Vdc_f_ant=Vdc;
Vdc_f=Vdc;

asm(" NOP");
asm(" NOP");
asm(" NOP");

/* Configuración del ADC para el algoritmo */
MAXCONV=0x0007; /* 8 conversiones. Realmente son 7 pero un canal esta estropeado en la */
/* placa del 2407 */
CHSELSEQ1=0x3210; /* Secuencia de conversión: Canal 0,1,2,3,4,5,6,7 */
CHSELSEQ2=0x7654; /* El canal 2 está jodido-> 7 */
CHSELSEQ3=0x0000;
CHSELSEQ4=0x0000;

/* Activamos los Timers */

asm(" CLRC INTM");

Arranque=1;
T3CON|=0x0040;
T1CON|=0x0040;
T4CON|=0x0040;

/* Bucle de espera de la señal de funcionamiento. Se utiliza la señal de /OE del Transceiver. Se activa ademas el puerto serie */

while ((PCDATDIR&0x0010)==0x0010)
{
    /* ***** P. Serie ***** */

    if(DATA_READY)
    {
        car=SCIRXBUF;
        switch(contador)
        {
            case 0:
                if((car & 0x00FF)==0x00A0)
                {
                    contador++;
                }
                else
                {
                    contador=0;
                    contrama=0;
                }
            }
        }
    }
}
```



```
    }
    break;
case 1:
    if((car & 0x00F0)==0x0000)
    {
        aux_dat=car & 0x000F;
        check=aux_dat;
        inst=aux_dat<<4;
        contador++;
    }
    else
    {
        contador=0;
        contrama=0;
    }
    break;
case 2:
    if((car & 0x00F0)==0x0010)
    {
        aux_dat=car & 0x000F;
        check+=aux_dat;
        inst+=aux_dat;
        contador++;
    }
    else
    {
        contador=0;
        contrama=0;
    }
    break;
case 3:
    switch(car & 0x00F0)
    {
        case 0:
            aux_dat=car & 0x000F;
            check+=aux_dat;
            trama[contrama]=aux_dat<<12;
            contador++;
            break;
        case 0x0040:
            aux_dat=car & 0x000F;
            checksum=aux_dat<<12;
            contador=7;
            break;
        default:
            contador=0;
            contrama=0;
    }
    break;
case 4:
    if((car & 0x00F0)==0x0010)
    {
        aux_dat=car & 0x000F;
        check+=aux_dat;
        trama[contrama]+=aux_dat<<8;
        contador++;
    }
    else
    {
        contador=0;
        contrama=0;
    }
    break;
case 5:
    if((car & 0x00F0)==0x0020)
    {
        aux_dat=car & 0x000F;
        check+=aux_dat;
        trama[contrama]+=aux_dat<<4;
        contador++;
    }
    else
    {
        contador=0;
        contrama=0;
    }

```



```
    }
    break;
case 6:
    if((car & 0x00F0)==0x0030)
    {
        aux_dat=car & 0x000F;
        check+=aux_dat;
        trama[conrama]+=aux_dat;
        contador=3;
        conrama++;
    }
    else
    {
        contador=0;
        conrama=0;
    }
    break;
case 7:
    if((car & 0x00F0)==0x0050)
    {
        aux_dat=car & 0x000F;
        checksum+=aux_dat<<8;
        contador++;
    }
    else
    {
        contador=0;
        conrama=0;
    }
    break;
case 8:
    if((car & 0x00F0)==0x0060)
    {
        aux_dat=car & 0x000F;
        checksum+=aux_dat<<4;
        contador++;
    }
    else
    {
        contador=0;
        conrama=0;
    }
    break;
case 9:
    if((car & 0x00F0)==0x0070)
    {
        aux_dat=car & 0x000F;
        checksum+=aux_dat;
        contador++;
        if(check!=checksum)
        {
            contador=0;
            conrama=0;
        }
    }
    else
    {
        contador=0;
        conrama=0;
    }
    break;
case 10:
    if((car & 0x00F0)==0x0090)
    {
        switch(inst)
        {
            case 0:
                leeVdc();
                break;
            case 1:
                escVdcref();
                break;
            case 2:
                escPIten();
                break;
            case 3:
```



```
        escPInt();
        break;
    case 5:
        escDatos();
        break;
    case 6:
        reset_tot();
        break;
    case 7:
        manda_trama();
        reak;
    case 14:
        Reactiva();
        break;
    case 15:
        Saturat();
        break;
    case 16:
        SaturatInt();
        break;
    case 19:
        lee_w();
        break;
    case 20:
        esc_wref();
        break;
    case 21:
        escPIw();
        break;
    case 22:
        Saturaw();
        break;
    case 23:
        escPIintd();
        break;
    case 24:
        Saturad();
        break;

    default:
        mandaerror();
    }
    }
    contador=0;
    con trama=0;
    break;
default:
    contador=0;
    con trama=0;
}
else
{
    if((PARITY_ERROR) || (FRAMING_ERROR) || (OVERRUN_ERROR))
    {
        car=SCIRXBUF;
        SCICTL1=0x0003;
        SCICTL1=0x0023;
    }
}
}

Ki=KI;
Ki1=KI1;

Kiw=KIW;
Kid=KID;
Kiq=KIQ;

for(j=0;j<200;j++)
{
```



```
for(i=0;i<5000;i++)  
{  
asm(" NOP");  
asm(" NOP");  
}  
}  
  
boton=rojo;
```

```
/* Resetea el puerto serie */
```

```
SCICTL1=0x0003;  
SCICTL1=0x0023;
```

```
/* Resetear el puerto serie -> posible Error */
```

```
/* Recargar el puerto serie */
```

Función “Algoritmo”:

Esta función se encarga por completo del algoritmo de control. Está asociada a la interrupción del Timer1, y realiza las siguientes funciones:

- Conversión y lectura de las variables requeridas para el control.
- Algoritmo de control del Rectificador.
 - Cálculo del vector de tensión de referencia.
 - Cálculo de los tiempos.
 - Recarga del módulo de Space vector
- Algoritmo de control del Inversor.
 - Control Vectorial de la máquina.
 - Cálculo del vector de tensión de referencia.
 - Cálculo de los tiempos.
 - Recarga del módulo de Space vector.



• Diagrama de Bloques:

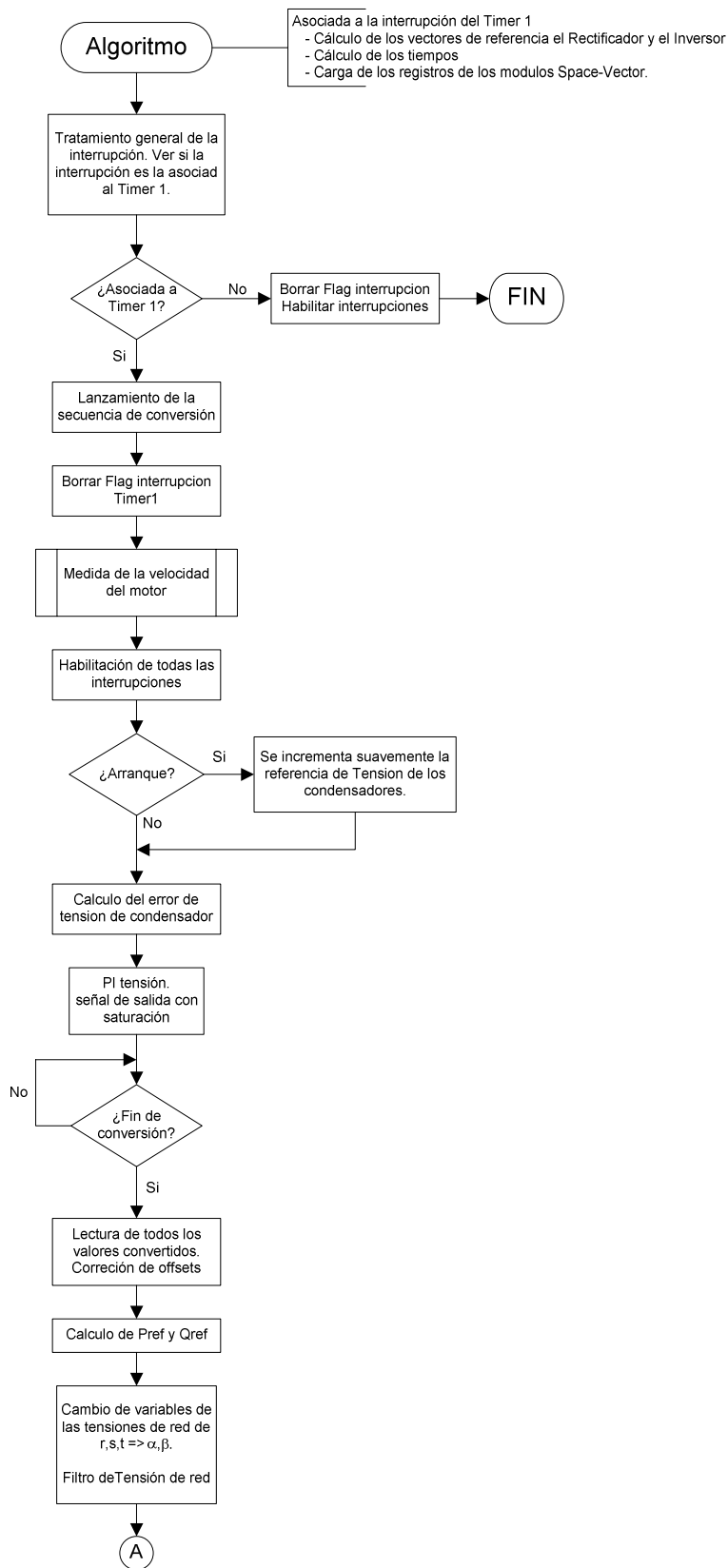


Figura 65. Algoritmo 1ª parte

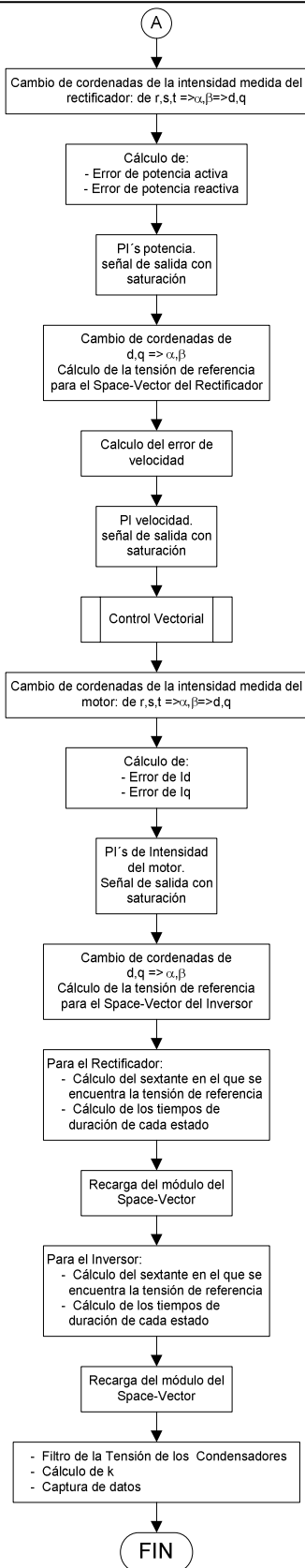


Figura 66. Algoritmo 2ª parte.

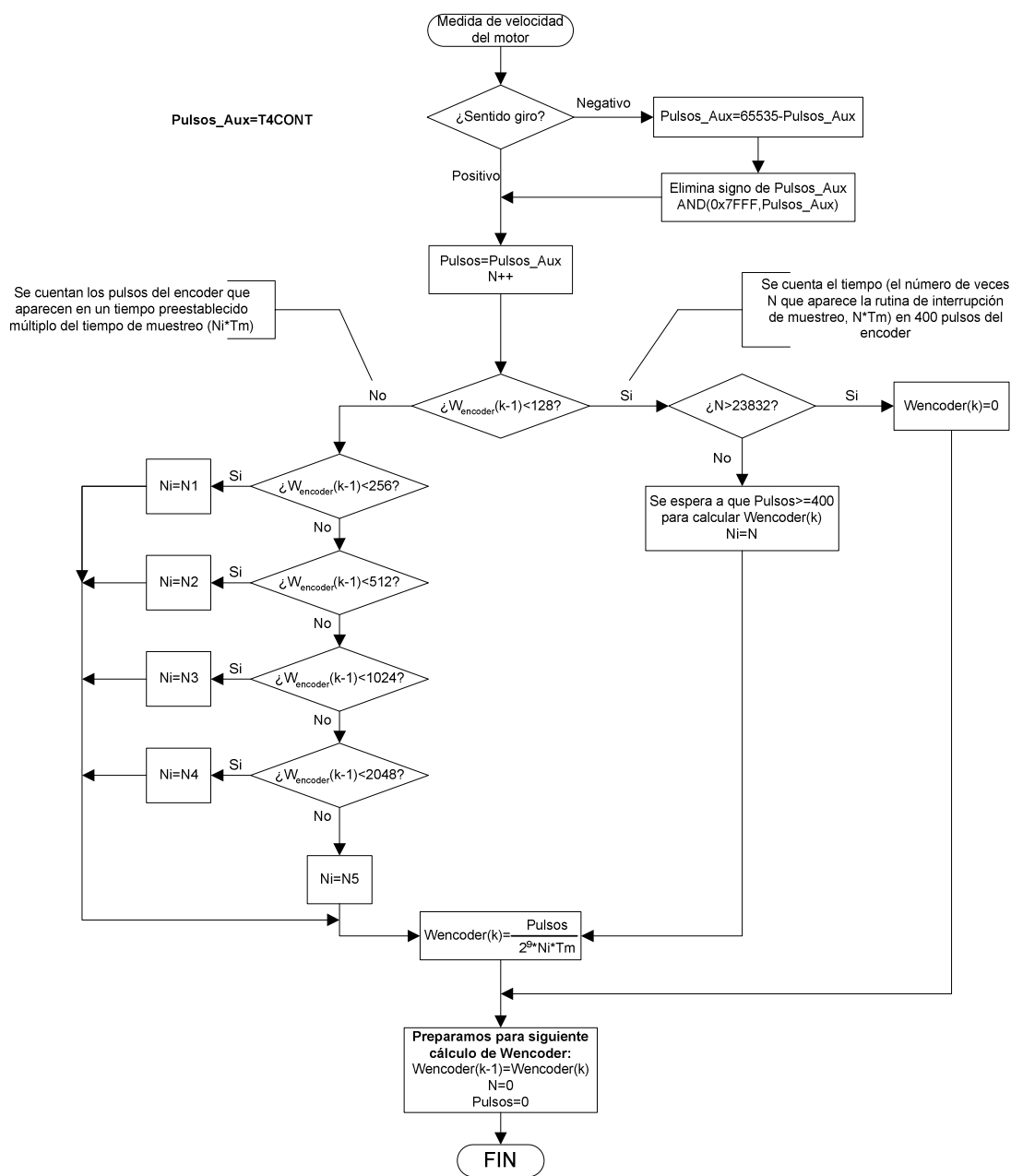


Figura 67. Algoritmo 3ª Parte

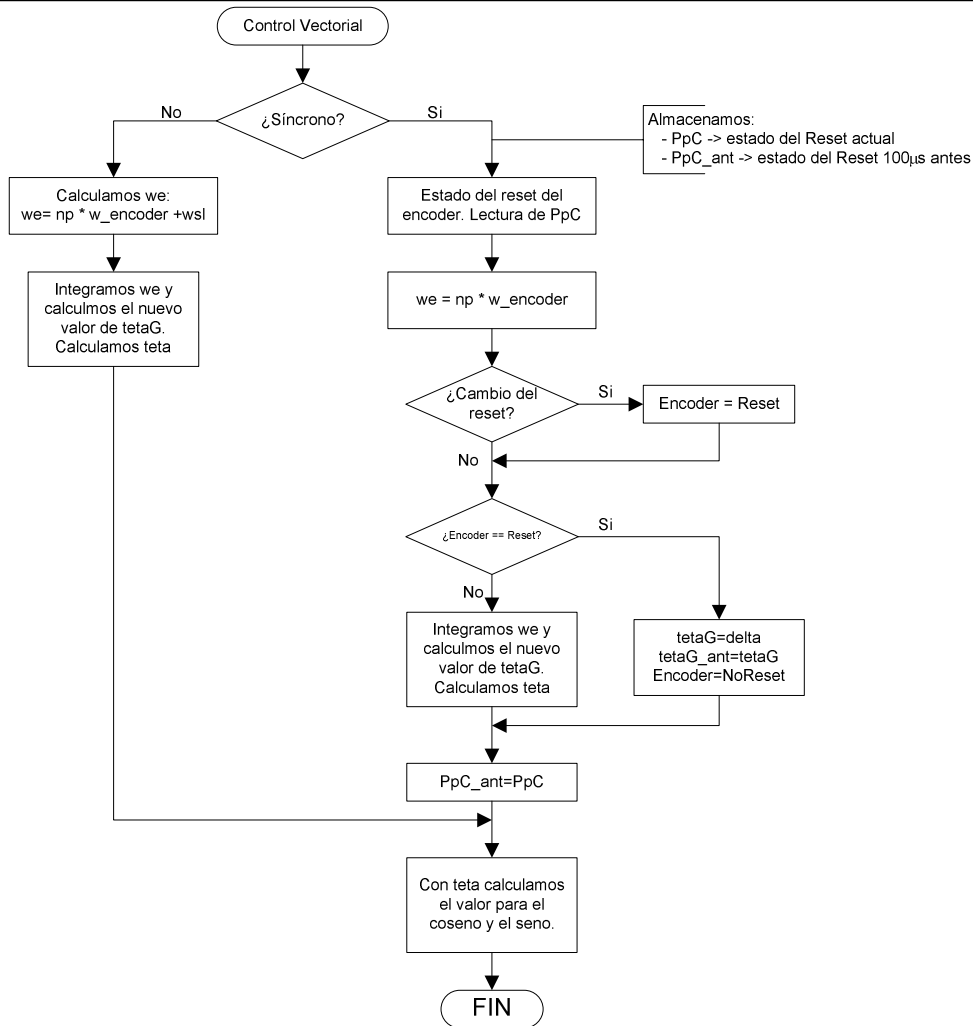


Figura 68. Algoritmo 4ª Parte.

• Código

```

/* ***** */
/* ***** Algoritmo ***** */
/* ***** */

interrupt void algoritmo()
{
  if(PIVR==0x0029) /* Para asegurar que es la interrupción del Timer 1 y no otra la que se esta atendiendo */
  {
    PCDATDIR=0x8080;

    ADCTRL2=0x4000; /* Reset del sequencer: ir al CONV00 y limpiar interr. */
    ADCTRL2=0x2000; /* Inicio de conversión (SOC) */

    EVAIFRA=0x0200; /* Se borra el flag de la interrupción */

    /* ***** */
    /* ***** Cálculo de la Velocidad del encoder ***** */
    /* ***** QEP ***** */
    /* ***** */
    pulsos_aux=T4CNT;
    if((GPTCONB&0x4000)==0x4000) dir=1;
    else
    {
      dir=-1;
      pulsos_aux=65535-pulsos_aux; /* abs(pulsos) */
      pulsos_aux&=0x7FFF;
    }
  }
}

```



```
}
pulsos=pulsos_aux;

N++; /* Contador de interrupciones (Se pone a 1 al comienzo)*/

if(w_encoder<128) /* Velocidad del encoder en Hz*128 */
{
    if(N>=23832) /* Contar 400 pulsos(DSP) para velocidad mínima */
    {
        w_encoder=0;
        N=0;
    }
    else
    {
        if(pulsos>=400)
        {
            w_encoder=(pulsos*128*M_0)/N;
            w_encoder*=-dir;
            N=0;
            if(dir=1)
            {
                pulsos=0;
                T4CNT=0;
            }
            if(dir=-1)
            {
                pulsos=0xFFFF;
                T4CNT=T4PR;
            }
        }
    }
}
else
{
    if(w_encoder<256)
    {
        if(N==N1)
        {
            aux=pulsos*N_1;
            w_encoder=aux>>9;
            w_encoder*=-dir;
            N=0;
            if(dir=1)
            {
                pulsos=0;
                T4CNT=0;
            }
            if(dir=-1)
            {
                pulsos=0xFFFF;
                T4CNT=T4PR;
            }
        }
    }
    else
    {
        if(w_encoder<512)
        {
            if(N==N2)
            {
                aux=pulsos*N_2;
                w_encoder=aux>>9;
                w_encoder*=-dir;
                N=0;
                if(dir=1)
                {
                    pulsos=0;
                    T4CNT=0;
                }
                if(dir=-1)
                {
                    pulsos=0xFFFF;
                    T4CNT=T4PR;
                }
            }
        }
    }
}
```



```
    }
    }
else
{
    if(w_encoder<1024)
    {
        if(N==N3)
        {
            aux=pulsos*N_3;
            w_encoder=aux>>9;
            w_encoder*=-dir;
            N=0;
            if(dir=1)
            {
                pulsos=0;
                T4CNT=0;
            }
            if(dir=-1)
            {
                pulsos=0xFFFF;
                T4CNT=T4PR;
            }
        }
    }
else
{
    if(w_encoder<2048)
    {
        if(N==N4)
        {
            aux=pulsos*N_4;
            w_encoder=aux>>9;
            w_encoder*=-dir;
            N=0;
            if(dir=1)
            {
                pulsos=0;
                T4CNT=0;
            }
            if(dir=-1)
            {
                pulsos=0xFFFF;
                T4CNT=T4PR;
            }
        }
    }
else
{
    if(w_encoder<4096)
    {
        if(N==N5)
        {
            aux=pulsos*N_5;
            w_encoder=aux>>9;
            w_encoder*=-dir;
            N=0;
            if(dir=1)
            {
                pulsos=0;
                T4CNT=0;
            }
            if(dir=-1)
            {
                pulsos=0xFFFF;
                T4CNT=T4PR;
            }
        }
    }
else
{
    w_encoder=0;
}
}
```



```
    }
  }
}

/*****
/***** FIN Cálculo de la Velocidad del encoder *****/
/***** QEP *****/
/*****
asm(" CLRC INTM");

/*****
/***** ALGORITMO DEL RECTIFICADOR *****/
/*****
/* Carga paulativa del condensador -> Solo en el arranque */
if (Arranque==1)
{
    Vdcref=700;          /*Vdc_real -> Vdc_med *883/1024*/
}
else
{
    if(Arranque==3)
    {
        Vdcref+=0;
        if(Vdcref>=754) /* Tensión de referencia Vdc ~ 650 */
        {
            Arranque=4;
            Vdcref=754;
        }
    }
}

/* Control de tensión */
err=Vdc_f-Vdcref;

/* PI de tensión con saturación */

if (difVdc==0)      SumVdc+=Ki*err;
aux=err*Kp;
aux+=SumVdc;
S2=aux;
if (aux>SatSP)      aux=SatSP;
if (aux<SatSN)      aux=SatSN;
difVdc=S2-aux;
S=aux>>5;

/* Resultados de las conversiones de las 7 variables del sistema */

while((ADCTRL2&0x1000)==0x1000)
{
    asm("    NOP");
}

Vtr=RESULT0>>6;
Vst=RESULT1>>6;
Ir_red=RESULT7>>6;
Is_red=RESULT3>>6;
Ir_motor=RESULT4>>6;
Is_motor=RESULT5>>6;
Vdc=RESULT6>>6;
Vtr-=0x1F9;
Vst-=0x200;
Vrs=-Vtr-Vst;
Ir_red-=0x1FC;
Ir_red=-Ir_red;
Is_red-=0x1FC;
Is_red=-Is_red;
Ir_motor-=0x200;
Is_motor-=0x1F7;
Vdc-=0x0007;

/* Cálculo de Pref y Qref -> cosfi */
Pref=S;
```



```
aux=S*tgfi;
Qref=aux>>11;

/* Calculo Valpha y Vbeta */
Va=((2*Vrs)+Vst)*21;
Vb=Vst*37;

Va_aux=Va;
Vb_aux=Vb;

/* Filtro de la tension de red Valpha-beta */
if((Arranque>=3))
{
    Xk=Va;
    Yk=Vb;

    aux=87077*XXk1-43429*XXk2-Yk-2*Yk1-Yk2+65*(Xk-Xk2);
    aux=aux>>1;
    aux=3*aux;
    XXk=(int)(aux>>16);

    aux=87077*YYk1-43429*YYk2+Xk+2*Xk1+Xk2+65*(Yk-Yk2);
    aux=aux>>1;
    aux=3*aux;
    YYk=(int)(aux>>16);

    XXk2=XXk1;
    XXk1=XXk;
    Xk2=Xk1;
    Xk1=Xk;
    YYk2=YYk1;
    YYk1=YYk;
    Yk2=Yk1;
    Yk1=Yk;
    Va=XXk+490;
    Vb=YYk+470;
}
if((Arranque==2))
{
    Arranque=3;
    XXk1=Va;
    Xk1=Va;
    YYk1=Vb;
    Yk1=Vb;
}
if((Arranque==1))
{
    Arranque=2;
    XXk2=Va;
    Xk2=Va;
    YYk2=Vb;
    Yk2=Vb;
}

/* Cálculo de Ialpha y Ibeta */
aux=Ir_red*64;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Ia=aux;
aux=(Ir_red+2*Is_red)*37;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Ib=aux;

/* Cálculo de P y Q */
aux= Va*Ia+Vb*Ib;
P=aux>>16;
aux=-Vb*Ia+Va*Ib;
Q=aux>>16;

/* Control de intensidad */

/* Error que entra en los PI's de intensidad */
```



```
aux=(Pref-P)*10;
if(aux> 8388352) aux= 8388352;
if(aux<-8388608) aux=-8388608;
errp=aux>>8;
aux=(Qref-Q)*10;
if(aux> 8388352) aux= 8388352;
if(aux<-8388608) aux=-8388608;
errq=aux>>8;
```

```
/* PI's de Intensidad saturados */
/* para wp */
```

```
if (difwp==0) Sumwp+=Ki1*errp;
aux=errp*Kp1;
aux+=Sumwp;
wp2=aux;
if (aux>SatwpP) aux=SatwpP;
if (aux<SatwpN) aux=SatwpN;
difwp=wp2-aux;
wp=aux>>4;
```

```
/* para wq */
```

```
if (difwq==0) Sumwq+=Ki1*errq;
aux=errq*Kp1;
aux+=Sumwq;
wq2=aux;
if (aux>SatwqP) aux=SatwqP;
if (aux<SatwqN) aux=SatwqN;
difwq=wq2-aux;
wq=aux>>4;
```

```
/* Cálculo de las tensiones de referencia */
```

```
aux=Va*wp-Vb*wq;
aux=aux>>14;
aux+=Va;
aux=aux>>1;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Varf=aux;
```

```
aux=Vb*wp+Va*wq;
aux=aux>>14;
aux+=Vb;
aux=aux>>1;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Vbrf=aux;
```

```
k192=k*192;
k111=k*111;
```

```
*****
***** FIN DEL NUCLEO DEL ALGORITMO DEL RECTIFICADOR *****
*****
```

```
*****
***** ALGORITMO DE CONTROL DEL INVERSOR *****
*****
```

```
/* Control de velocidad */
```

```
error_w=w_ref-w_encoder;
if(dif_Iqd==0)
{
    Serror_w+=Kiw*error_w;
}
aux=error_w*Kpw;
aux+=Serror_w;
Iqd_ref2=aux;
if(aux>SatPI_wP) aux=SatPI_wP;
if(aux<SatPI_wN) aux=SatPI_wN;
```



```
dif_lqd=lqd_ref2-aux;
lqd_ref=aux>>11;

/* Cálculo de la velocidad eléctrica a partir de la mecánica */
/* Control Vectorial*/

if(Motor==SINCRONO)
{
    PpC=(PCDATDIR & 0x0040); /* lectura del puerto*/
    we=np*w_encoder;
    if(PpC!=PpC_ant)
    {
        Encoder=Reset;
    }

    if(Encoder==Reset)
    {
        tetaG=delta;
        teta_antG=tetaG;
        Encoder=NoReset;
    }
    else
    {
        tetaG=teta_antG+52*we;
        if(tetaG>67076096) tetaG-=67108864; /* 2047*2^15 y 2048*2^15 */
        if(tetaG<0) tetaG+=67108864;
        teta_antG=tetaG;
        teta=tetaG>>15;
    }
    PpC_ant=PpC;
}
else
{
    aux=des*Iqd_ref;
    aux+=np*w_encoder*32768;
    we=aux>>15;

    /* Cálculo de teta: 0<<2047 */
    tetaG=teta_antG+52*we;
    if(tetaG>67076096) tetaG-=67108864; /* 2047*2^15 y 2048*2^15 */
    if(tetaG<0) tetaG+=67108864;
    teta_antG=tetaG;

    teta=tetaG>>15;
}
/* Obtención -> Coseno y Seno */
seno=sen[teta];
if((teta+512)>=2048)
{
    coseno=sen[teta+512-2048];
}
else
{
    coseno=sen[teta+512];
}
/* Fin del Control Vectorial */

/* Medidas en Estáticas 3e->2e */
aux=lr_motor*64;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Ide=aux;
aux=(lr_motor+2*ls_motor)*37;
if(aux>32767) aux= 32767;
if(aux<-32768) aux=-32768;
Iqe=aux;

/* Medidas en dinámicas 2e->2d */
aux=Ide*coseno+Iqe*seno;
Idd=aux>>14;
aux=-Ide*seno+Iqe*coseno;
Iqd=aux>>14;

/* Control de Idd */
error_Idd=Idd_ref-Idd;
```



```
if (dif_Vdd==0) Serror_Idd+=Kid*error_Idd;
aux=error_Idd*Kpd;
aux+=Serror_Idd;
Vdd2=aux;
if(aux>SatPI_IdP) aux=SatPI_IdP;
if(aux<SatPI_IdN) aux=SatPI_IdN;
dif_Vdd=Vdd2-aux;
Vdd=aux>>8;
```

```
/* Control de Iqd */
error_Iqd=Iqd_ref-Iqd;
if (dif_Vqd==0) Serror_Iqd+=Kiq*error_Iqd;
aux=error_Iqd*Kpq;
aux+=Serror_Iqd;
Vqd2=aux;
if(aux>SatPI_IqP) aux=SatPI_IqP;
if(aux<SatPI_IqN) aux=SatPI_IqN;
dif_Vqd=Vqd2-aux;
Vqd=aux>>8;
```

```
/* Cambio a estáticas 2d->2e */
aux=Vdd*coseno-Vqd*seno;
Vde=aux>>14;
aux=Vdd*seno+Vqd*coseno;
Vqe=aux>>14;
```

```
Varf_m=Vde;
Vbrf_m=Vqe;
```

```
/*
*****
***** FIN del ALGORITMO DE CONTROL DEL INVERSOR *****
*****
*/
```

```
/*
*****
***** Cálculos de los Tiempos. SPV *****
*****
*/
```

```
/* Cálculo de los tiempos de disparo para el módulo SPV->Rectificador */
```

```
aux=111*Varf;
Comp=aux>>6;
if (Varf>=0)
{
    if (Vbrf>=0)
    {
        if (Vbrf<=Comp)
        {
            ACTRA=0x1666; /* Vector (0,0,1) */
            aux3=k192*Varf;
            aux3=aux3-(k111*Vbrf);
            aux3=(int)(aux3>>16); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR1=aux3;
            aux4=k111*Vbrf;
            aux4=aux4>>15;
            aux4+=aux3;
            CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRA=0x3666; /* Vector (0,1,1) */
            aux3=k192*Varf;
            aux3=aux3+(k111*Vbrf);
            aux3=(int)(aux3>>16); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR1=aux3;
            aux4=-(k192*Varf);
            aux4=aux4+(k111*Vbrf);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
    else
    {
        if (-Vbrf<=Comp)
```




```

    {
        ACTRA=0x5666; /* Vector (1,0,1) */
        aux3=-(k111*Vbrf);
        aux3=(int)(aux3>>15);
        CMPR1=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
        aux4=k192*Varf;
        aux4=aux4+(k111*Vbrf);
        aux4=aux4>>16;
        aux4+=aux3;
        CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
    }
    else
    {
        ACTRA=0x4666; /* Vector (1,0,0) */
        aux3=-(k192*Varf);
        aux3=aux3-(k111*Vbrf);
        aux3=(int)(aux3>>16);
        CMPR1=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
        aux4=k192*Varf;
        aux4=aux4-(k111*Vbrf);
        aux4=aux4>>16;
        aux4+=aux3;
        CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
    }
}
}
else
{
    if (Vbrf>=0)
    {
        if (Vbrf<=(-Comp))
        {
            ACTRA=0x2666; /* Vector (0,1,0) */
            aux3=k111*Vbrf;
            aux3=(int)(aux3>>15);
            CMPR1=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k192*Varf);
            aux4=aux4-(k111*Vbrf);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRA=0x3666; /* Vector (0,1,1) */
            aux3=k192*Varf;
            aux3=aux3+(k111*Vbrf);
            aux3=(int)(aux3>>16);
            CMPR1=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k192*Varf);
            aux4=aux4+(k111*Vbrf);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
    else
    {
        if (-Vbrf<=(-Comp))
        {
            ACTRA=0x6666; /* Vector (1,1,0) */
            aux3=-(k192*Varf);
            aux3=aux3+(k111*Vbrf);
            aux3=(int)(aux3>>16);
            CMPR1=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k111*Vbrf);
            aux4=aux4>>15;
            aux4+=aux3;
            CMPR2=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRA=0x4666; /* Vector (1,0,0) */
            aux3=-(k192*Varf);
            aux3=aux3-(k111*Vbrf);

```



```
        aux3=(int)(aux3>>16);
        CMPR1=aux3;          /* 2^15-> meter en rango y 2 por t1/2 */
        aux4=k192*Varf;
        aux4=aux4-(k111*Vbrf);
        aux4=aux4>>16;
        aux4+=aux3;
        CMPR2=(int)aux4;    /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
    }
}
}
/* FIN del Cálculo de los tiempos de disparo para el módulo SPV->Rectificador */

aux=111*Varf_m;
Comp_m=(int)(aux>>6);     /* Vb=tg(60)*Va=sqrt(3)*Va */

/* Cálculo de los tiempos de disparo para el módulo SPV->Inversor */
if (Varf_m>=0)
{
    if (Vbrf_m>=0)
    {
        if (Vbrf_m<=Comp_m)
        {
            ACTRB=0xC666;    /* Vector (1,0,0) SPVDIR=1 */
            aux3=k192*Varf_m;
            aux3=aux3-(k111*Vbrf_m);
            aux3=(int)(aux3>>16); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR4=aux3;
            aux4=k111*Vbrf_m;
            aux4=aux4>>15;
            aux4+=aux3;
            CMPR5=(int)aux4;    /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRB=0xE666;    /* Vector (1,1,0) SPVDIR=1 */
            aux3=k192*Varf_m;
            aux3=aux3+(k111*Vbrf_m);
            aux3=(int)(aux3>>16); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR4=aux3;
            aux4=-(k192*Varf_m);
            aux4=aux4+(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4;    /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
    else
    {
        if (-Vbrf_m<=Comp_m)
        {
            ACTRB=0xD666;    /* Vector (1,0,1) SPVDIR=1 */
            aux3=-(k111*Vbrf_m);
            aux3=(int)(aux3>>15); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR4=aux3;
            aux4=k192*Varf_m;
            aux4=aux4+(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4;    /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRB=0x9666;    /* Vector (0,0,1) SPVDIR=1 */
            aux3=-(k192*Varf_m);
            aux3=aux3-(k111*Vbrf_m);
            aux3=(int)(aux3>>16); /* 2^15-> meter en rango y 2 por t1/2 */
            CMPR4=aux3;
            aux4=k192*Varf_m;
            aux4=aux4-(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4;    /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
}
}
```



```
else
{
    if (Vbrf_m>=0)
    {
        if (Vbrf_m<=(-Comp_m))
        {
            ACTRB=0xA666; /* Vector (0,1,0) SPVDIR=1 */
            aux3=k111*Vbrf_m;
            aux3=(int)(aux3>>15);
            CMPR4=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k192*Varf_m);
            aux4=aux4-(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRB=0xE666; /* Vector (1,1,0) SPVDIR=1 */
            aux3=k192*Varf_m;
            aux3=aux3+(k111*Vbrf_m);
            aux3=(int)(aux3>>16);
            CMPR4=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k192*Varf_m);
            aux4=aux4+(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
    else
    {
        if (-Vbrf_m<=-Comp_m)
        {
            ACTRB=0xB666; /* Vector (0,1,1) SPVDIR=1 */
            aux3=-(k192*Varf_m);
            aux3=aux3+(k111*Vbrf_m);
            aux3=(int)(aux3>>16);
            CMPR4=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=-(k111*Vbrf_m);
            aux4=aux4>>15;
            aux4+=aux3;
            CMPR5=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
        else
        {
            ACTRB=0x9666; /* Vector (0,0,1) */
            aux3=-(k192*Varf_m);
            aux3=aux3-(k111*Vbrf_m);
            aux3=(int)(aux3>>16);
            CMPR4=aux3; /* 2^15-> meter en rango y 2 por t1/2 */
            aux4=k192*Varf_m;
            aux4=aux4-(k111*Vbrf_m);
            aux4=aux4>>16;
            aux4+=aux3;
            CMPR5=(int)aux4; /* 2^15-> meter en rango y 2 por t1/2+t2/2 */
        }
    }
}

/*****
/***** FIN de los Cálculos de los Tiempos. SPV *****/
/*****

/* Filtro para la tension Vdc */

/* filtro para la Vdc con recuperación del resto */

aux=cte1*Vdc_f_ant+cte2*(Vdc+Vdc_ant)+Tk2;
Vdc_f=(int)(aux>>12);
aux1=(int)(aux-(Vdc_f*4096));
aux3=cte1*aux1;
Tk2=(int)(aux3>>12);
```



```
Vdc_ant=Vdc;
Vdc_f_ant=Vdc_f;

if(Vdc_f>=694)
{
    if(Vdc_f>=740)
    {
        if(Vdc_f>=766)
        {
            if(Vdc_f>=794)
            {
                k=27;
            }
            else
            {
                k=28;
            }
        }
        else
        {
            k=29;
        }
    }
    else
    {
        if(Vdc_f>=717)
        {
            k=30;
        }
        else
        {
            k=31;
        }
    }
}
else
{
    if(Vdc_f>=635)
    {
        if(Vdc_f>=673)
        {
            k=32;
        }
        else
        {
            if(Vdc_f>=654)
            {
                k=33;
            }
            else
            {
                k=34;
            }
        }
    }
    else
    {
        if(Vdc_f>=600)
        {
            if(Vdc_f>=618)
            {
                k=35;
            }
            else
            {
                k=36;
            }
        }
        else
        {
            if(Vdc_f>=586)
            {
                k=37;
            }
            else
            {
                k=38;
            }
        }
    }
}
}
```



```
        {
            k=38;
        }
    }
}

/* Protección de sobretensión */
if (Vdc>Vdcmax)
{
    COMCONA=0x9000; /* Disparos Rectificador -> Alta impedancia */
    COMCONB=0x9000; /* Disparos Inversor -> Alta impedancia */
    falloprot=1;
}

/* Protección de sobreintensidad */
It=-Ir-Is;

if((Ir>Intmax)||(Ir<-Intmax)||(Is>Intmax)||(Is<-Intmax)||(It>Intmax)||(It<-Intmax))
{
    COMCONA=0x9000; /* Disparos Rectificador -> Alta impedancia */
    COMCONB=0x9000; /* Disparos Inversor -> Alta impedancia */

    falloprot=2; /* Fallo de SobreIntensidad */
}

/* Obtención de datos para el PC con analisis de los transitorios mediante trigger */
if(p_datos==1)
{
    if(transitorio!=0)
    {
        contskip++;
        if(contskip==skip)
        {
            contskip=0;
            switch(transitorio)
            {
                case 1:
                    if(((puntero[0])>=trigger)&&(past>400))
                    {
                        p_ini=p-m_ant;
                        if(p_ini<0)
                        {
                            p_ini=400+p_ini;
                        }
                        p_ult=p-m_ant-1;
                        if(p_ult<0)
                        {
                            p_ult=400+p_ult;
                        }
                        transitorio=3;
                    }
                    break;
                case 2:
                    if(((puntero[0])<=trigger)&&(past>400))
                    {
                        p_ini=p-m_ant;
                        if(p_ini<0)
                        {
                            p_ini=400+p_ini;
                        }
                        p_ult=p-m_ant-1;
                        if(p_ult<0)
                        {
                            p_ult=400+p_ult;
                        }
                        transitorio=3;
                    }
                    break;
                case 3:

```



```
        if(p==p_ult)
        {
            transitorio=0;
            p_datos=0;
        }
    }
    past++;
    tabla[0][p]=*(puntero[0]);
    tabla[1][p]=*(puntero[1]);
    tabla[2][p]=*(puntero[2]);
    tabla[3][p]=*(puntero[3]);
    tabla[4][p++]=*(puntero[4]);
    if(p==400)
    {
        p=0;
        Time_out++;
        if((Time_out*skip)>=1000)
        {
            transitorio=0;
            p_datos=0;
        }
    }
}
else
{
    contskip++;
    if(contskip==skip)
    {
        contskip=0;
        tabla[0][p]=*(puntero[0]);
        tabla[1][p]=*(puntero[1]);
        tabla[2][p]=*(puntero[2]);
        tabla[3][p]=*(puntero[3]);
        tabla[4][p++]=*(puntero[4]);
        if(p==400)
        {
            p_datos=0;
        }
    }
}
PCDATDIR=0x8000;
}
else
{
    PCDATDIR=0x8000;
    EVBIFRA=0x0200;
    asm(" CLRC INTM");
    PCDATDIR=0x8080;
}
}
}
/* *****
/* ***** Fin del Algoritmo *****
/* *****
```

Al analizar el código se puede observar que se ha introducido un filtro para las tensiones de red, con la finalidad de minimizar el contenido de armónicos en la onda de intensidad. Es decir, si las tensiones de red poseen ya un contenido de armónicos apreciables, y el objetivo del control es seguir esas tensiones estaríamos obteniendo unas intensidades que como mínimo tendrían ese contenido armónico. A continuación en la Figura 69 se puede observar el resultado de introducir este filtro en las tensiones.

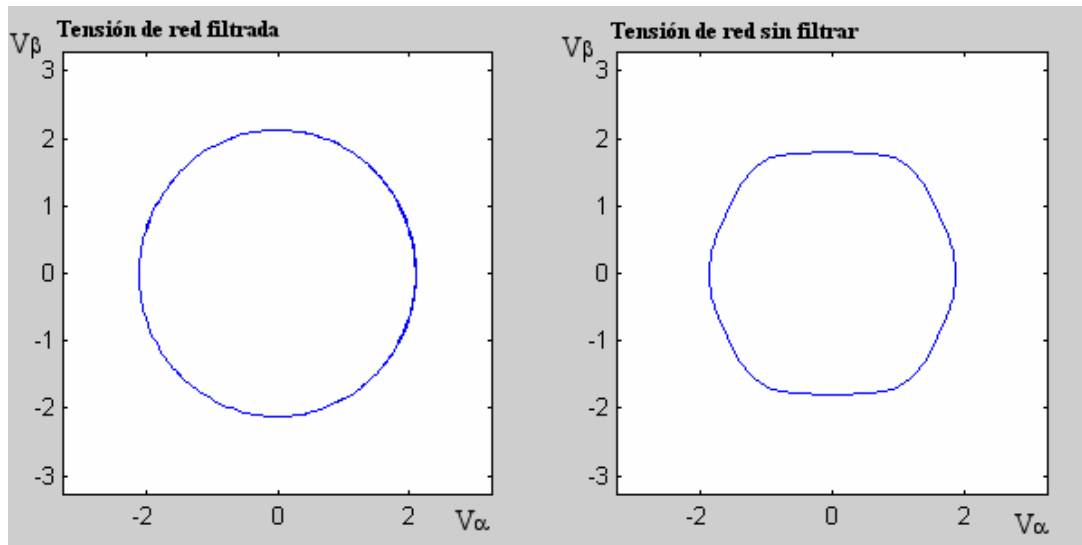


Figura 69. Filtro de red (Tensión de red con un 3er y 5º armónico).



Funcion “Fallo”

Esta función se encarga por completo de la rutina de error. Está asociada a la interrupción externa de protección PDPINT, y realiza las siguientes funciones:

- Si es la primera vez → Confirmación de arranque.
- Gestion de error:
 - Se desactivan todas las interrupciones y se abren todos los interruptores
 - Analisis del error producido.
 - Envio del error al PC.

- Diagrama de Bloques:

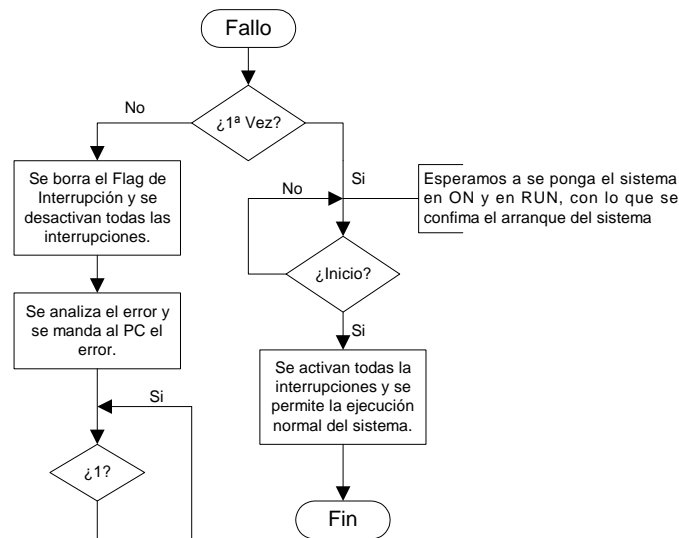


Figura 70: Diagrama de Flujo de la interrupción de protección

- Código

```
/* ***** */
/* ***** Algoritmo de Fallo ***** */
/* ***** */
interrupt void fallo()
{
    unsigned int i1,j1;
    if(ini_pdp==0)
    {
        while(((PCDATDIR&0x0040)==0x0040)||((PCDATDIR&0x0080)==0x0080))
        {
            asm(" NOP");
        }
        EVIFRA=0x0001;
        COMCON=0x9200;
        ini_pdp=1;
        asm(" CLRC INTM");
    }
    else
    {
        EVIFRA=0x0001;
        asm(" SETC INTM"); /* Desactivar todas las interrupciones */

        if((PCDATDIR&0x0040)==0x0040)
        {
            Epotencia(1); /* Fallo del rectificador */
            PDDATDIR=0xEC80;
            ESCAVA(0x02,1); /* Motor en Paro ->Inversor en alta impedancia */
        }
    }
}
```




```
    }
    if((PCDATDIR&0x0080)==0x0080)
    {
        Epotencia(2);          /* Fallo del Inversor del motor*/
    }

    while(1)
    {
        asm(" NOP");
    }
}

/* ***** */
/* ***** Fin algoritmo de Fallo ***** */
/* ***** */
```



Función “Serie”:

Esta función se encarga de gestionar el puerto serie del DSP. Se encuentra ubicada dentro del bucle infinito del programa principal y realiza el sondeo del puerto serie para detectar la recepción o no, por parte del DSP, de nuevos datos.

Esta función implementa el siguiente protocolo

- Protocolo:

Las características fundamentales son:

- 8 bits de datos.
- 1 bit de Stop.
- Sin paridad.
- Velocidad configurable (por defecto 9600 baudios).

La trama de datos sigue la siguiente estructura:

<i>INIC.</i>	<i>INST.</i>	<i>DATOS</i>	<i>CRC</i>	<i>FIN</i>
<i>1 byte</i>	<i>2 byte</i>	<i>N bytes (variable)</i>	<i>4 byte</i>	<i>1 byte</i>

Los campos de la trama son los siguientes:

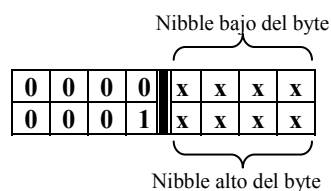
- **INIC:** Carácter de inicio de trama.



Nota: - → Cualquier valor es correcto (0 ó 1)

- **INST:** Longitud del mensaje.

Nº de instrucciones máximos: 256



Nota: x → Cada uno de los bits del dato a transmitir (0 ó 1)

Ejemplo: Inst = 200





Codificación:

0	0	0	0	1	1	0	0
0	0	0	1	1	0	0	0

• **DATOS:**

Nº de datos variables. Al ser los registros del DSP de 16 bits cada dato que se transmite se debe codificar de la siguiente forma:

Rango: $-32768 \leq dato \leq 32767$

0	0	0	0	x	x	x	x	→ Nibble inferior del byte inferior
0	0	0	1	x	x	x	x	→ Nibble superior del byte inferior
0	0	1	0	x	x	x	x	→ Nibble inferior del byte superior
0	0	1	1	x	x	x	x	→ Nibble superior del byte superior

Nota: x → Cada uno de los bits del dato a transmitir (0 ó 1)

Por tanto cada 2 byte de datos estará formado por 4 bytes transmitidos.

• **CRC:** Suma de crc simple. Como en el caso de los datos está formado por 2 bytes, por lo que vamos a transmitir 4 bytes.

0	1	0	0	x	x	x	x	→ Nibble inferior del byte inferior
0	1	0	1	x	x	x	x	→ Nibble superior del byte inferior
0	1	1	0	x	x	x	x	→ Nibble inferior del byte superior
0	1	1	1	x	x	x	x	→ Nibble superior del byte superior

Nota: x → Cada uno de los bits del dato a transmitir (0 ó 1)

• **FIN:** Carácter de fin de trama. Un solo byte de fin de trama.

1	0	0	1	-	-	-	-
---	---	---	---	---	---	---	---

Nota: - → Cualquier valor es correcto (0 ó 1)

• **Ejemplo:**

- Instrucción 180.
- Trama de 3 datos:
 - 1^{er} dato → -1000
 - 2^o dato → 500
 - 3^{er} dato → 2

Inicio:

1	0	1	0	-	-	-	-
---	---	---	---	---	---	---	---

Nota: - → Cualquier valor es correcto (0 ó 1)

Instrucción: 180 → 0xB4

0	0	0	0	0	1	0	0
0	0	0	1	1	0	1	1



Datos:

-1000 → 0xFC18

0	0	0	0	1	0	0	0	→ Nibble inferior del byte inferior → 8
0	0	0	1	0	0	0	1	→ Nibble superior del byte inferior → 1
0	0	1	0	1	1	0	0	→ Nibble inferior del byte superior → C
0	0	1	1	1	1	1	1	→ Nibble superior del byte superior → F

500 → 0x01F4

0	0	0	0	0	1	0	0	→ Nibble inferior del byte inferior → 4
0	0	0	1	1	1	1	1	→ Nibble superior del byte inferior → F
0	0	1	0	0	0	0	1	→ Nibble inferior del byte superior → 1
0	0	1	1	0	0	0	0	→ Nibble superior del byte superior → 0

2 → 0x0002

0	0	0	0	0	0	1	0	→ Nibble inferior del byte inferior → 2
0	0	0	1	0	0	0	0	→ Nibble superior del byte inferior → 0
0	0	1	0	0	0	0	0	→ Nibble inferior del byte superior → 0
0	0	1	1	0	0	0	0	→ Nibble superior del byte superior → 0

Checksum: CRC

Suma de los datos enviados más la instrucción nibble a nibble.

$Checksum = 4 + B + 8 + 1 + C + F + 4 + F + 1 + 0 + 2 + 0 + 0 + 0 = 0x49 = 73$

0	1	0	0	1	0	0	1	→ Nibble inferior del byte inferior → 9
0	1	0	1	0	1	0	0	→ Nibble superior del byte inferior → 4
0	1	1	0	0	0	0	0	→ Nibble inferior del byte superior → 0
0	1	1	1	0	0	0	0	→ Nibble superior del byte superior → 0

Fin de trama:

1	0	0	1	-	-	-	-
---	---	---	---	---	---	---	---

Nota: - → Cualquier valor es correcto (0 ó 1)

Una vez que se ha visto el protocolo implementado, se pasa a la descripción de la función que maneja el puerto serie, la cual realiza las siguientes operaciones.

- Recepción de datos transmitidos desde el PC o cualquier otro microcontrolador externo.
- Reconstrucción de la trama recibida.
- Llamada a la instrucción requerida.
- Respuesta del DSP, con o sin datos, que sirve de comprobación al PC ó microcontrolador externo.

- Diagrama de flujo de recepción, reconstrucción de trama y llamadas a función:

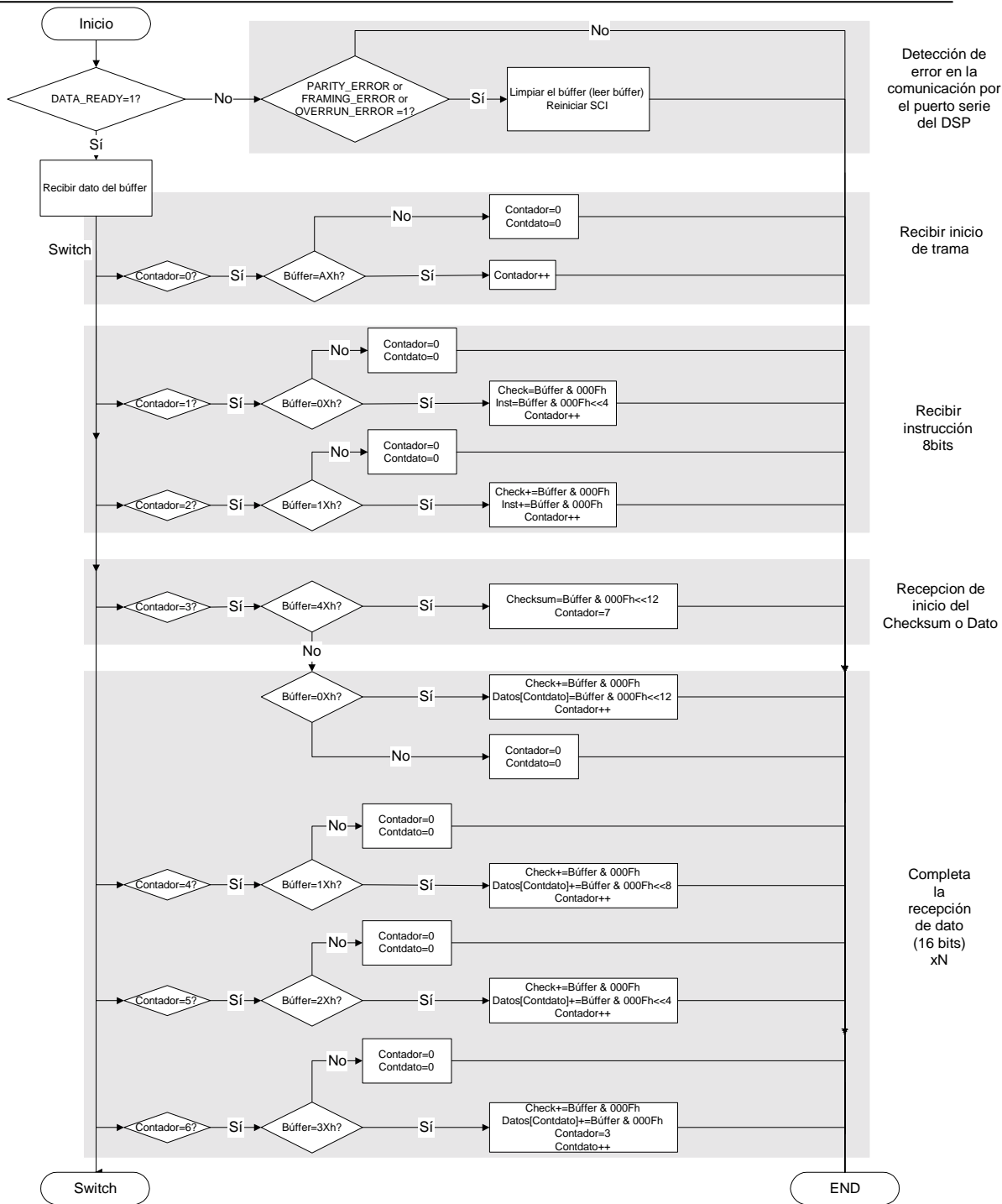
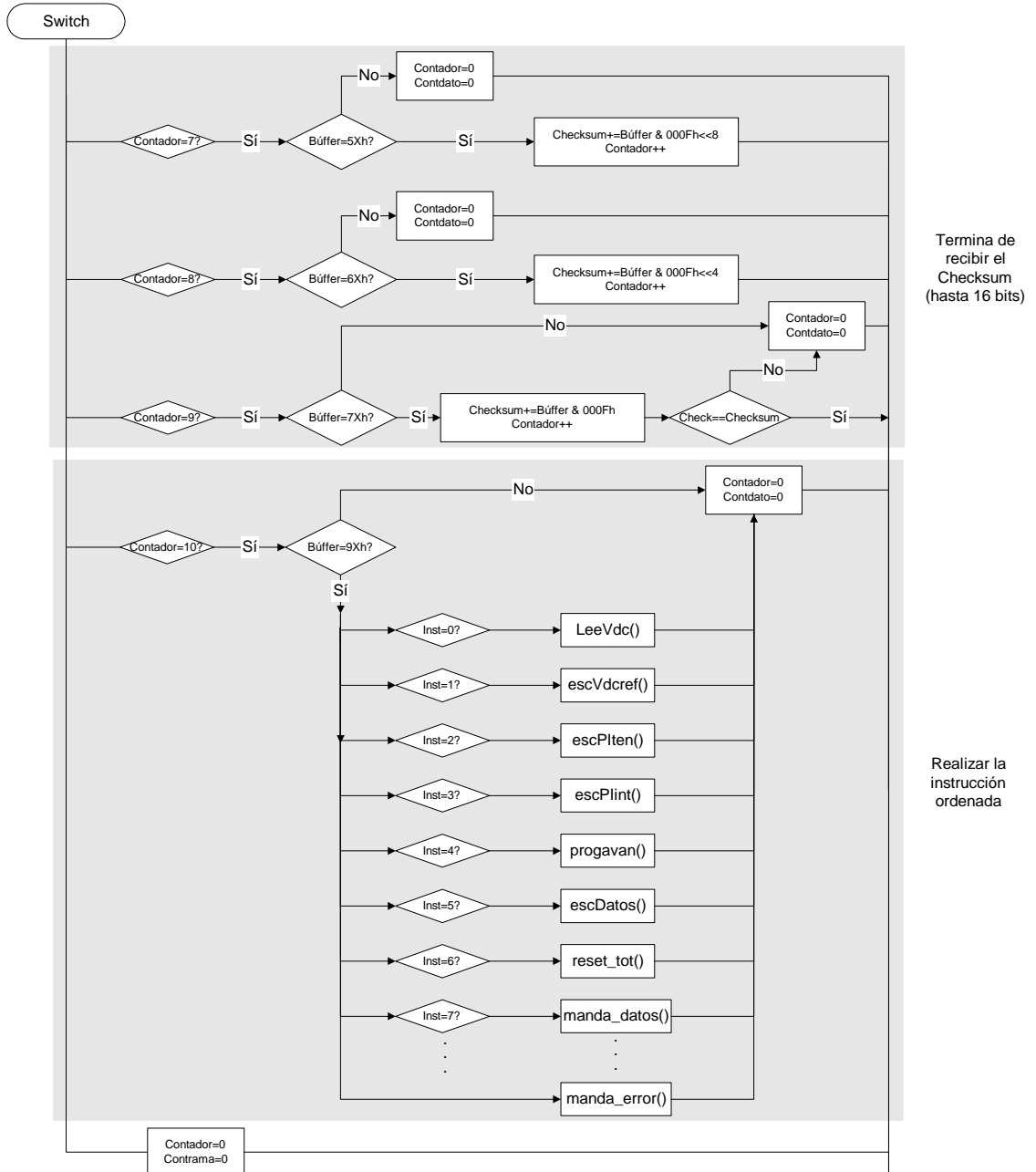


Figura 71. Rutina de Recepción, reconstrucción de trama y llamada a función. 1ª parte



Variables:

- Búffer: Registro donde se almacena el carácter recibido por la comunicación serie.
- Contador: Establece la parte de comunicación que se está realizando.
- Contdato: Puntero al dato de la trama.
- Trama[i]: Vector de datos recibidos.
- Check: Variable que va generando el Checksum propio.
- Checksum: Variable donde se almacena el Checksum recibido para comprobación.

Ejemplo de Instrucciones:

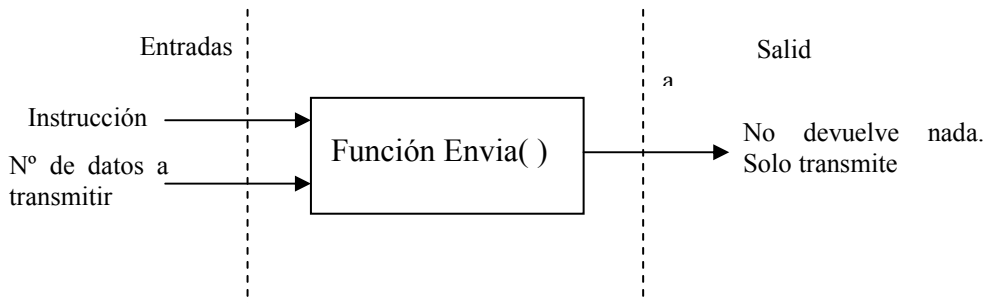
- LeeVdc(): Enviar al PC el valor de la tensión de los condensadores.
- escVdcref(): Cambiar la referencia de tensión por la especificada.
- escPIten(): Cambia las constantes del PI de tensión (Kp, Ki).
- escPIint(): Cambiar las constantes del PI de intensidad (Kp, Ki).
- progavan(): Cambia los valores de los registros del Avatron (id, iq).
- escDatos(): Enviar al PC el valor actual de las constantes (Realizada por defecto al inicio)
- reset_tot(): Recibe orden de reset desde el PC.
- manda_datos(): Almacenar datos y enviar al PC las tablas de datos especificadas.
- manda_error(): Envía al PC un error de reconocimiento de instrucción.

NOTA: Cada vez que se hace Contador=0 y Contdato=0 se interpreta que se ha producido un error en la comunicación y se desestima toda la trama recibida.

Figura 72. Rutina de Recepción, reconstrucción de trama y llamada a función. 2ª parte



Una vez que la recepción se ha llevado a cabo, se ha reconstruido la trama y se ha llamado a la función requerida, el DSP ejecutara dicha función y transmitirá una trama con la instrucción ejecutada y los datos que sean necesarios. La función que se encarga de transmitir en el DSP es la función “Envia”.



- Diagrama de flujo de: una función de ejemplo y de la función “Envia”.

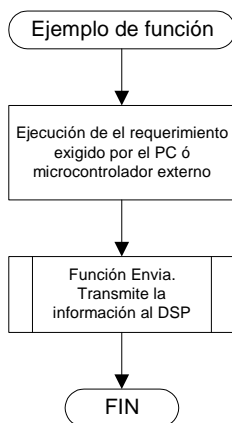


Figura 73. Ejemplo de una función

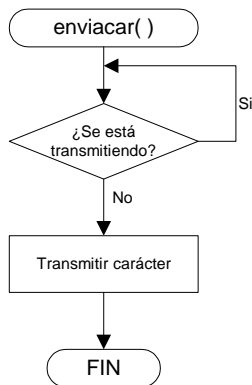


Figura 74. Función enviacar()

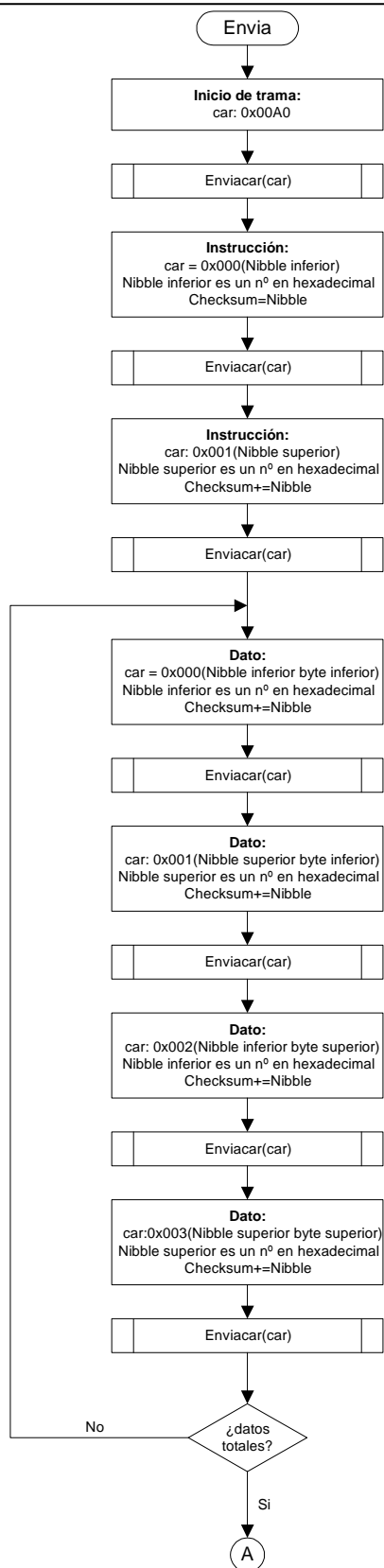


Figura 75. Rutina de transmisión. Rutina Envia(). 1ª parte

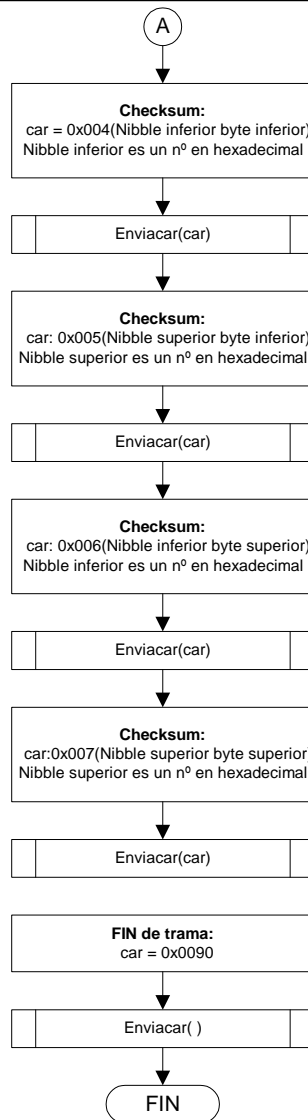


Figura 76. Rutina de transmisión. Rutina Envía(). 2ª parte.

- Código

```
/* ***** */
/* ***** Recepción de datos, reconstrucción de la trama y llamada a función requerida ***** */
/* ***** por el DSP o microcontrolador externo ***** */
/* ***** */

if(DATA_READY) /* Comprobación de si hay dato en el buffer de recepción */
{
    car=SCIRXBUF;
    switch(contador) /* Reconstrucción de la trama */
    {
        case 0:
            if((car & 0x00FF)==0x00A0)
            {
                contador++;
            }
            else
            {
                contador=0;
                con trama=0;
            }
            break;
        case 1:
```



```
if((car & 0x00F0)==0x0000)
{
    aux_dat=car & 0x000F;
    check=aux_dat;
    inst=aux_dat<<4;
    contador++;
}
else
{
    contador=0;
    con trama=0;
}
break;
case 2:
if((car & 0x00F0)==0x0010)
{
    aux_dat=car & 0x000F;
    check+=aux_dat;
    inst+=aux_dat;
    contador++;
}
else
{
    contador=0;
    con trama=0;
}
break;
case 3:
switch(car & 0x00F0)
{
    case 0:
        aux_dat=car & 0x000F;
        check+=aux_dat;
        trama[con trama]=aux_dat<<12;
        contador++;
        break;
    case 0x0040:
        aux_dat=car & 0x000F;
        checksum=aux_dat<<12;
        contador=7;
        break;
    default:
        contador=0;
        con trama=0;
}
break;
case 4:
if((car & 0x00F0)==0x0010)
{
    aux_dat=car & 0x000F;
    check+=aux_dat;
    trama[con trama]+=aux_dat<<8;
    contador++;
}
else
{
    contador=0;
    con trama=0;
}
break;
case 5:
if((car & 0x00F0)==0x0020)
{
    aux_dat=car & 0x000F;
    check+=aux_dat;
    trama[con trama]+=aux_dat<<4;
    contador++;
}
else
{
    contador=0;
    con trama=0;
}
break;
case 6:
```



```
if((car & 0x00F0)==0x0030)
{
    aux_dat=car & 0x000F;
    check+=aux_dat;
    trama[contrama]+=aux_dat;
    contador=3;
    contrama++;
}
else
{
    contador=0;
    contrama=0;
}
break;
case 7:
if((car & 0x00F0)==0x0050)
{
    aux_dat=car & 0x000F;
    checksum+=aux_dat<<8;
    contador++;
}
else
{
    contador=0;
    contrama=0;
}
break;
case 8:
if((car & 0x00F0)==0x0060)
{
    aux_dat=car & 0x000F;
    checksum+=aux_dat<<4;
    contador++;
}
else
{
    contador=0;
    contrama=0;
}
break;
case 9:
if((car & 0x00F0)==0x0070)
{
    aux_dat=car & 0x000F;
    checksum+=aux_dat;
    contador++;
    if(check!=checksum)
    {
        contador=0;
        contrama=0;
    }
}
else
{
    contador=0;
    contrama=0;
}
break;
case 10:
if((car & 0x00F0)==0x0090)
{
    switch(inst)
    {
        case 0:
            leeVdc();
            break;
        case 1:
            escVdcref();
            break;
        case 2:
            escPIten();
            break;
        case 3:
            escPIint();
            break;
        case 5:
```



```

escDatos();
break;
case 6:
    reset_tot();
    break;
case 7:
    manda_trama();
    break;
case 14:
    Reactiva();
    break;
case 15:
    SaturaT();
    break;
case 16:
    SaturaInt();
    break;
case 19:
    lee_w();
    break;
case 20:
    esc_wref();
    break;
case 21:
    escPlw();
    break;
case 22:
    Saturaw();
    break;
case 23:
    escPlintd();
    break;
case 24:
    Saturad();
    break;
default:
    mandaerror();
}
}
contador=0;
contrama=0;
break;
default:
    contador=0;
    contrama=0;
}
}
else
{
    if((PARITY_ERROR) || (FRAMING_ERROR) || (OVERRUN_ERROR))
    {
        car=SCIRXBUF;
        SCICTL1=0x0003;           /* Resetear el puerto serie -> posible Error
*/
        SCICTL1=0x0023;         /* Recarga el puerto serie */
    }
}
}
}
}

/* ***** */
/* ***** */
/* ***** */

/* ***** */
/* ***** Función de transmisión de datos y montaje de trama ***** */
/* ***** para enviar al PC o microcontrolador externo ***** */
/* ***** */

void Envia(unsigned int inst,unsigned int ndatos)
{
    int ix;
    unsigned int checksum=0,aux_dat,car;

    /* Inicio de trama */
```



```
aux_dat=0x00A0;
enviacar(aux_dat);

/* Envía Instrucción */

car=inst;
aux_dat=(car & 0x00F0) >> 4;
checksum+=aux_dat;
enviacar(aux_dat);
aux_dat=(car & 0x000F);
checksum+=aux_dat;
enviacar(aux_dat | 0x0010);

/* Enviamos datos */

for(ix=0;ix<ndatos;ix++)
{
    car=trama[ix];
    aux_dat=((car & 0xF000) >> 12)& 0x000F;
    checksum+=aux_dat;
    enviacar(aux_dat);
    aux_dat=((car & 0x0F00) >> 8)& 0x000F;
    checksum+=aux_dat;
    enviacar(aux_dat | 0x0010);
    aux_dat=((car & 0x00F0) >> 4)& 0x000F;
    checksum+=aux_dat;
    enviacar(aux_dat | 0x0020);
    aux_dat=car & 0x000F;
    checksum+=aux_dat;
    enviacar(aux_dat | 0x0030);
}

/* Envía Checksum */

car=checksum;
aux_dat=((car & 0xF000) >> 12)& 0x000F;
aux_dat|=0x0040;
enviacar(aux_dat);
aux_dat=((car & 0x0F00) >> 8)& 0xFFFF;
enviacar(aux_dat | 0x0050);
aux_dat=((car & 0x00F0) >> 4)& 0xFFFF;
enviacar(aux_dat | 0x0060);
aux_dat=car & 0x000F;
enviacar(aux_dat | 0x0070);

/* Envía fin de trama */
enviacar(0x0090);

}

/* ***** */
/* ***** */
/* ***** */

/* ***** */
/* ***** Función enviacar(car) ***** */
/* ***** */

void enviacar(unsigned int car)
{
    while (!TRANSMITTER_READY) /* Esperar a que se haya terminado la transmisión anterior */
    {
        SCITXBUF=car;
    }
}

/* ***** */
/* ***** */
/* ***** */
```



• Lista de funciones Implementadas

Nº de Instrucción	Instrucción	Breve descripción
0	leeVdc()	Función que lee del DSP la tensión de Condensadores
1	EscVdcref()	Función que escribe en el DSP un nuevo valor de la tensión de referencia de los condensadores.
2	EscPIten()	Función que escribe en el DSP nuevos valores para las constantes proporcional e integral del PI de tensión.
3	escPIint()	Función que escribe en el DSP nuevos valores para las constantes proporcional e integral de los PI's de Intensidad del R.
4		
5	escDatos()	Función que lee del DSP todos los valores de los parámetros.
6	reset_tot()	Función de reset del sistema. Esta función se realiza en varias etapas: <ul style="list-style-type: none">• El PC o un microcontrolador externo le comunica al DSP que quiere resetearlo.• El DSP desactiva los disparos y le responde al PC ó al micro externo diciendo que está preparado.• Una vez recibida la señal el micro externo ó el PC utilizará la línea DTR para resetear al DSP.
7	manda_trama()	Función para el osciloscopio.
13	Epotencia()	Función que envía al PC o micro externo información de errores ocurridos. <ul style="list-style-type: none">• 1: Error del rectificador de red.• 2: Error del Inversor del motor.• 3: Sobretensión.• 4: Sobreintensidad.
14	Reactiva()	Función que escribe en el DSP un nuevo valor para la tangente de ϕ. El PC pasa del $\cos\phi$ a la $tg\phi$. ⁴
15	SaturaT()	Función que escribe en el DSP valores nuevos para las saturaciones del PI de tensión.
16	SaturaInt()	Función que escribe en el DSP valores nuevos para las saturaciones de los PI de Intensidad de la Red.
17	ProtVdcMax()	Función que escribe en el DSP un nuevo valor para la tensión de condensadores máxima permitida.
18	ProtIntMax()	Función que escribe en el DSP un nuevo valor para la intensidad máxima permitida .
19	lee_w()	Función que lee del DSP la velocidad de giro de lá máquina
20	esc_wref()	Función que escribe en el DSP la velocidad de giro de referencia
21	escPIw()	Función que escribe en el DSP nuevos valores para las constantes proporcional e integral del PI de velocidad.
22	Saturaw()	Función que escribe en el DSP valores nuevos para las saturaciones del PI de velocidad.
23	escPIintd()	Función que escribe en el DSP nuevos valores para las constantes proporcional e integral de los PI's de Intensidad del M.
24	Saturad()	Función que escribe en el DSP valores nuevos para las saturaciones de los PI de Intensidad del motor.

⁴ Está función no está totalmente desarrollada en el Dsp, por motivos de tiempo de ejecución.



Función de Sobretensión en la batería de condensadores

Esta es una función de protección contra una tensión muy grande en la batería de condensadores y se realiza dentro del bucle infinito del programa principal del DSP. Como la función anterior se ejecuta por sondeo, y realiza las siguientes operaciones:

- Comprueba si se ha sobrepasado la tensión máxima:
 - Desactivar disparos del Rectificador Síncrono.
 - Desactivar disparos del Inversor del Motor.
 - Poner falloprot a 1 para dar aviso al PC de que se ha producido un error por sobretensión

- Diagrama de flujo

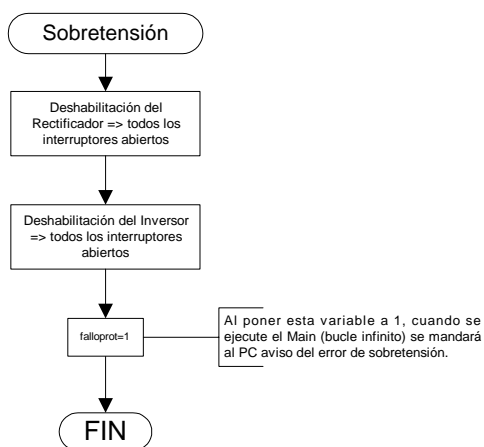


Figura 77. Función Sobretensión

- Código

```
/* ***** */
/* ***** Función de Sobretensión ***** */
/* ***** */
if (Vdc>700)
{
    COMCONA=0x9000; /* Disparos Rectificador -> Alta impedancia */
    COMCONB=0x9000; /* Disparos Inversor -> Alta impedancia */
    falloprot=1;
}
/* ***** */
/* ***** */
/* ***** */
```



Función de error de sobrecorriente en la Red.

Esta es una función de protección contra una corriente excesiva de las intensidades de red de línea y se realiza dentro del bucle infinito del programa principal del DSP. Como la función anterior se ejecuta por sondeo, y realiza las siguientes operaciones:

- Comprueba si se ha sobrepasado la intensidad máxima admisible para cualquiera de las dos intensidades medidas:
 - Desactivar disparos del Rectificador Síncrono.
 - Desactivar disparos del Inversor del Motor.
 - Poner falloprot a 2 para dar aviso al PC de que se ha producido un error por sobrecorriente en la Red.

- Diagrama de flujo

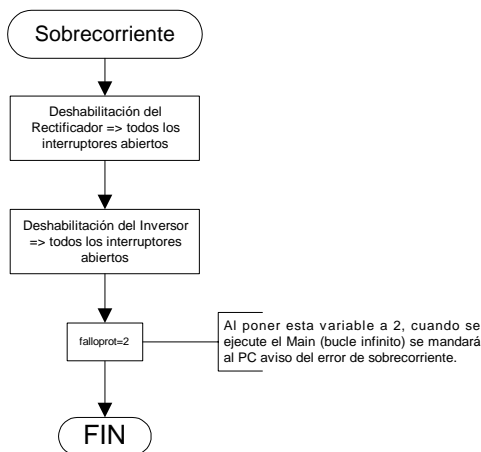


Figura 78. Función Sobrecorriente

- Código

```
/* ***** */
/* ***** Función de Sobrecorriente ***** */
/* ***** */
if((Ir>Intmax)||(Ir<-Intmax)||(Is>Intmax)||(Is<-Intmax)||(It>Intmax)||(It<-Intmax))
{
    COMCONA=0x9000; /* Disparos Rectificador -> Alta impedancia */
    COMCONB=0x9000; /* Disparos Inversor -> Alta impedancia */
    falloprot=2;
}
/* ***** */
/* ***** */
/* ***** */
```




Función Termina

Se encarga de parar correctamente el sistema, ante una avería o una parada normal del mismo, para lo cual realiza las siguientes tareas:

- Desactivar las interrupciones
- Desactivar disparos del rectificador e inhibir al Avanzón
- Reseteo el puerto serie

- Diagrama de flujo

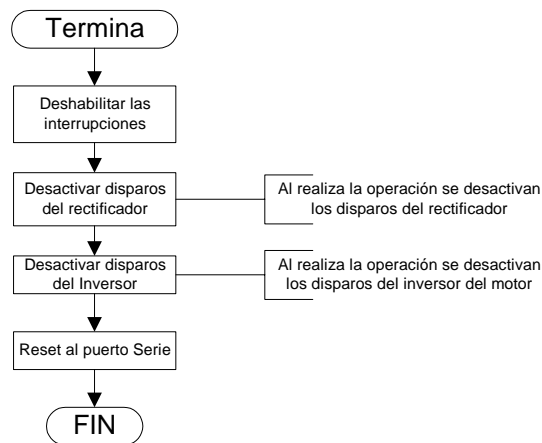


Figura 79. Función Termina

- Código

```
/* ***** Termina ***** */
/* ***** Termina ***** */
/* ***** Termina ***** */
void termina(void)
{
    COMCONA=0x9000; /* Disparos Rectificador -> Alta impedancia */
    COMCONB=0x9000; /* Disparos Inversor -> Alta impedancia */
    asm(" SETC INTM"); /* Deshabilitar las interrupciones */
    SCICTL1=0x0003; /* Reseteo el puerto serie -> posible Error */
    SCICTL1=0x0023; /* Recargar el puerto serie */
}

/* ***** fin Termina ***** */
/* ***** fin Termina ***** */
/* ***** fin Termina ***** */
```



Apéndice II: Parámetros del sistema⁵

Parámetro	Valor por defecto	Significado	Incremento	Respuesta del sistema
Kp Tensión	2800	Contante proporcional para el control de tensión	Aumenta	Respuesta más rápida ante variaciones de la medida de tensión. Problema: el control puede llegar a hacerse demasiado brusco, provocando inestabilidad
			Disminuye	Respuesta más lenta ante variaciones de la medida de tensión. Problema: El control sobre la tensión de condensadores puede ser muy lento, respondiendo tarde a cambios en el comportamiento de la máquina de inducción.
Ki tensión	30	Contante integral para el control de tensión	Aumenta	Mayor fuerza del PI para la eliminación del error de tensión. Problema: Un valor excesivo hace que el sistema oscile en torno al punto de trabajo, aumentando la inestabilidad.
			Disminuye	Menor fuerza del PI para la eliminación del error de tensión. Problema: Un valor excesivamente pequeño no asegura un buen seguimiento de la medida.
Kp1 Intensidad	3000	Contante proporcional para el control de intensidad	Aumenta	Mayor demanda de intensidad ante transitorios de potencia en la máquina. Problema: Puede llegar a demandarse una intensidad excesiva para el sistema ante un cambio en las condiciones de la máquina de inducción.
			Disminuye	Menor demanda de intensidad ante transitorios de potencia en la máquina. Problema: La respuesta del sistema se ralentiza: Para motor, si aumenta la carga, puede faltar energía para mantener la tensión de condensadores: Los condensadores bajarán su tensión hasta hacer saltar las protecciones. Para generador, si aumenta la potencia, no se podrá evacuar toda la intensidad a red, con lo que la tensión de condensadores subirá, haciendo saltar las protecciones.
Ki1 Intensidad	40	Contante integral para el control de intensidad	Aumenta	Mayor fuerza del PI para la eliminación del error de intensidad. Problema: Un valor excesivo hace que el sistema oscile en torno a la intensidad de referencia marcada por el PI de tensión.
			Disminuye	Menor fuerza del PI para la eliminación del error de intensidad. Problema: Un valor excesivamente pequeño no asegura un buen seguimiento de la referencia, inestabilizándose la respuesta en intensidad
SatSP tensión	144000	Saturación positiva del PI de tensión	Aumenta	El PI de tensión podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida ($V_{dc\ ref} > V_{dc}$)
			Disminuye	El PI de tensión podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida ($V_{dc\ ref} > V_{dc}$)
SatSN tensión	-160000	Saturación negativa del PI de tensión	Aumenta	El PI de tensión podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida ($V_{dc\ ref} < V_{dc}$)
			Disminuye	El PI de tensión podrá dar valores negativos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida ($V_{dc\ ref} < V_{dc}$)
SatwpP intensidad	320000	Saturación positiva del PI de intensidad en p	Aumenta	El PI de intensidad podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida ($I_p\ ref > I_p$)
			Disminuye	El PI de intensidad podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida ($I_p\ ref > I_p$)
SatwpN intensidad	-320000	Saturación negativa del PI de intensidad en p	Aumenta	El PI de intensidad podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida ($I_p\ ref < I_p$)
			Disminuye	El PI de intensidad podrá dar valores negativos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida ($I_p\ ref < I_p$)

⁵ Se recuerda que en el sistema empleado la $L=10\text{mH}$. $V_{dc_real} = V_{dc} * 883/1024$



Apéndice II. Parámetros del sistema

SatwqP intensidad	320000	Saturación positiva del PI de intensidad en q	Aumenta	El PI de intensidad podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida ($I_q \text{ ref} > I_q$)
			Disminuye	El PI de intensidad podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida ($I_q \text{ ref} > I_q$)
SatwqN intensidad	-320000	Saturación negativa del PI de intensidad en q	Aumenta	El PI de intensidad podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida ($I_q \text{ ref} > I_q$)
			Disminuye	El PI de intensidad podrá dar valores negativos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida ($I_q \text{ ref} > I_q$)
Cos φ	1	Factor de potencia, desfase entre tensión e intensidad	Aumenta	No se puede aumentar por definición: Es la proporción de potencia activa que circulará por el sistema respecto a la potencia total que ha de circular.
			Disminuye	A medida que se disminuye, bajará la potencia activa circulante y aumentará la potencia reactiva, para una misma potencia aparente.
Vdc ref	754 que son 650V	Referencia de la tensión de condensadore s	Aumenta	Si se aumenta la tensión de condensadores aumenta la controlabilidad del sistema. Problema: El límite está en la tensión de condensadores límite dada por los fabricantes que no se puede superar bajo ningún concepto.
			Disminuye	Al bajar la referencia de tensión se pierde control sobre el sistema, pudiéndose llegar a la inestabilidad del sistema, con el consiguiente fallo que se provocaría.
Intmax	263	Valor de la protección de intensidad máxima	Aumenta	Se le da al sistema mayor margen de operación ante situaciones extremas de potencia, pero con el incremento de riesgo de rotura de algunos elementos.
			Disminuye	Se protege más al sistema, limitando su capacidad de respuesta ante situaciones extremas de potencia.
Vdcmax	812	Valor de la protección de tensión de condensadore s máxima	Aumenta	Significa aumentar el margen que se tiene (para una misma Vdc ref) de soportar transitorios de potencia hacia la generación, junto con la posibilidad de tener una Vdc ref mayor. Problema: Se deja menor margen de seguridad ante sobretensión en los condensadores por situaciones espúreas ó defectos de medida, con el consiguiente aumento de riesgo en la operación.
			Disminuye	Limita la sobretensión a valores menores, con lo que se disminuye el riesgo de explosión de condensadores, pero a costa de perder margen de respuesta en transitorios (para una misma Vdc ref) ó tener que controlar el sistema a menos tensión (Vdc ref menor).
Kpw velocidad	80000	Constante proporcional para el control de velocidad	Aumenta	Respuesta más rápida ante variaciones de la medida de velocidad. Problema: el control puede llegar a hacerse demasiado brusco, provocando inestabilidad.
			Disminuye	Respuesta más lenta ante variaciones de la medida de velocidad. Problema: El control sobre la velocidad de giro de la máquina puede ser muy lento.
Kiw velocidad	20	Constante integral para el control de velocidad	Aumenta	Mayor fuerza del PI para la eliminación del error de velocidad. Problema: Un valor excesivo hace que el sistema oscile en torno al punto de trabajo, aumentando la inestabilidad.
			Disminuye	Menor fuerza del PI para la eliminación del error de velocidad. Problema: Un valor excesivamente pequeño no asegura un buen seguimiento de la medida.
Kpd Intensidad del motor	256	Constante proporcional para el control de intensidad del motor	Aumenta	Mayor demanda de intensidad ante transitorios de potencia en la máquina. Problema: Puede llegar a demandarse una intensidad excesiva para el sistema ante un cambio.
			Disminuye	Menor demanda de intensidad ante transitorios de potencia en la máquina. Problema: El motor se puede venir a bajo al no tener energía frente a cambios bruscos y permanentes de par.
Kid Intensidad del motor	0	Constante integral para el control de intensidad del motor	Aumenta	Mayor fuerza del PI para la eliminación del error de intensidad. Problema: Un valor excesivo hace que el sistema oscile en torno a la intensidad de referencia marcada por el PI de velocidad.



Kpq Intensidad del motor	256	Constante proporcional para el control de intensidad del motor	Aumenta	Mayor demanda de intensidad ante transitorios de potencia en la máquina. Problema: Puede llegar a demandarse una intensidad excesiva para el sistema ante un cambio.
			Disminuye	Menor demanda de intensidad ante transitorios de potencia en la máquina. Problema: El motor se puede venir a bajo al no tener energía frente a cambios bruscos y permanentes de par.
Kiq Intensidad del motor	0	Constante integral para el control de intensidad del motor	Aumenta	Mayor fuerza del PI para la eliminación del error de intensidad. Problema: Un valor excesivo hace que el sistema oscile en torno a la intensidad de referencia marcada por el PI de velocidad.
SatPI_wP velocidad	61440000	Saturación positiva del PI de velocidad	Aumenta	El PI de tensión podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida
			Disminuye	El PI de tensión podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida
SatPI_wN velocidad	-61440000	Saturación negativa del PI de velocidad	Aumenta	El PI de tensión podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida.
			Disminuye	El PI de tensión podrá dar valores negativos superiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida.
SatPI_IdP Intensidad del motor	3840000	Saturación positiva del PI de intensidad del motor en d	Aumenta	El PI de intensidad podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida (Id_ref > Id)
			Disminuye	El PI de intensidad podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida (Id_ref > Id)
SatPI_IdN Intensidad del motor	-3840000	Saturación negativa del PI de intensidad del motor en d	Aumenta	El PI de intensidad podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida (Id_ref < Id)
			Disminuye	El PI de intensidad podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida (Id_ref < Id)
SatPI_IqP Intensidad del motor	3840000	Saturación positiva del PI de intensidad del motor en q	Aumenta	El PI de intensidad podrá dar valores positivos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por encima de la medida (Iq ref > Iq)
			Disminuye	El PI de intensidad podrá dar valores positivos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por encima de la medida (Iq ref > Iq)
SatPI_IdN Intensidad del motor	-3840000	Saturación negativa del PI de intensidad del motor en q	Aumenta	El PI de intensidad podrá dar valores negativos superiores a su salida. Se tendrá por tanto una mayor capacidad de respuesta ante cambios de referencia por debajo de la medida (Iq ref > Iq)
			Disminuye	El PI de intensidad podrá dar valores negativos inferiores a su salida. Se tendrá por tanto una menor capacidad de respuesta ante cambios de referencia por debajo de la medida (Iq ref > Iq)



Apéndice III: Planos

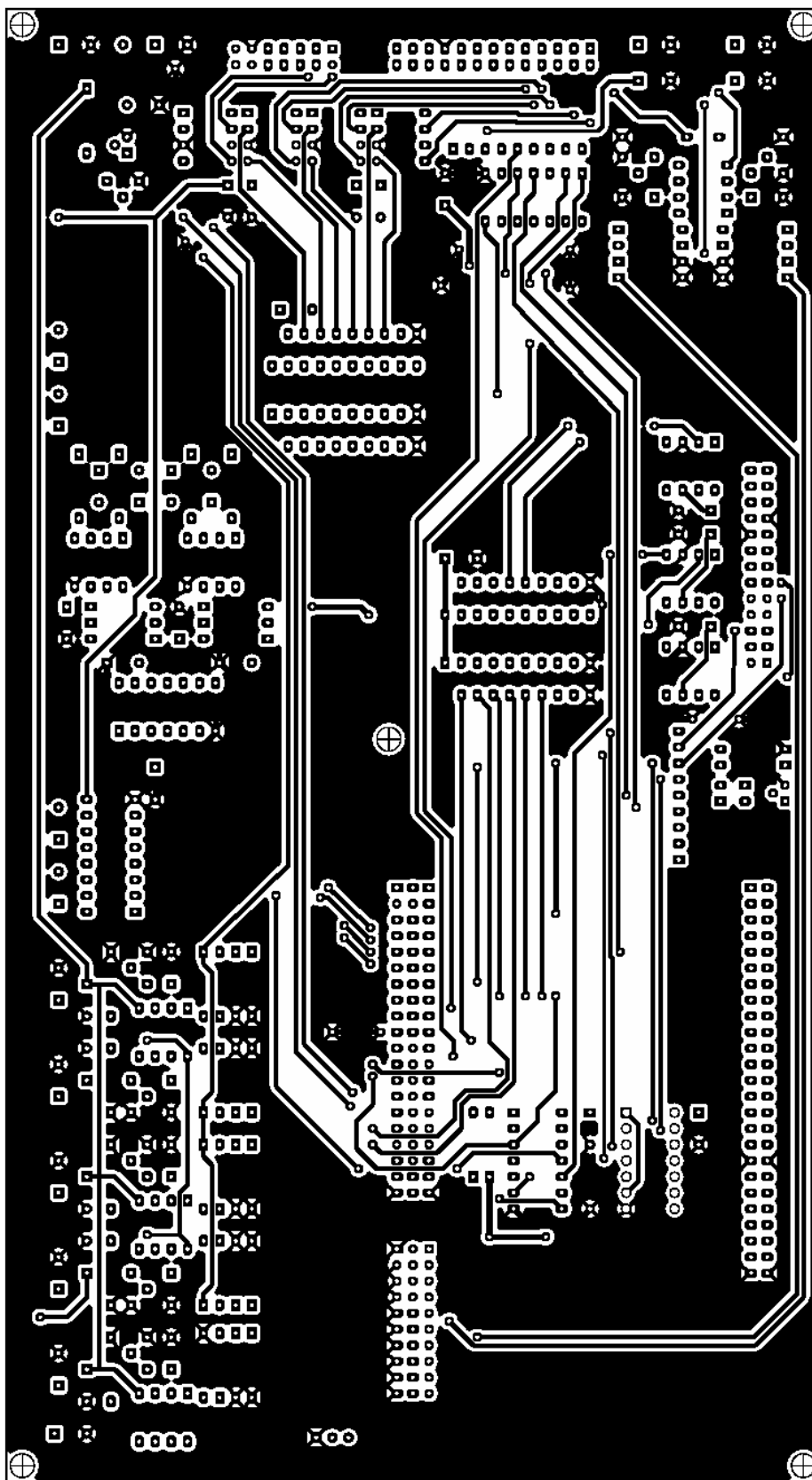


Figura 80. TOP de la placa de Adaptación

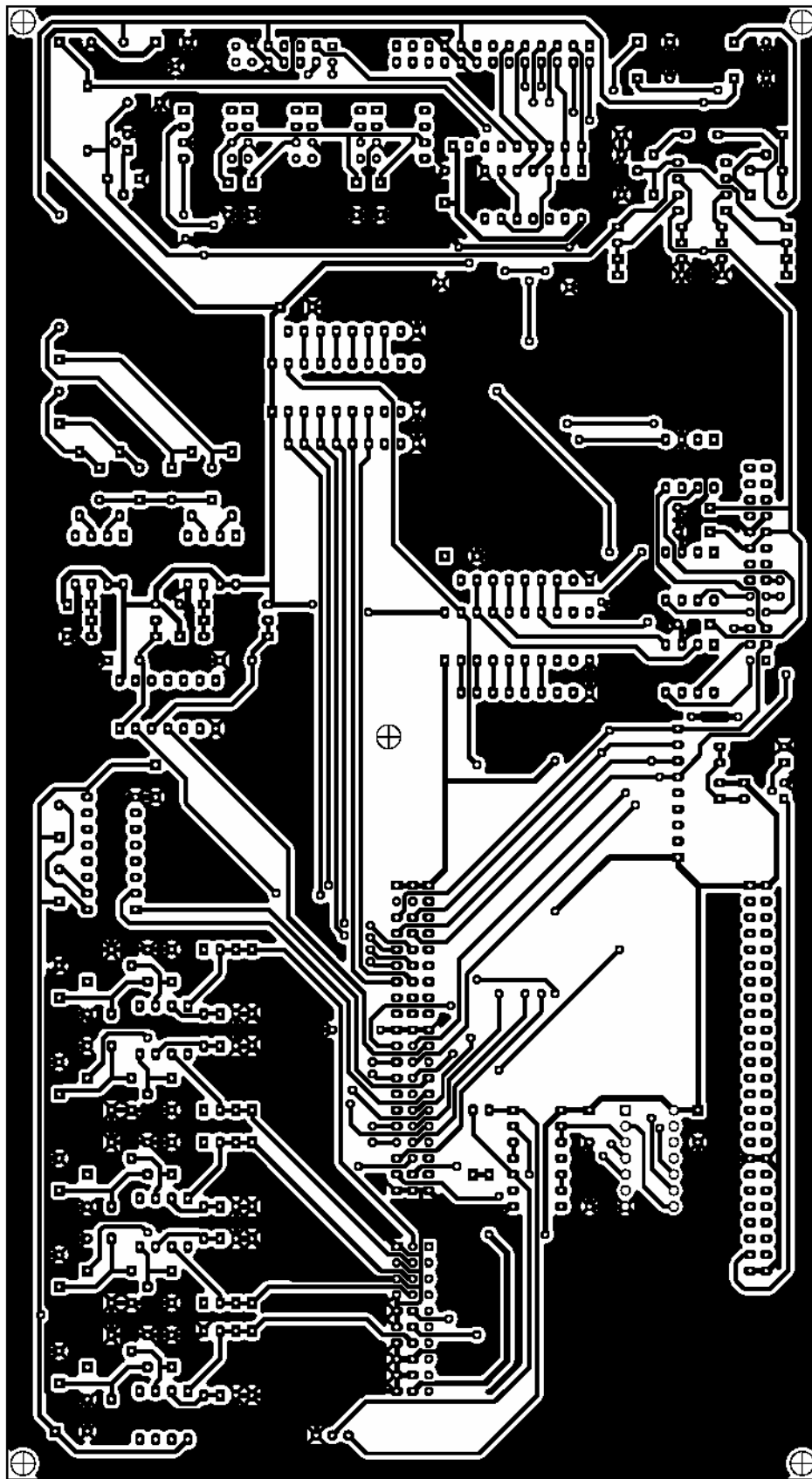


Figura 81. BOTTOM de la placa de Adaptación

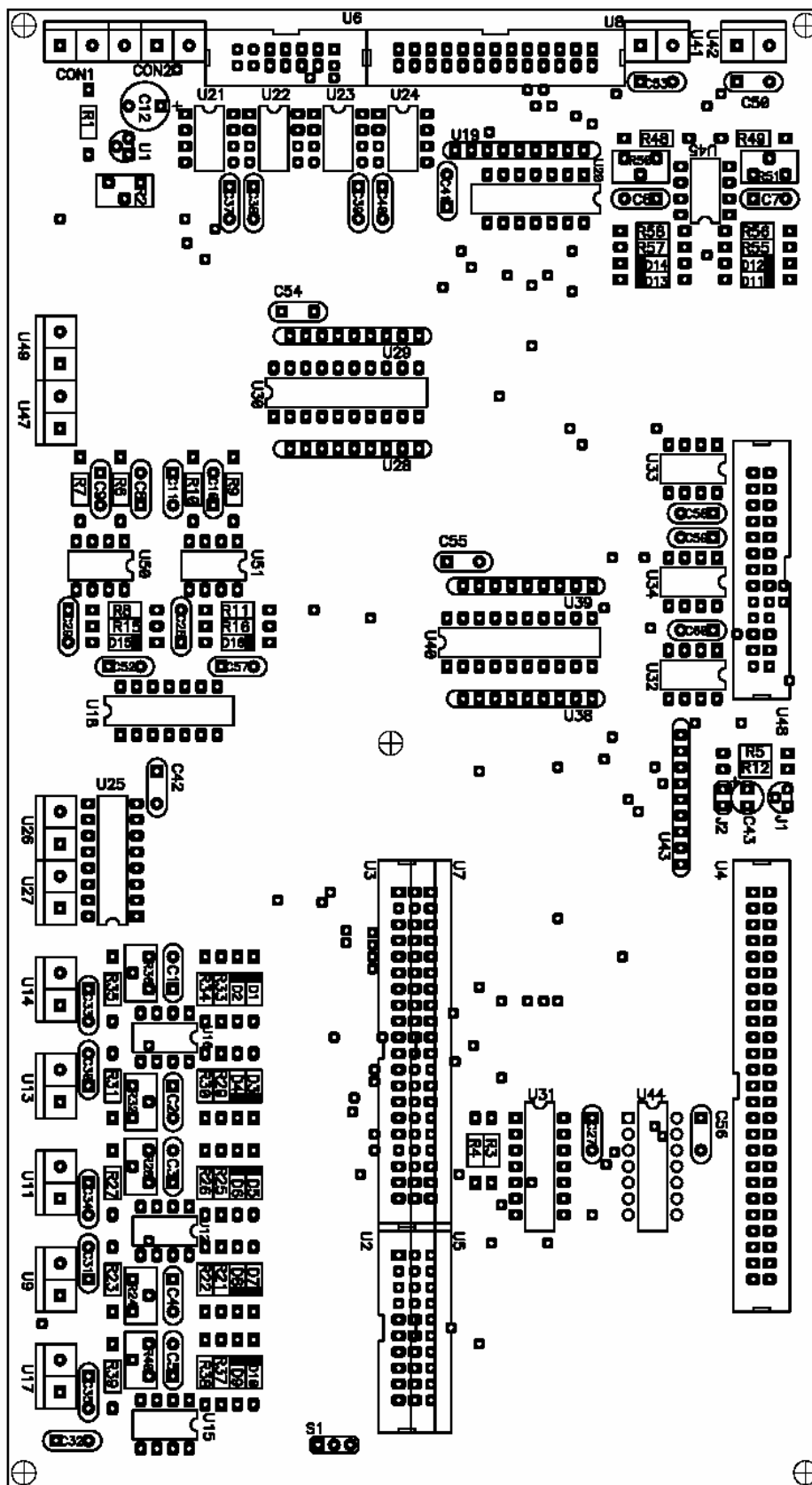


Figura 82. TOP-SILK de la placa de Adaptación.

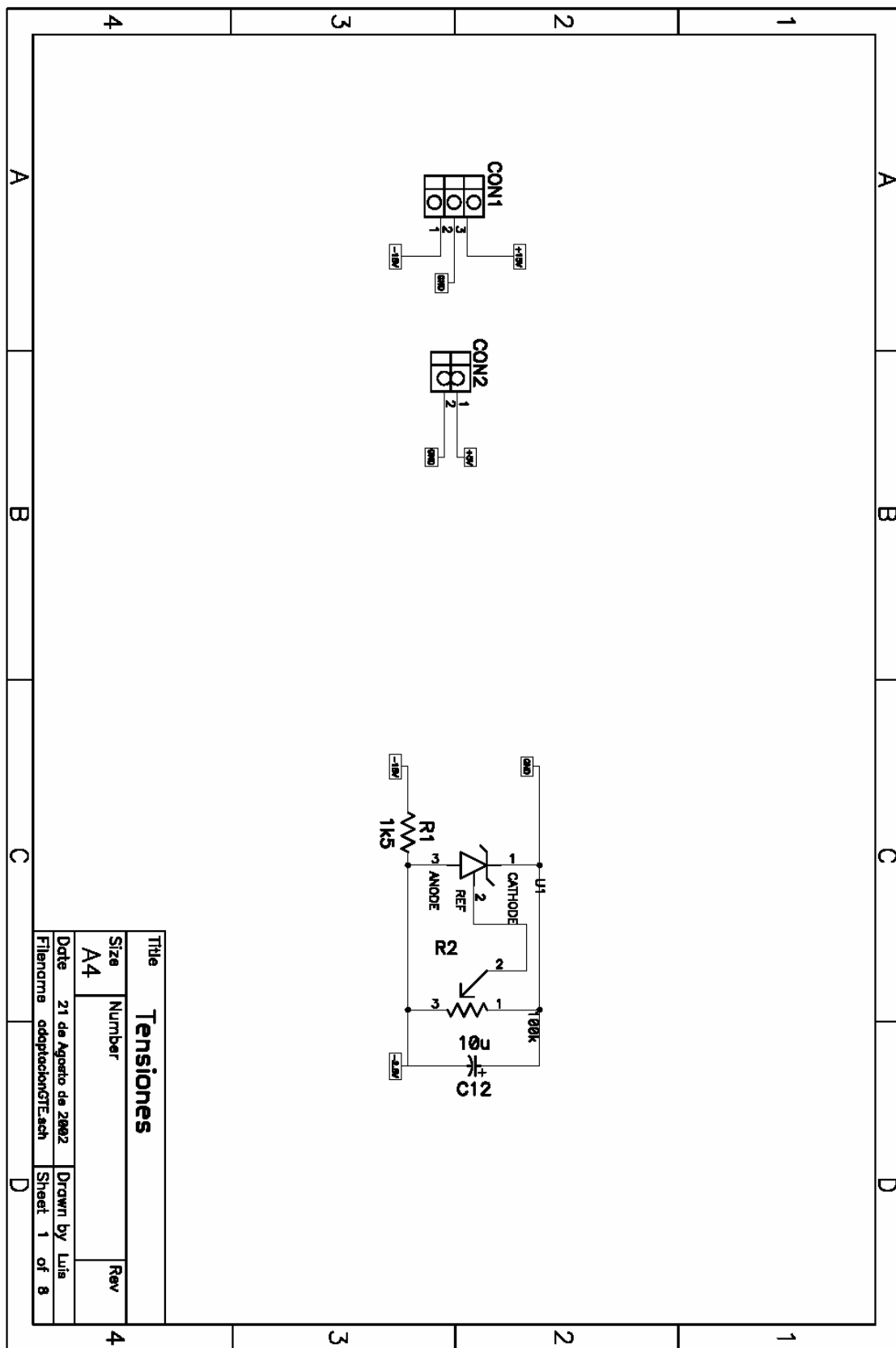


Figura 83. Esquemático: Tensiones

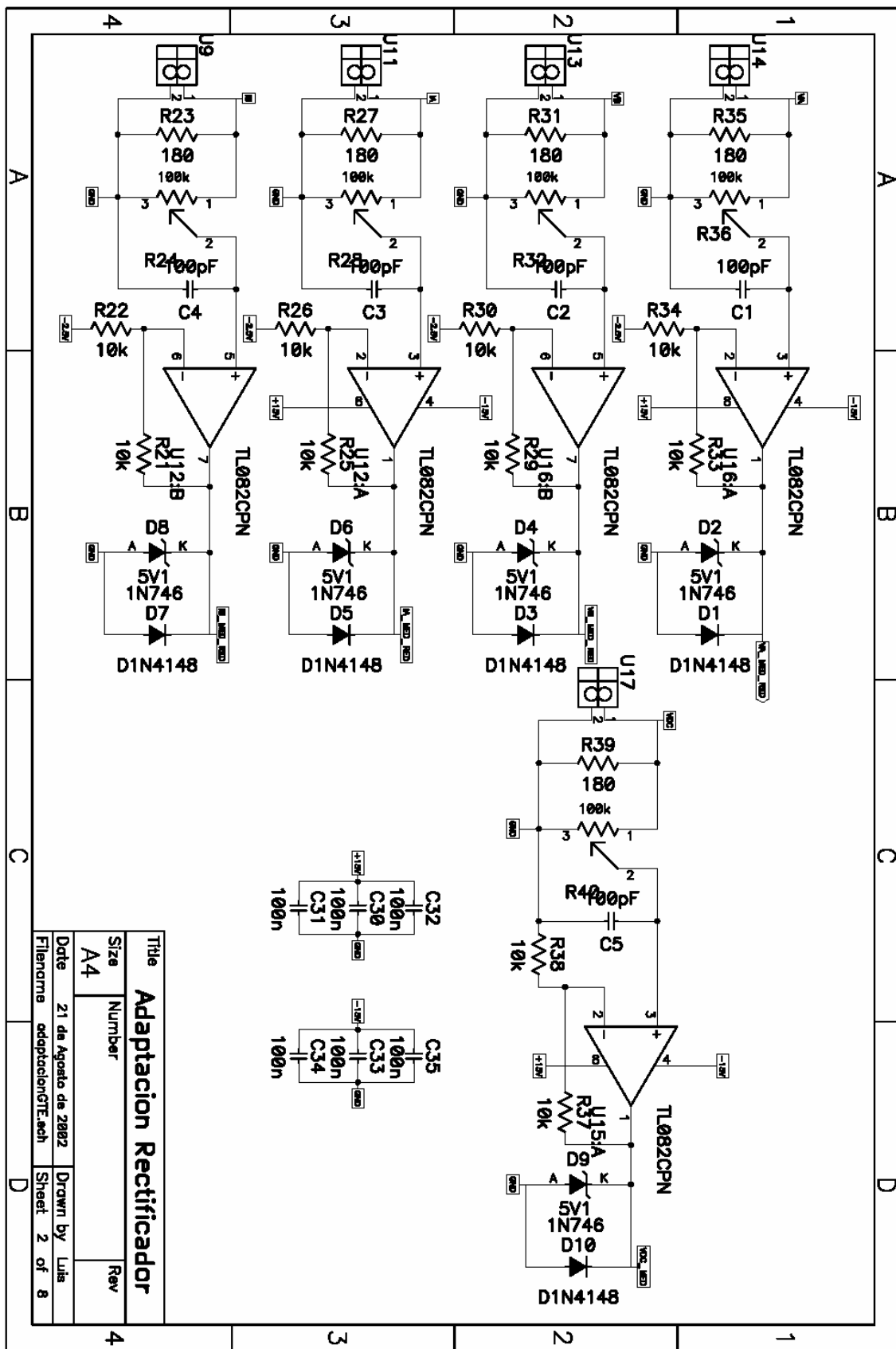


Figura 84. Esquemática: Adaptación de señales para variables de control del Rectificador

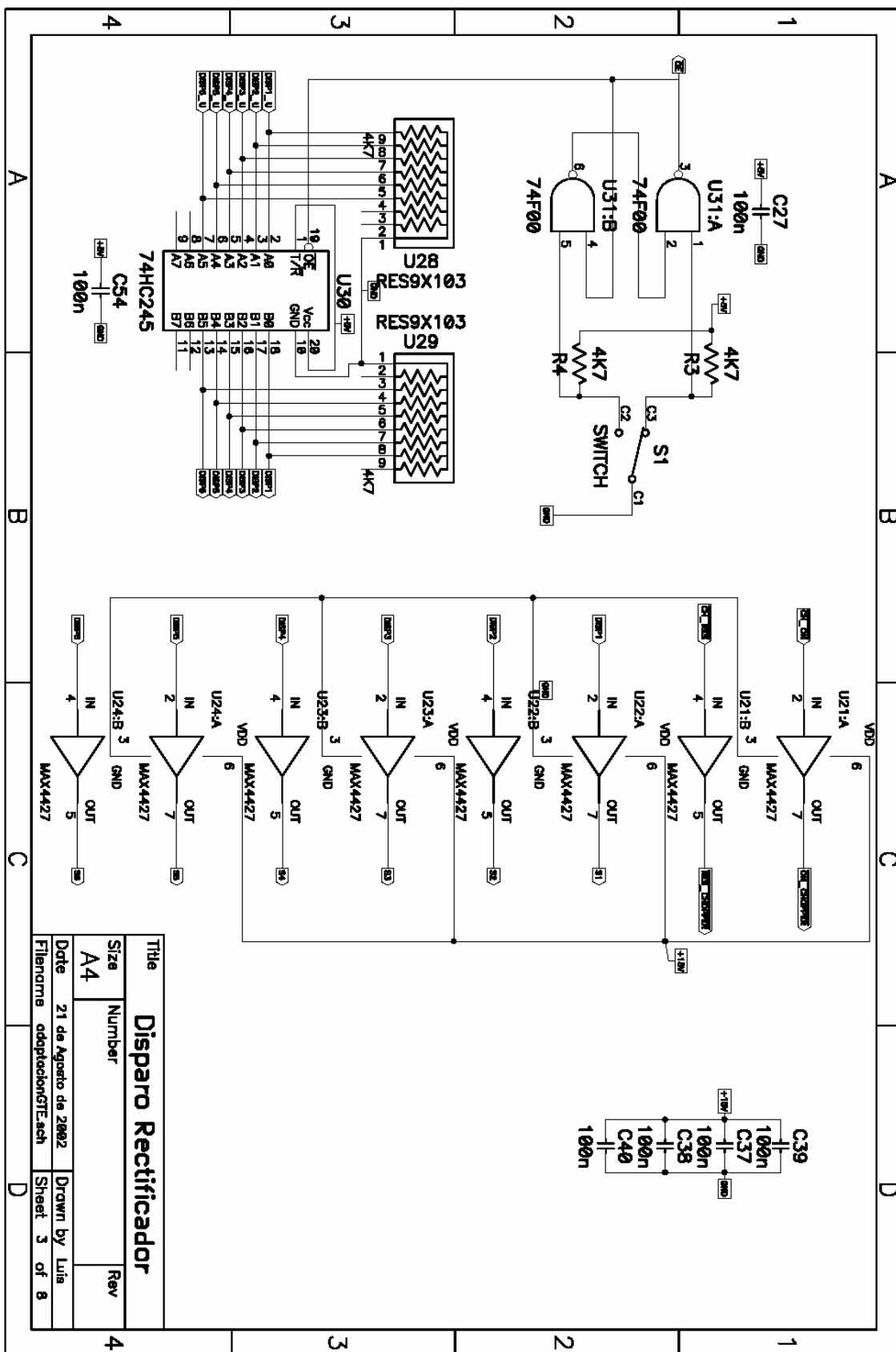


Figura 85. Esquemático: Circuito de disparo del Rectificador

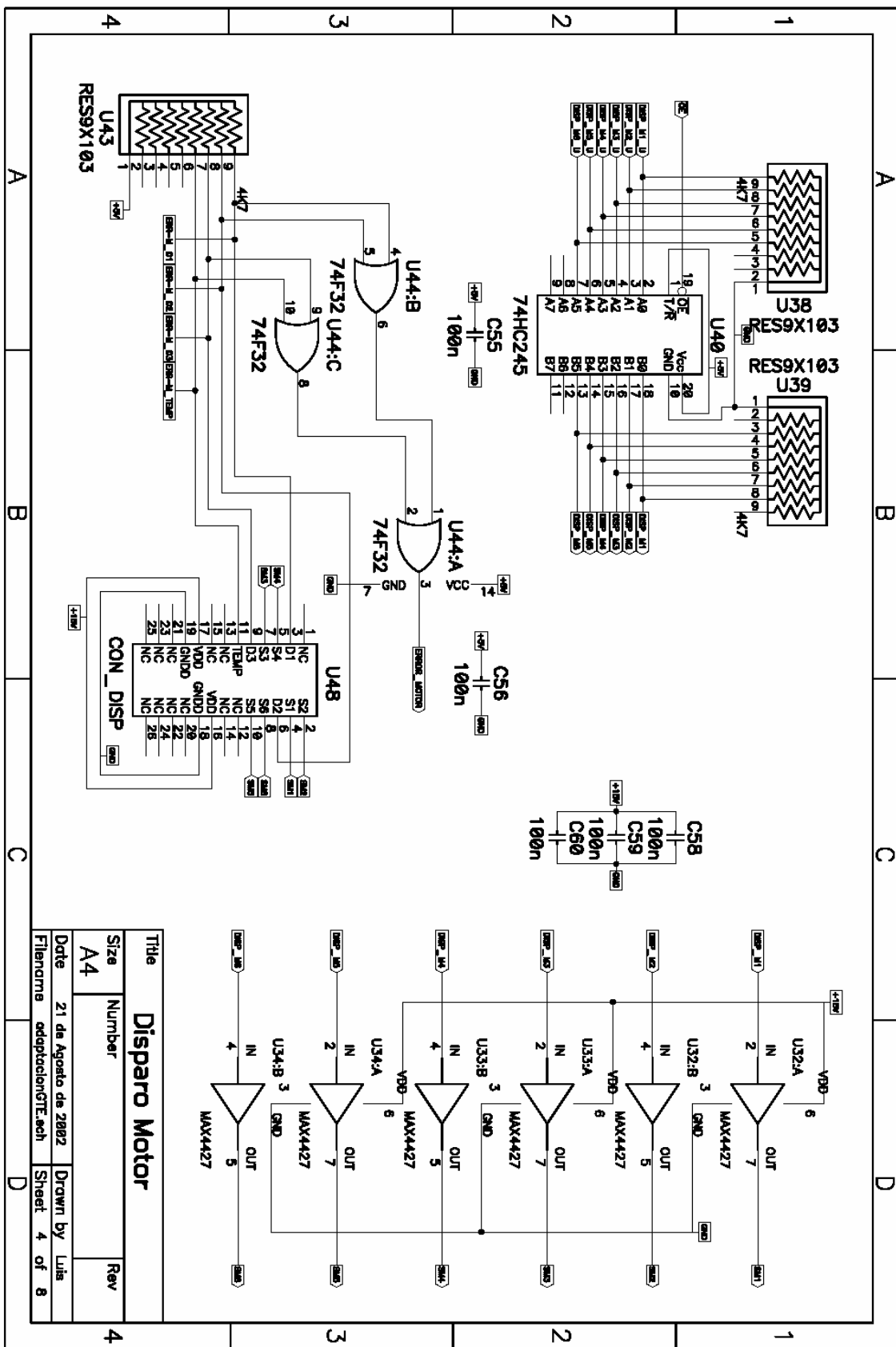


Figura 86. Esquemático: Circuito de disparo del Inversor del motor

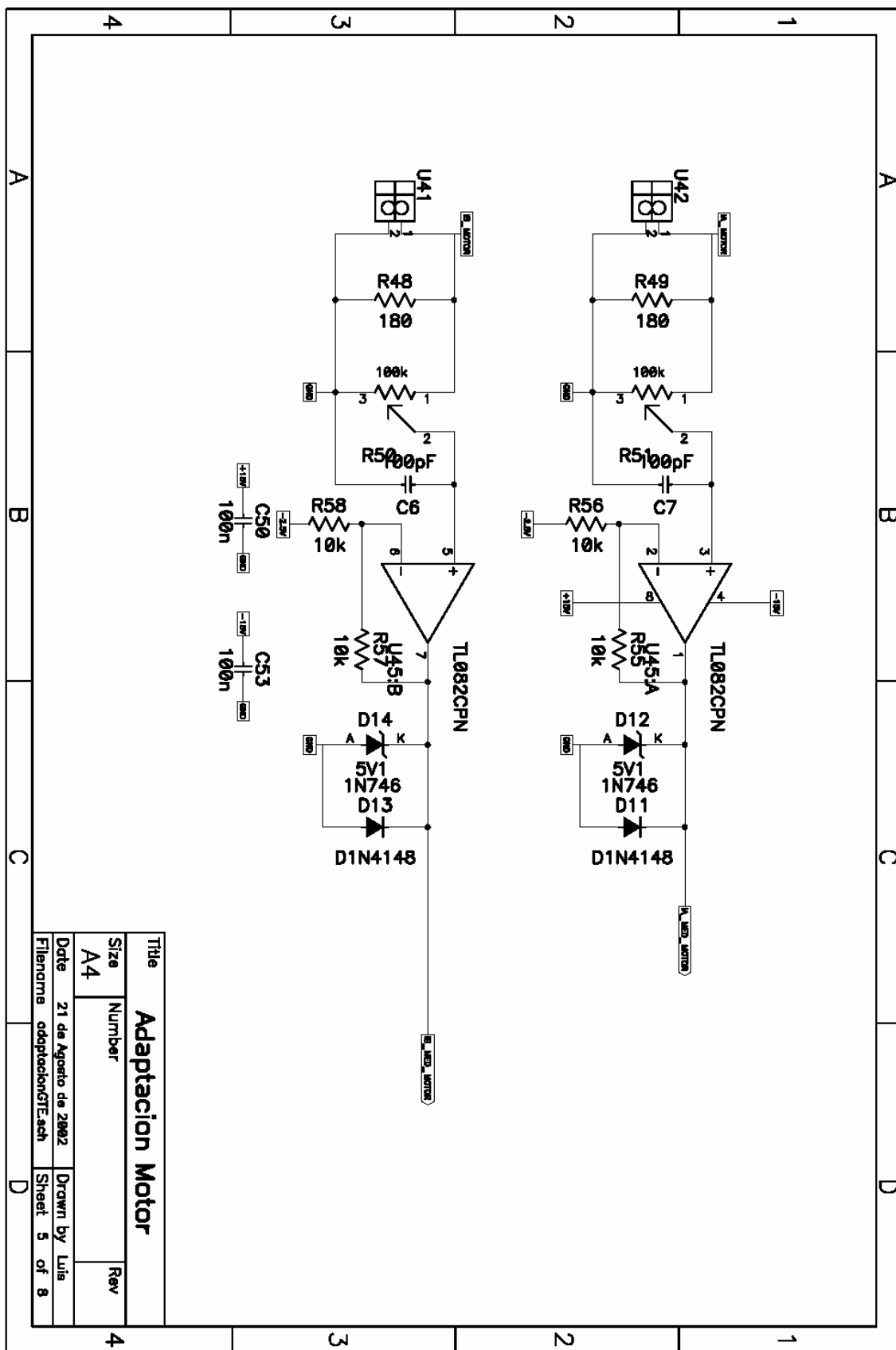


Figura 87. Esquemática: Adaptación de señales para variables de control del Inversor del motor

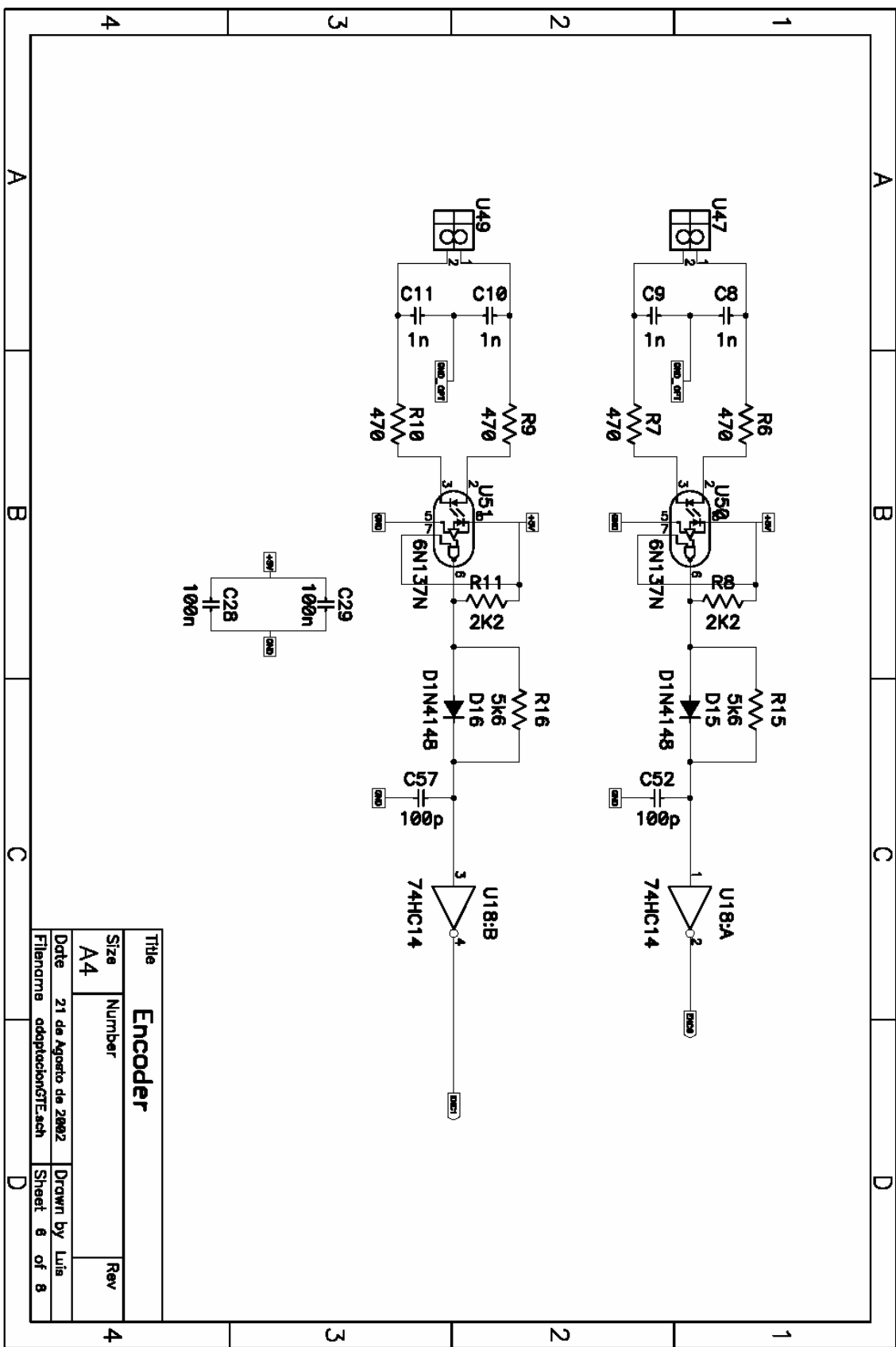


Figura 88. Esquemático: Adaptación de señal de los pulsos del Encoger

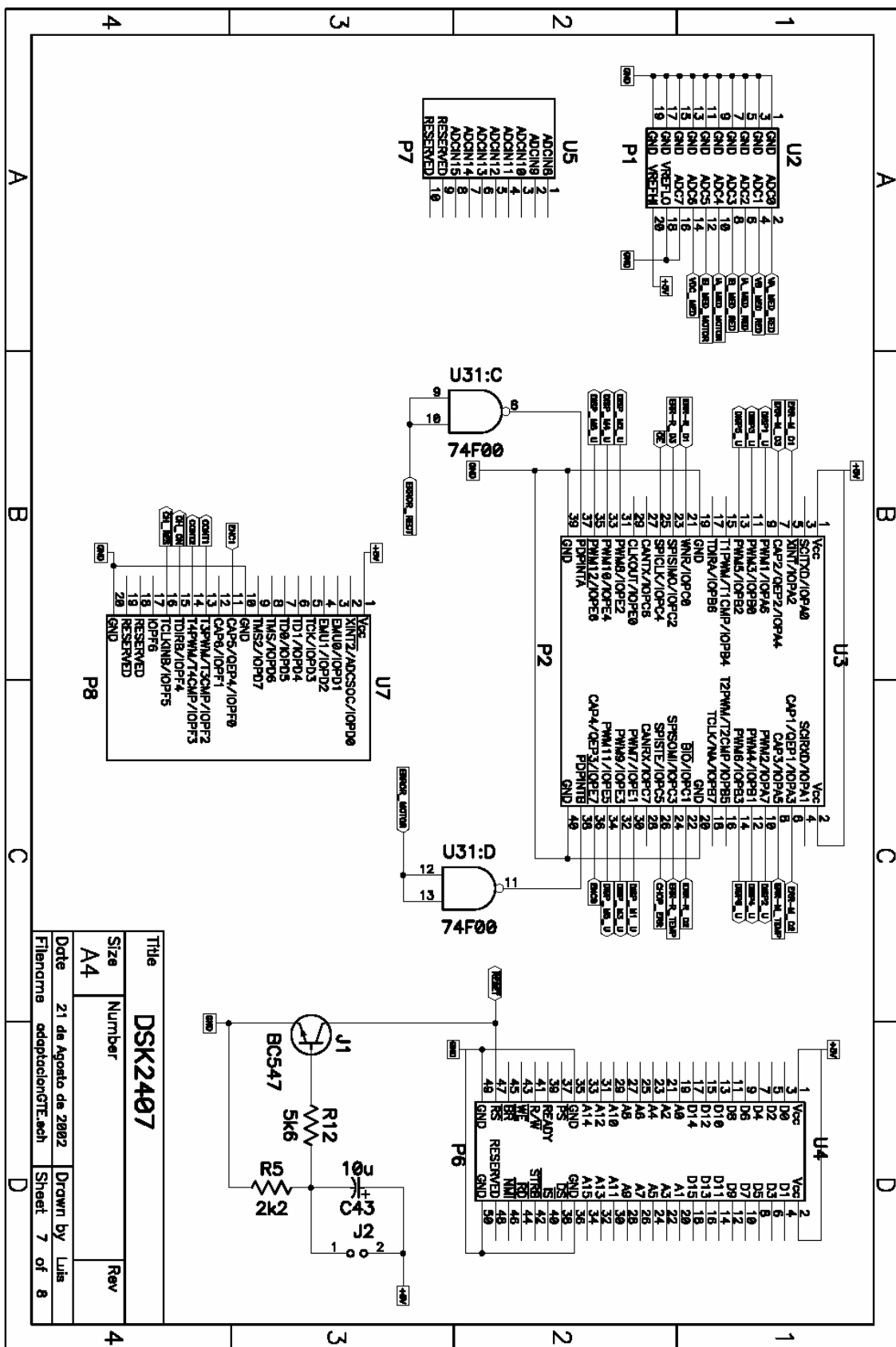


Figura 89. Conectores de expansión de la tarjeta eZdsp 2407

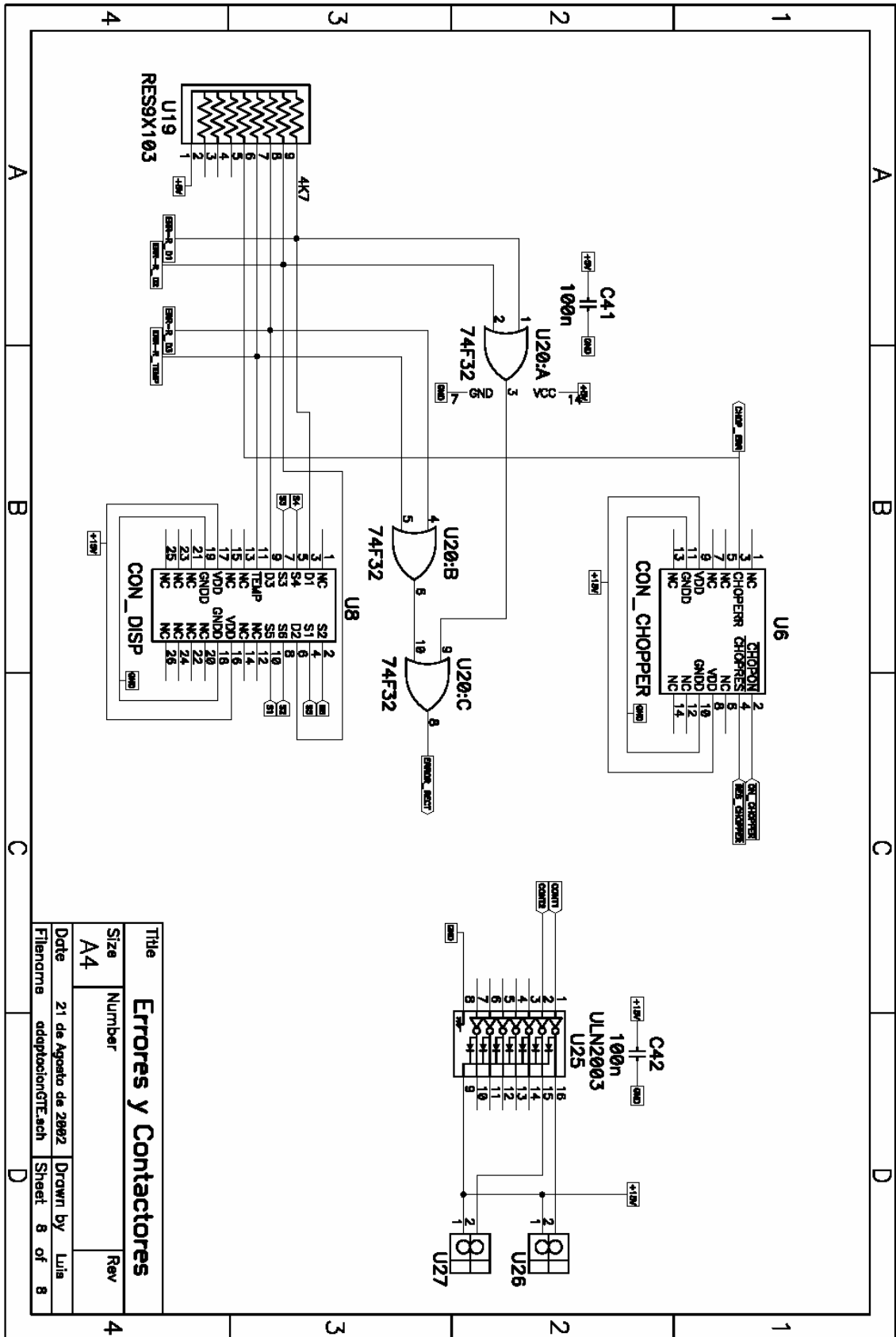


Figura 90. Esquemático: Circuito de error y salida a contactores

Title		
Errores y Contactores		
Size	Number	Rev
A4		
Date	21 de Agosto de 2002	Drawn by
File name	adoplacionITEach	Sheet
		8 of 8



Apéndice IV: Datasheets

Lista de Componentes

Núm.	Nombre del Componente	Referencia
7	1N751	D2,D4,D6,D8,D9,D12,D14,
2	6N137N	U50,U51
1	74F00	U31
2	74F32	U20,U44
1	74HC14	U18
2	74HC245	U30,U40
1	BC547	J1
1	BORNA-3	CON1
2	Condensador electrolítico de 10 μ F	C43, C12
4	Condensador de plástico azul de 1nF	C8,C9,C10,C11
23	Condensador de plástico azul de 100nF	C27,C28,C29,C30,C31,C32,C33,C34, C35,C37,C38,C39,C40,C41,C42,C50, C53,C54,C55,C56,C58,C59,C60
9	Condensador cerámico de 100pF	C52,C57,C1,C2,C3,C4,C5,C6,C7
12	Bornas de 2	CON2,U9,U11,U13 U14, U17,U26,U27,U41,U42,U47,U49
1	IDC14M	U6
2	IDC26M	U8,U48
9	1N4148	D1,D3,D5 D7,D10, D11,D13,D15,D16
1	JUMPER	J2
1	LM431	U1
7	MAX4427	U21,U22,U23 U24,U32,U33,U34
1	IDC20M	U2
1	IDC40M	U3
1	IDC50M	U4
1	P7	P7
1	P8	P8
8	Potenciometro de 100k Ω	R2,R24,R28,R32 R36,R40,R50,R51
6	Pack de 9 resistencias de 10 k Ω	U19,U28,U29 U38,U39,U43
1	Resistencia de 1k5 Ω de 1/4W	R1
2	Resistencia de 2k2 Ω de 1/4W	R5,R8
2	Resistencia de 4k7 Ω de 1/4W	R3,R4
3	Resistencia de 5k6 Ω de 1/4W	R12,R15,R16
14	Resistencia de 10k Ω de 1/4W	R21,R22,R25,R26,R29,R30,R33 R34,R37,R38,R55,R56,R57,R58
7	Resistencia de 180 Ω de 1/4W	R23,R27,R31,R35,R39,R48,R49
4	Resistencia de 470 Ω de 1/4W	R6,R7,R9,R10
1	Switch	S1
4	TL082CPN	U12,U15,U16,U45
1	ULN2003	U25
1	eZdsp del TMS320LF2407	

eZdspTM LF2407

Technical Reference

eZdsp™ LF2407
Technical Reference

505565-0001 Rev. C
August 2001

SPECTRUM DIGITAL, INC.
12502 Exchange Dr., Suite 440 Stafford, TX. 77477
Tel: 281.494.4505 Fax: 281.494.5310
sales@spectrumdigital.com www.spectrumdigital.com

IMPORTANT NOTICE

Spectrum Digital, Inc. reserves the right to make changes to its products or to discontinue any product or service without notice. Customers are advised to obtain the latest version of relevant information to verify data being relied on is current before placing orders.

Spectrum Digital, Inc. warrants performance of its products and related software to current specifications in accordance with Spectrum Digital's standard warranty. Testing and other quality control techniques are utilized to the extent deemed necessary to support this warranty.

Please be aware, products described herein are not intended for use in life-support appliances, devices, or systems. Spectrum Digital does not warrant, nor is it liable for, the product described herein to be used in other than a development environment.

Spectrum Digital, Inc. assumes no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein. Nor does Spectrum Digital warrant or represent any license, either express or implied, is granted under any patent right, copyright, or other intellectual property right of Spectrum Digital, Inc. covering or relating to any combination, machine, or process in which such Digital Signal Processing development products or services might be or are used.

WARNING

This equipment is intended for use in a laboratory test environment only. It generates, uses, and can radiate radio frequency energy and has not been tested for compliance with the limits of computing devices pursuant to subpart J of part 15 of FCC rules, which are designed to provide reasonable protection against radio frequency interference. Operation of this equipment in other environments may cause interference with radio communications, in which case the user, at his own expense, will be required to take any measures necessary to correct this interference.

TRADEMARKS

eZdsp is a trademark of Spectrum Digital, Inc.

Contents

1	Introduction to the eZdsp™ LF2407	1-1
	<i>Provides a description of the eZdsp™ LF2407, key features, and board outline.</i>	
1.0	Overview of the eZdsp™ LF2407	1-2
1.1	Key Features of the eZdsp™ LF2407	1-2
1.2	Functional Overview of the eZdsp™ LF2407	1-3
2	Operation of the eZdsp™ LF2407	2-1
	<i>Describes the operation of the eZdsp™ LF2407. Information is provided on the DSK's various interfaces.</i>	
2.0	The eZdsp™ LF2407 Operation	2-2
2.1	The eZdsp™ LF2407 Board	2-2
2.1.1	Power Connector	2-3
2.2	eZdsp™ LF2407 Memory Interface	2-3
2.2.1	Program Memory	2-4
2.2.2	Data Memory	2-5
2.2.3	I/O Space	2-5
2.3	eZdsp™ LF2407 Connectors	2-6
2.3.1	P1/P7, Analog Interface	2-7
2.3.2	P2/P8, I/O Interface	2-9
2.3.3	P3, Power Connector	2-11
2.3.4	P6, Expansion connector	2-12
2.3.5	P9, Parallel Port/JTAG Interface	2-14
2.3.6	P10, JTAG Interface	2-14
2.3.7	Connector Part Numbers	2-15
2.4	eZdsp™ LF2407 Jumpers	2-15
2.4.1	JP1, VREFHI Source	2-16
2.4.2	JP2, VREFLO Source	2-17
2.4.3	JP3, Vpp Select	2-17
2.4.4	JP4, MP/MC Mode	2-18
2.5	LEDS	2-18
2.6	Test Points	2-18
A	eZdsp™ LF2407 Schematics	A-1
	<i>Contains the schematics for the eZdsp™ LF2407</i>	
B	eZdsp™ LF2407 Mechanical Information	B-1
	<i>Contains the mechanical information about the eZdsp™ LF2407</i>	

List of Figures

Figure 1-1, Block Diagram eZdsp™ LF2407	1-3
Figure 2-1, eZdsp™ LF2407 PCB Outline	2-2
Figure 2-2, eZdsp™ LF2407 Program Space	2-4
Figure 2-3, eZdsp™ LF2407 Data Space	2-5
Figure 2-4, eZdsp™ LF2407 Connector Positions	2-6
Figure 2-5, Connector P1/P7 Pin Locations	2-7
Figure 2-6, Connector P2/P8 Pin Locations	2-9
Figure 2-7, Connector P3 Location	2-11
Figure 2-8, eZdsp™ LF2407 Power Connector	2-11
Figure 2-9, Connector P6 Pin Locations	2-12
Figure 2-10, Connector P10 Pin Locations	2-14
Figure 2-11, 1 x 3 Jumper Layout	2-15
Figure 2-12, eZdsp™ LF2407 Jumper Positions	2-16

List of Tables

Table 2-1, eZdsp™ LF2407 Connectors	2-6
Table 2-2, P1 Analog Interface Connector	2-7
Table 2-3, P7 Analog Interface Connector	2-8
Table 2-4, P2 I/O Analog Interface Connector	2-9
Table 2-5, P8 I/O Analog Interface Connector	2-10
Table 2-6, P6 Expansion Interface Connector	2-13
Table 2-7, P10, JTAG Interface Connector	2-14
Table 2-8, eZdsp™ LF2407 Suggested Connector Part Numbers	2-15
Table 2-9, eZdsp™ LF2407 Jumpers	2-15
Table 2-10, JP1, VREFHI Source Select	2-16
Table 2-11, JP2, VREFLO Source Select	2-17
Table 2-12, JP3, Vpp/Watchdog Select	2-17
Table 2-13, JP4, MP/MC Mode Select	2-18
Table 2-14, LEDs	2-18

About This Manual

This document describes board level operations of the eZdsp™ LF2407 based on the Texas Instruments TMS320LF2407 Digital Signal Processor.

The eZdsp™ LF2407 is a stand-alone module--permitting engineers and software developers evaluation of certain characteristics of the TMS320LF2407 DSP to determine processor applicability to design requirements. Evaluators can create software to execute onboard or expand the system in a variety of ways.

Notational Conventions

This document uses the following conventions.

The “eZdsp™ LF2407” will sometimes be referred to as the “eZdsp”.

Program listings, program examples, and interactive displays are shown in a special italic typeface. Here is a sample program listing.

```
equations  
!rd = !strobe&rw;
```

Information About Cautions

This book may contain cautions.

This is an example of a caution statement.

A caution statement describes a situation that could potentially damage your software, hardware, or other equipment. The information in a caution is provided for your protection. Please read each caution carefully.

Related Documents

Texas Instruments TMS320F2407 Users Guide
Texas Instruments TMS320C2XX Fixed Point Assembly Language Users Guide
Texas Instruments TMS320C2XX Fixed Point C Language Users Guide
Texas Instruments TMS320C2XX Code Composer Users Guide

Introduction to the eZdsp™ LF2407

This chapter provides a description of the eZdsp™ for the TMS320LF2407 Digital Signal Processor, key features, and block diagram of the circuit board.

Topic	Page
1.0 Overview of the eZdsp™ LF2407	1-2
1.1 Key Features of the eZdsp™ LF2407	1-2
1.2 Functional Overview of the eZdsp™ LF2407	1-3

1.0 Overview of the eZdsp™ LF2407

The eZdsp™ LF2407 is a stand-alone card--allowing evaluators to examine the TMS320LF2407 digital signal processor (DSP) to determine if it meets their application requirements. Furthermore, the module is an excellent platform to develop and run software for the TMS320LF2407 processor.

The eZdsp™ LF2407 is shipped with a TMS320LF2407. The eZdsp™ LF2407 allows full speed verification of LF2407 code. With 64K words of onboard program/data RAM the eZdsp can solve a variety of problems as shipped. Three expansion connectors are provided for any necessary evaluation circuitry not provided on the as shipped configuration.

To simplify code development and shorten debugging time, a C2000 Tools Code Composer driver is provided. In addition, an onboard JTAG connector provides interface to emulators, operating with other debuggers to provide assembly language and 'C' high level language debug.

1.1 Key Features of the eZdsp™ LF2407

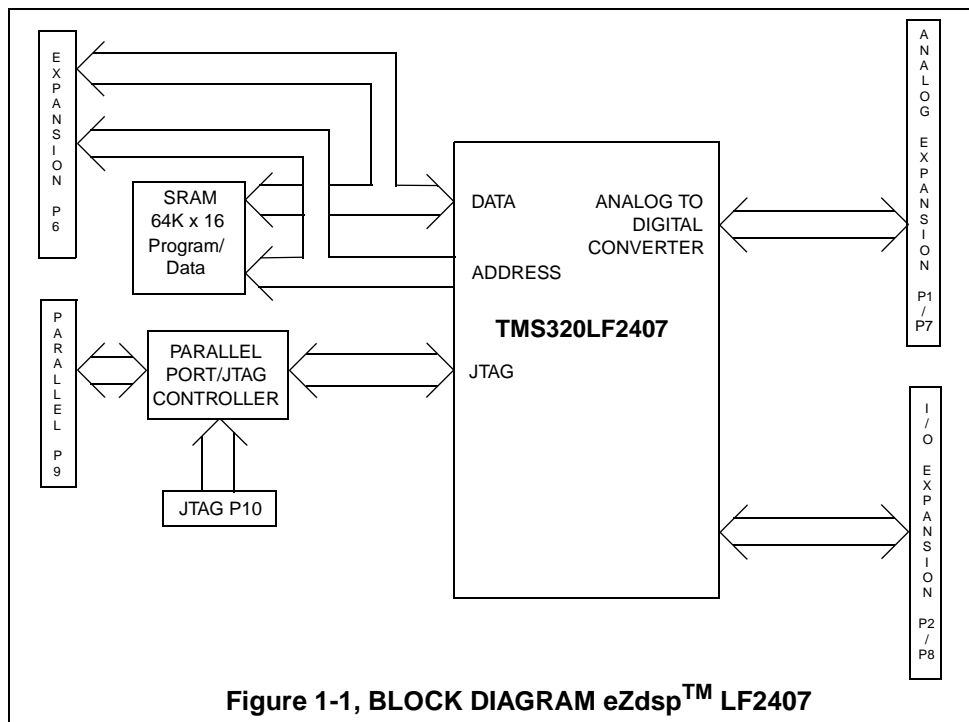
The eZdsp™ LF2407 has the following features:

- TMS320LF2407 Digital Signal Processor
- 30 MIPS operating speed
- 64K words onboard program/data RAM
- 32K words on-chip Flash memory
- Onboard 7.3728-MHz oscillator
- 3 Expansion Connectors (analog, I/O, expansion)
- Onboard IEEE 1149.1 JTAG Controller
- 5-volt only operation with supplied AC adapter
- TI Code Composer tools driver
- On board IEEE 1149.1 JTAG emulation connector

1.2 Functional Overview of the eZdsp™ LF2407

Figure 1-1 shows a block diagram of the basic configuration for the eZdsp™ LF2407. The major interfaces of the eZdsp include the external program and data RAM, JTAG interface, and expansion interface.

The DSK interfaces to 64K Words of onboard static memory. This memory is divided between the program and data space. An external I/O interface supports 65,000 parallel I/O ports.



Operation of the eZdsp™ LF2407

This chapter describes the operation of the eZdsp™ LF2407, key interfaces and includes a circuit board outline.

Topic	Page
2.0 The eZdsp™ LF2407 Operation	2-2
2.1 The eZdsp™ LF2407 Board	2-2
2.1.1 Power Connector	2-3
2.2 eZdsp™ LF2407 Memory Interface	2-3
2.2.1 Program Memory	2-4
2.2.2 Data Memory	2-5
2.2.3 I/O Space	2-5
2.3 eZdsp™ LF2407 Connectors	2-6
2.3.1 P1/P7, Analog Interface	2-7
2.3.2 P2/P8, I/O Interface	2-9
2.3.3 P3, Power Connector	2-11
2.3.4 P6, Expansion Connector	2-12
2.3.5 P9, Parallel Port/JTAG Interface	2-14
2.3.6 P10, JTAG Interface	2-14
2.3.7 Connector Part numbers	2-15
2.4 eZdsp™ LF2407 Jumpers	2-15
2.4.1 JP1, VREFHI Source Select	2-16
2.4.2 JP2, VREFLO Source	2-17
2.4.3 JP3, Vpp Select	2-17
2.4.4 JP4, MP/MC Mode Select	2-18
2.5 LEDs	2-18
2.6 Test Points	2-18

2.0 The eZdsp™ LF2407 Operation

This chapter describes the eZdsp™ LF2407, key components, and operation, Information on the eZdsp's various interfaces is also included. The eZdsp™ LF2407 consists of six major blocks of logic:

- External program and data memory
- Analog Interface
- I/O Interface
- Expansion interface
- JTAG Interface
- Parallel Port JTAG Controller Interface

2.1 The eZdsp™ LF2407 Board

The eZdsp™ LF2407 is a 5.25 x 3.0 inch, multi-layered printed circuit board, powered by an external 5-Volt only power supply. Figure 2-1 shows the layout of the LF2407 eZdsp.

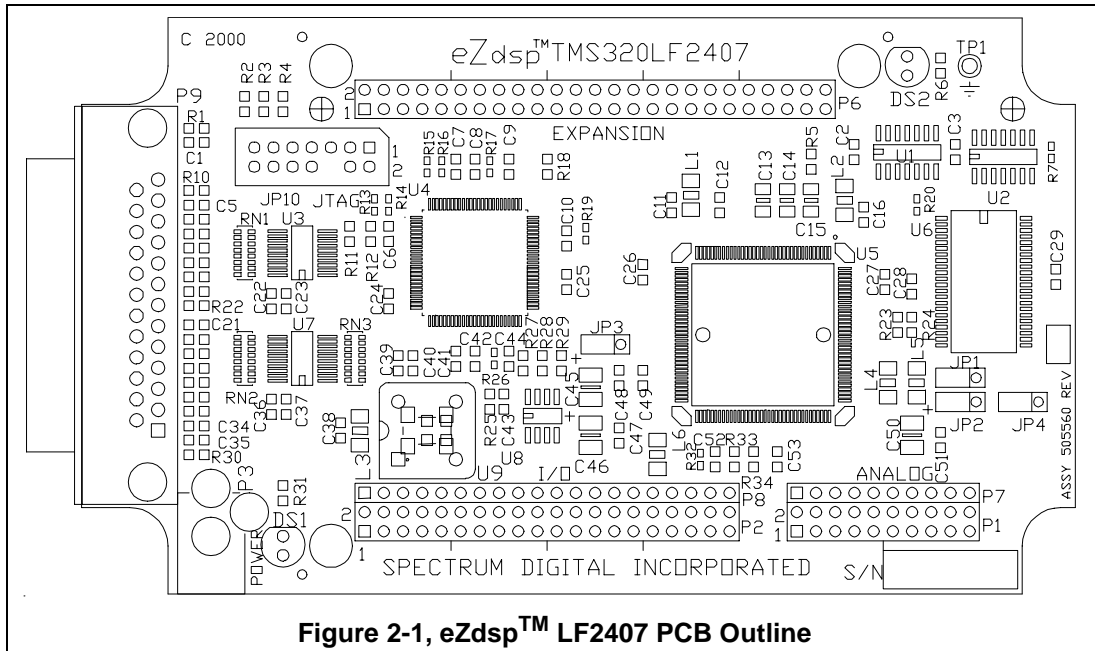


Figure 2-1, eZdsp™ LF2407 PCB Outline

2.1.1 Power Connector

The eZdsp™ LF2407 is powered by a 5-Volt only power supply, included with the unit. The power supply has a current rating of 1 amp. The unit requires 200mA. The power is supplied via connector P3. If expansion boards are connected to the eZdsp, a higher amperage power supply may be necessary. Section 2.4.2 provides more information on connector P3.

2.2 eZdsp™ LF2407 Memory Interface

The eZdsp includes the following memory: 32K words on-chip Flash memory, 64K words onboard RAM memory-- split between program and data space. The processor on the eZdsp can be configured for microcomputer or microprocessor mode.

In microprocessor mode external RAM from 0x8000-0xFFFF is mirrored at location 0x0000-0x7FFF

The eZdsp is designed so the user can develop software and load it into on board RAM for debug.

2.2.1 Program Memory

In the as shipped configuration the eZdsp™ uses the off chip program memory. This memory appears at the same address locations as the on chip Flash memory which makes it ideal for debugging software.

The figure below shows the program memory configuration on the eZdsp™ LF2407.

Hex	
0000	Interrupts (On chip Flash)
003F	
0040	On-chip Flash ROM (Flash)
7FFF	(4 Segments)
8000	SARAM (PON = 1) External RAM (PON = 0)
87FF	
8800	External RAM
FDFE	
FE00	On-Chip DARAM Image B0 (CNF = 1)
FEFF	External RAM (CNF = 0)
FF00	On-Chip DARAM B0' (CNF = 1)
FFFF	External (CNF = 0)

t RAM is mirrored from 0x0000-0x7FFF when the processor is set to microprocessor mode

Figure 2-2, eZdsp™ LF2407 Program Space

2.2.2 Data Memory

The data memory configuration on the eZdsp™ LF2407 is shown in the figure below. The location of the on-chip, memory mapped peripheral registers are also shown because these reside in the data space.

Hex	
0000	Memory-Mapped Register and Reserved
005F	
0060	On-Chip DARAM B2
007F	
0080	Reserved
01FF	
0200	On-Chip DARAM B0 (CNF = 0)
02FF	Reserved (CNF = 1)
0300	On-Chip DARAM B1
03FF	
0400	Reserved
07FF	
0800	SARAM (PON = 1)
0FFF	External (PON = 0)
1000	
6FFF	Reserved
7000	Peripheral Memory-Mapped Registers (System, ADS, SCI, SPI, I/O, Interrupts)
73FF	
7400	Peripheral Memory-Mapped Registers (Event Manager A)
743F	
7440	Reserved
74FF	
7500	Peripheral Memory-Mapped Registers (Event Manager B)
753F	
7540	Illegal
7FFF	
8000	External RAM
FFFF	

Figure 2-3, eZdsp™ LF2407 Data Space

2.2.3 I/O Space

The entire I/O map for the eZdsp™ LF2407 is available to the user for development.

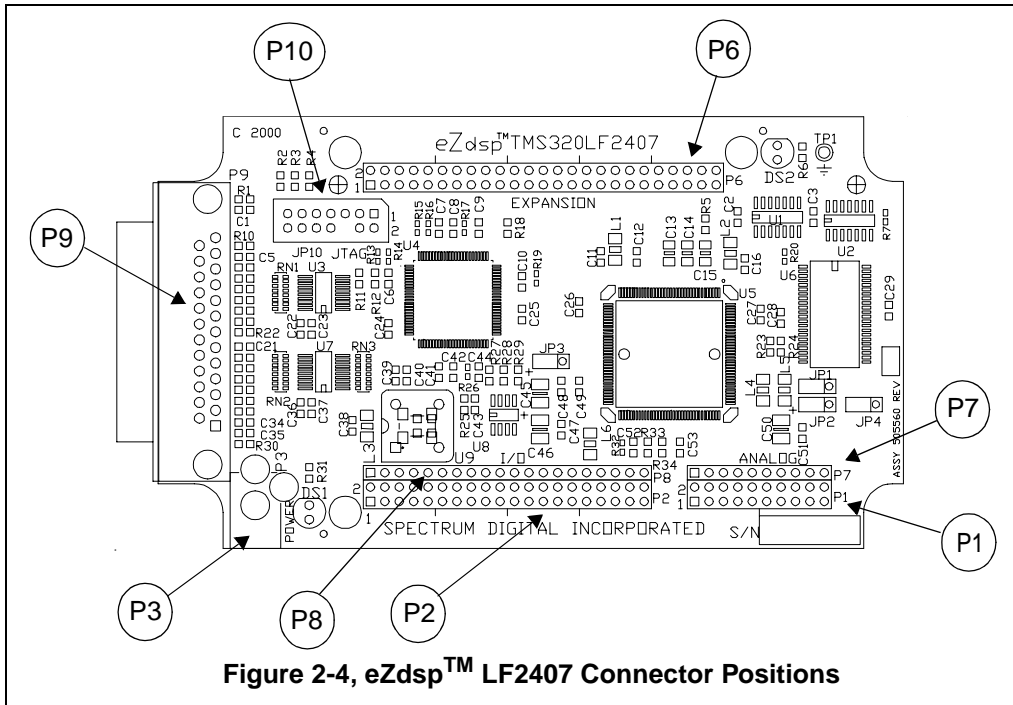
2.3 eZdsp™ LF2407 Connectors

The eZdsp™ LF2407 has eight connectors. Pin 1 of each connector is identified by a square solder pad. The function of each connector is shown in the table below:

Table 1: eZdsp™ LF2407 Connectors

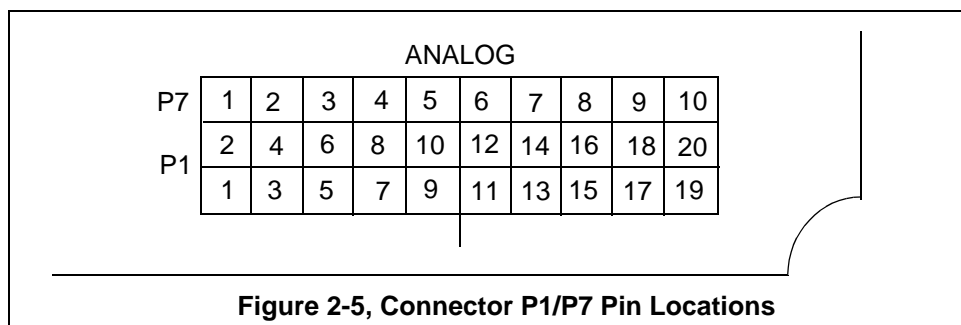
Connector	Function
P1/P7	Analog Interface
P2/P8	I/O Interface
P3	Power Connector
P6	I/O Expansion Connector
P9	Parallel Port/JTAG Controller Interface
P10	JTAG Interface

The diagram below shows the position of each connector



2.3.1 P1/P7, Analog Interface

The positions of the 20 pins on the P1 connector and the 10 pins on the P7 are shown in the diagram below as viewed from the top of the eZdsp.



The definition of P1, which has the analog signals is shown below.

Table 2: P1, Analog Interface Connector

Pin #	Signal	Pin #	Signal
1	GND	2	ADCIN0
3	GND	4	ADCIN1
5	GND	6	ADCIN2
7	GND	8	ADCIN3
9	GND	10	ADCIN4
11	GND	12	ADCIN5
13	GND	14	ADCIN6
15	GND	16	ADCIN7
17	GND	18	VREFLO
19	GND	20	VREFHI

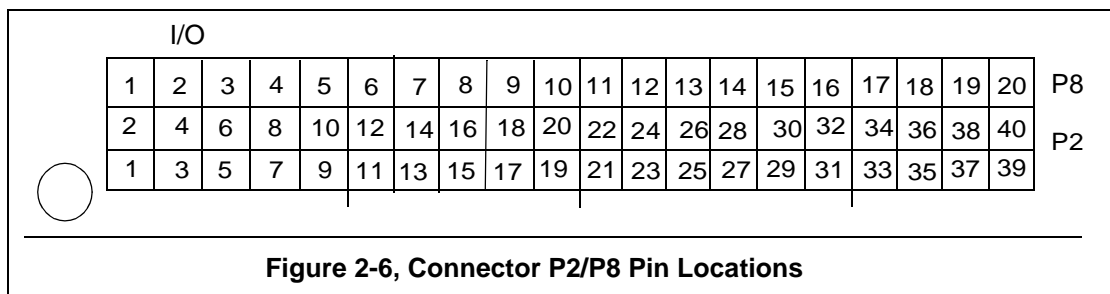
The definition of P7, which also has the Analog interface is shown below.

Table 3: P7, Analog Interface Connector

Pin #	Signal
1	ADCIN8
2	ADCIN9
3	ADCIN10
4	ADCIN11
5	ADCIN12
6	ADCIN13
7	ADCIN14
8	ADCIN15
9	RESERVED
10	RESERVED

2.3.2 P2/P8, I/O Interface

The positions of the 40 pins on the P2 and the 20 pins on the P8 connectors are shown in the diagram below as viewed from the top of the eZdsp.



The definition of P2, which has I/O signal interface is shown below.

Table 4: P2, I/O Interface Connector

Pin #	Signal	Pin #	Signal
1	+5V	2	+5V
3	SCITXD/IOPA0	4	SCIRXD/IOPA1
5	XINT1-/IOPA2	6	CAP1/QEP1/IOPA3
7	CAP2/QEP2/IOPA4	8	CAP3/IOPA5
9	PWM1/IOPA6	10	PWM2/IOPA7
11	PWM3/IOPB0	12	PWM4/IOPB1
13	PWM5/IOPB2	14	PWM6/IOPB3
15	T1PWM/T1CMP/IOPB4	16	T2PWM/T2CMP/IOPB5
17	TDIRA/IOPB6	18	TCLKINA/IOPB7
19	GND	20	GND
21	WNR/IOPC0	22	BIO-/IOPC1
23	SPISIMO/IOPC2	24	SPISOMI/IOPC3
25	SPICLK/IOPC4	26	SPISTE/IOPC5
27	CANTX/IOPC6	28	CANRX/IOPC7
29	CLKOUT/IOPE0	30	PWM7/IOPE1
31	PWM8/IOPE2	32	PWM9/IOPE3
33	PWM10/IOPE4	34	PWM11/IOPE5
35	PWM12/IOPE6	36	CAP4/QEP3/IOPE7
37	PDPINTA-	38	PDPINTB-
39	GND	40	GND

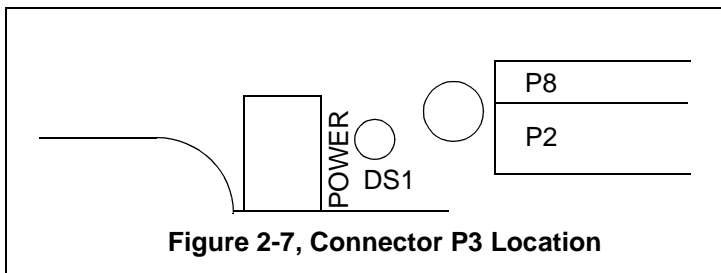
The definition of P8, which also has the I/O signal interface is shown below.

Table 5: P8, I/O Interface Connector

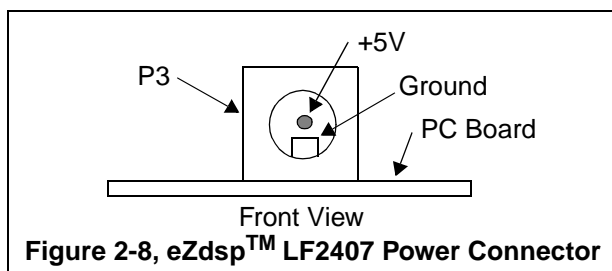
Pin #	Signal
1	+5V
2	XINT2-/ADCSOC/ IOPD0
3	EMU0/IOPD1
4	EMU1/IOPD2
5	TCK/IOPD3
6	TDI/IOPD4
7	TDO/IOPD5
8	TMS/IOPD6
9	TMS2/IOPD7
10	GND
11	CAP5/QEP4/IOPF0
12	CAP6/IOPF1
13	T3PWM/T3CMP/IOPF2
14	T4PWM/T4CMP/IOPF3
15	TDIRB/IOPF4
16	TCLKINB/IOPF5
17	IOPF6
18	RESERVED
19	RESERVED
20	GND

2.3.3 P3, Power Connector

Power (5 volts) is brought onto the eZdsp™ F2407 via the P3 connector. The connector has an outside diameter of 5.5 mm. and an inside diameter of 2 mm. The position of the P3 connector is shown below.

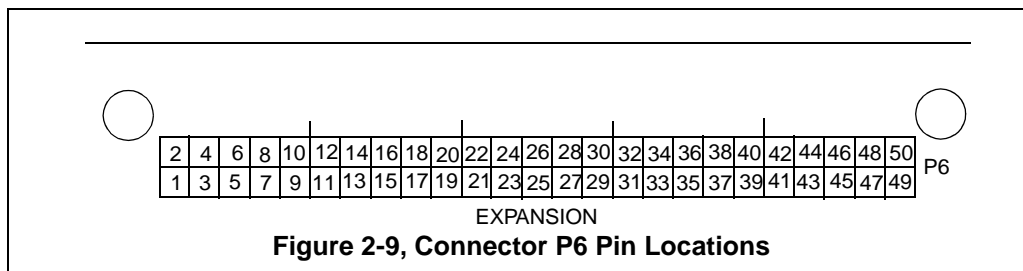


The diagram of P3, which has the input power is shown below.



2.3.4 P6, Expansion Connector

The positions of the 50 pins on the P6 connector are shown in the diagram below as viewed from the top of the eZdsp.



The definition of P6, which has the memory interface signals, is shown below.

Table 6: P6, Expansion Interface Connector

Pin #	Signal	Pin #	Signal
1	+5V	2	+5V
3	D0	4	D1
5	D2	6	D3
7	D4	8	D5
9	D6	10	D7
11	D8	12	D9
13	D10	14	D11
15	D12	16	D13
17	D14	18	D15
19	A0	20	A1
21	A2	22	A3
23	A4	24	A5
25	A6	26	A7
27	A8	28	A9
29	A10	30	A11
31	A12	32	A13
33	A14	34	A15
35	GND	36	GND
37	PS-	38	DS-
39	READY	40	IS-
41	R/W-	42	STRB-
43	WE-	44	RD-
45	3.3V**	46	RESERVED
47	RS-*	48	RESERVED
49	GND	50	GND

* Bi-directional, **must** be driven with open collector.

** BR- pin on other DSKs 3.3 volt is **not** to be used for power source.

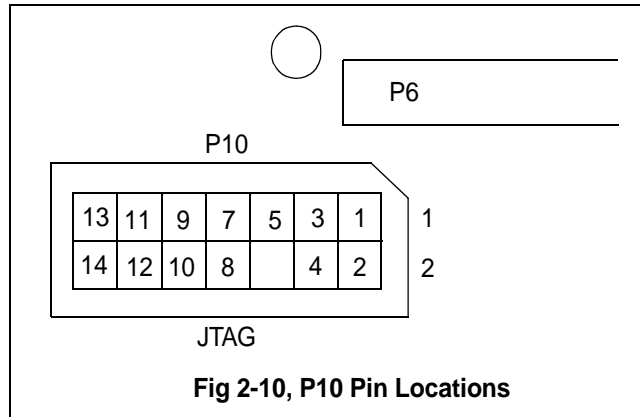
2.3.5 P9, Parallel Port/JTAG Interface

The eZdsp™ LF2407 uses a custom parallel port-JTAG interface device. This device incorporates a standard parallel port interface that supports ECP, EPP, and SPP8/bidirectional communications. The device has direct access to the integrated JTAG interface. Drivers for C2000 Code Composer tools are shipped with the eZdsp modules

2.3.6 P10, JTAG Interface

The eZdsp™ LF2407 is supplied with a 14-pin header interface, P5. This is the standard interface used by JTAG emulators to interface to Texas Instruments DSPs.

The positions of the 14 pins on the P10 connector are shown in the diagram below as viewed from the top of the eZdsp.



The definition of P10, which has the JTAG signals is shown below..

Table 7: P10, JTAG Interface Connector

Pin #	Signal	Pin #	Signal
1	TMS	2	TRST-
3	TDI	4	GND
5	PD (+5V)	6	no pin
7	TDO	8	GND
9	TCK-RET	10	GND
11	TCK	12	GND
13	EMU0	14	EMU1

2.3.7 Connector Part Numbers

The table below shows the part numbers for connectors which can be used on the eZdsp™ LF2407. Part numbers from other manufacturers may also be used.

Table 8: eZdsp™ LF2407 Suggested Connector Part Numbers

Connector	Male Part Numbers	Female Part Numbers
P1/P7	SAMTEC TSW-1-10-07-G-T	SAMTEC SSW-1-10-01-G-T
P2/P8	SAMTEC TSW-1-20-07-G-T	SAMTEC SSW-1-20-01-G-T
P6	SAMTEC TSW-1-25-07-G-D	SAMTEC SSW-1-25-01-G-D

*SSW or SSQ Series can be used

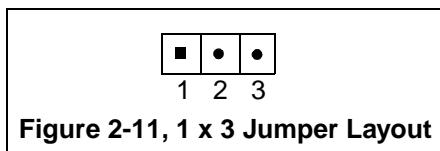
2.4 eZdsp™ LF2407 Jumpers

The eZdsp™ LF2407 has 4 jumpers which determine how features on the eZdsp™ LF2407 are utilized. The table below lists the jumpers and their function. The following sections describe the use of each jumper.

Table 9: eZdsp™ LF2407 Jumpers

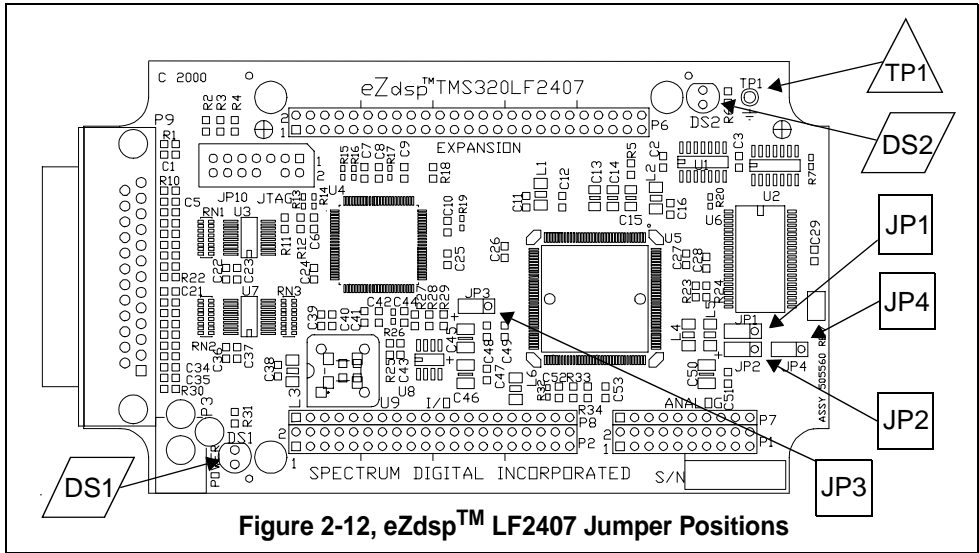
Jumper #	Size	Function	Position As Shipped From Factory
JP1	1 x 3	VREFHI Source	1-2
JP2	1 x 3	VREFLO Source	1-2
JP3	1 x 3	Vpp Select	1-2
JP4	1 x 3	MP/MC Mode	1-2

Each jumper on the eZdsp™ LF2407 is a 1x3 jumper. Each 1x3 jumper must have the selection 1-2 or 2-3. The #2 pin is the center pin. The #1 pin has a square solder pad and can be seen from the solder side of the printed circuit board. This pin is usually marked with a '1' on the boards silkscreen. A top view of the 1x3 jumper is show below.



WARNING!
 Unless noted otherwise, all 1x3 jumpers must be installed in either the 1-2 or 2-3 position

The diagram below shows the positions of the five jumpers on the eZdsp™ LF2407.



2.4.1 JP1, VREFHI Source Select

Jumper JP1 is used to select the source of the VREFHI signal. If position 1-2 is selected the VREFHI signal will come from an on board source and is typically 3.3 volts. The 2-3 selection will allow the VREFHI source to come from an external source on pin 20 of connector P1 (Analog Interface).

Table 10: JP1, VREFHI Source Select

Position	Function
1-2*	Internal VREFHI
2-3	External VREFLO

*default configuration

2.4.2 JP2, VREFLO Source Select

Jumper JP2 is used to select the source of the VREFLO signal. If position 1-2 is selected the VREFLO signal will come from an on board source and is typically 0 volts. The 2-3 selection will allow the VREFLO source to come from an external source on pin 18 of connector P1 (Analog Interface).

Table 11: JP2, VREFLO Source Select

Position	Function
1-2*	On board VREFLO
2-3	External VREFLO

* default configuration

2.4.3 JP3, Vpp Select

Jumper JP3 is used to select the Flash programming voltage. The 1-2 position removes Vpp from the DSP and disables programming. If position 2-3 is selected the Flash programming voltage will be enabled.

Table 12: JP3, Vpp/Watchdog Select

Position	Function
1-2*	Vpp disabled
2-3	Vpp enabled

* default configuration

2.4.4 JP4, MP/MC Mode Select

Jumper JP4 is used to select in which mode the TMS320LF2407 will operate. If position 1-2 is selected the DSP will operate in the microprocessor mode. The 2-3 selection will operate the DSP in the microcontroller mode.

Table 13: JP4, MP/MC Mode Select

Position	Function
1-2*	Microprocessor Mode
2-3	Microcontroller Mode

* default configuration

2.5 LEDs

The eZdsp™ LF2407 has two light-emitting diodes. DS1 indicates the presence of +5 volts and is normally 'on' when power is applied to the board. DS2 is under software control. It is tied to the IOPC0 pin on the DSP. These are shown in the table below:

Table 14: LEDs

LED #	Color	Controlling Signal
DS1	Red	+5 Volts
DS2	Red	IOPC0

2.6 Test Points

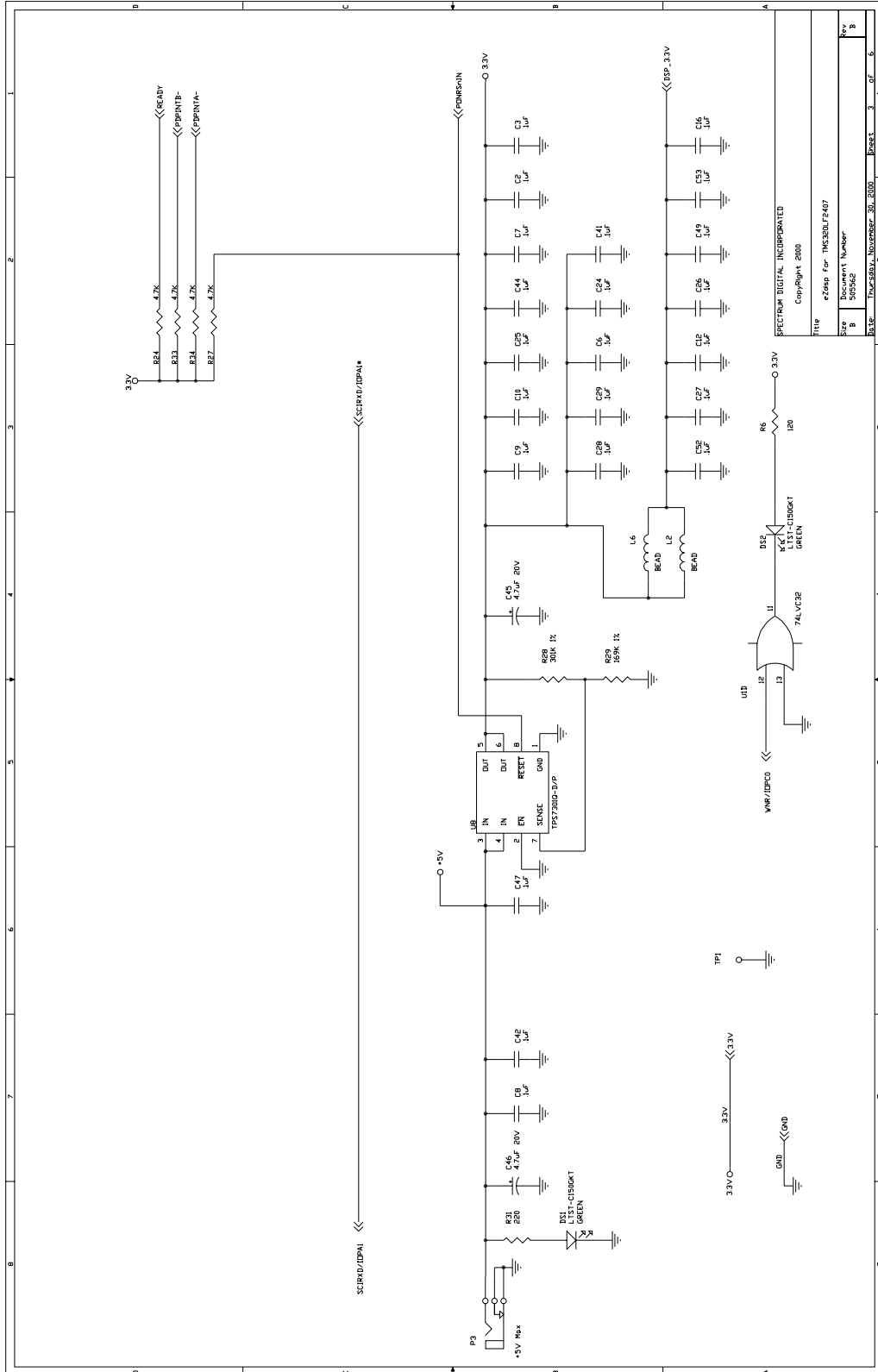
The eZdsp™ LF2407 has one test point, TP1. This test point is tied to Ground.

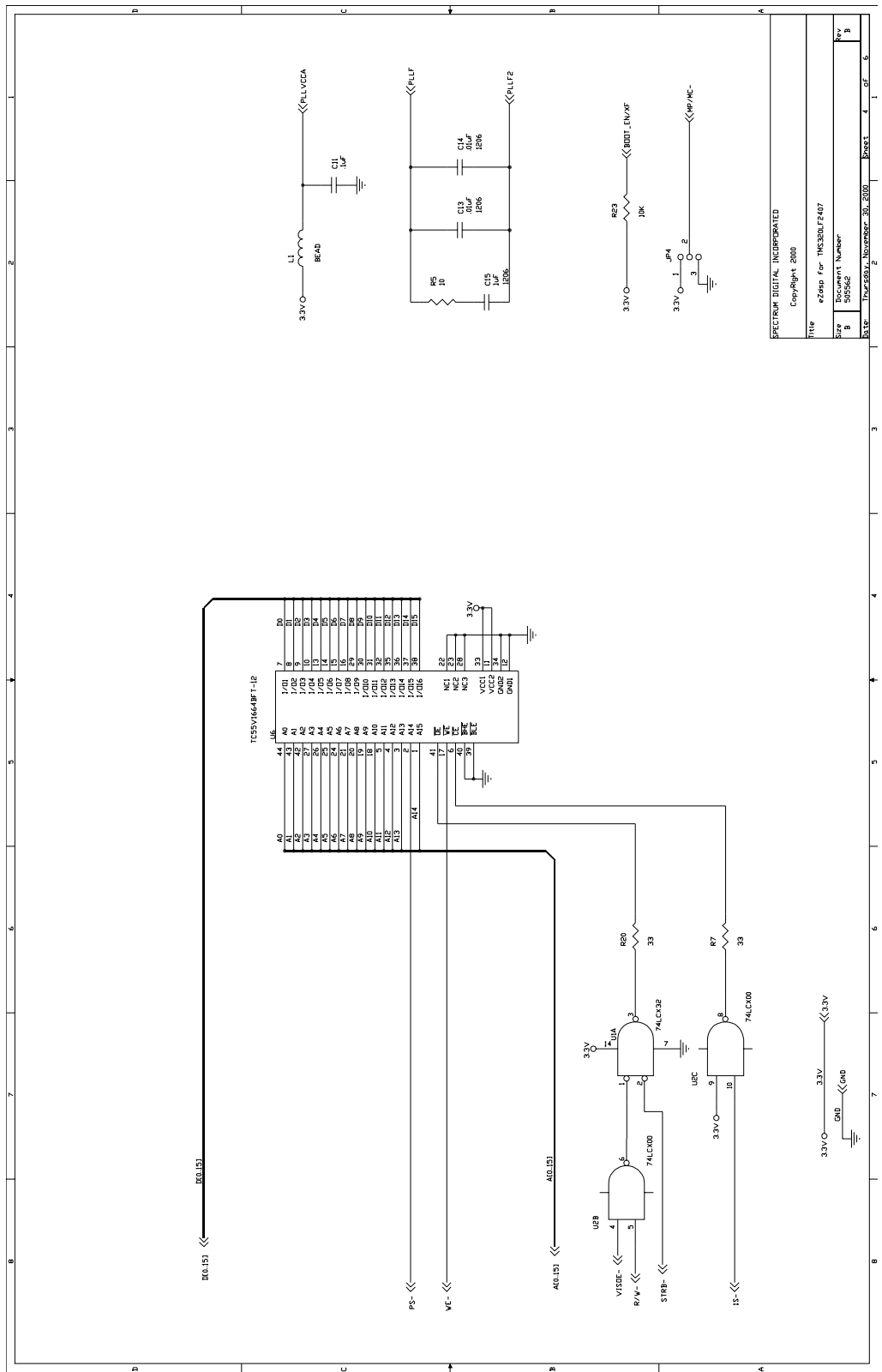
Appendix A

eZdsp™ LF2407

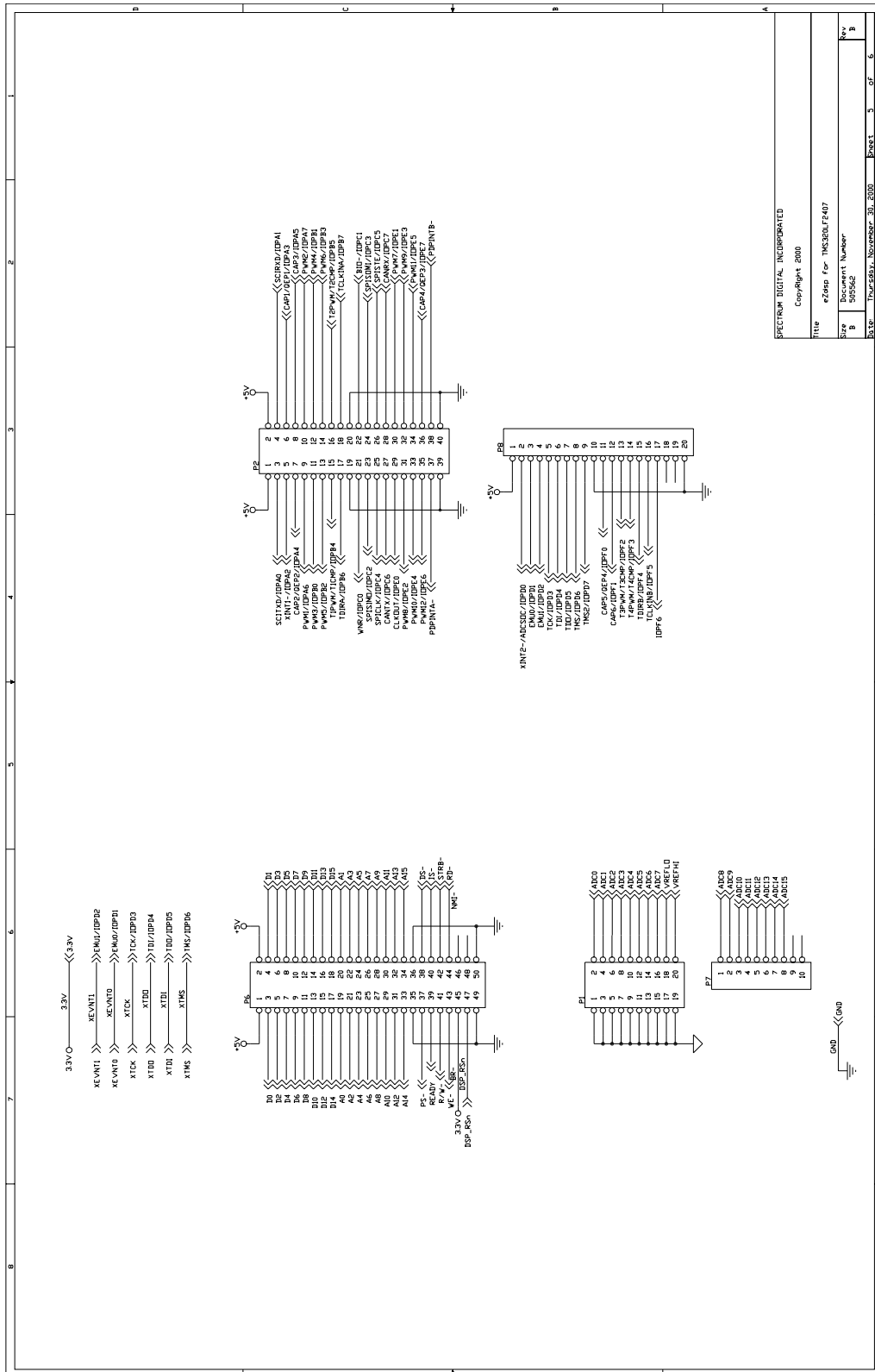
Schematics

This appendix contains the schematics for the eZdsp™ LF2407. The schematics were drawn on ORCAD.

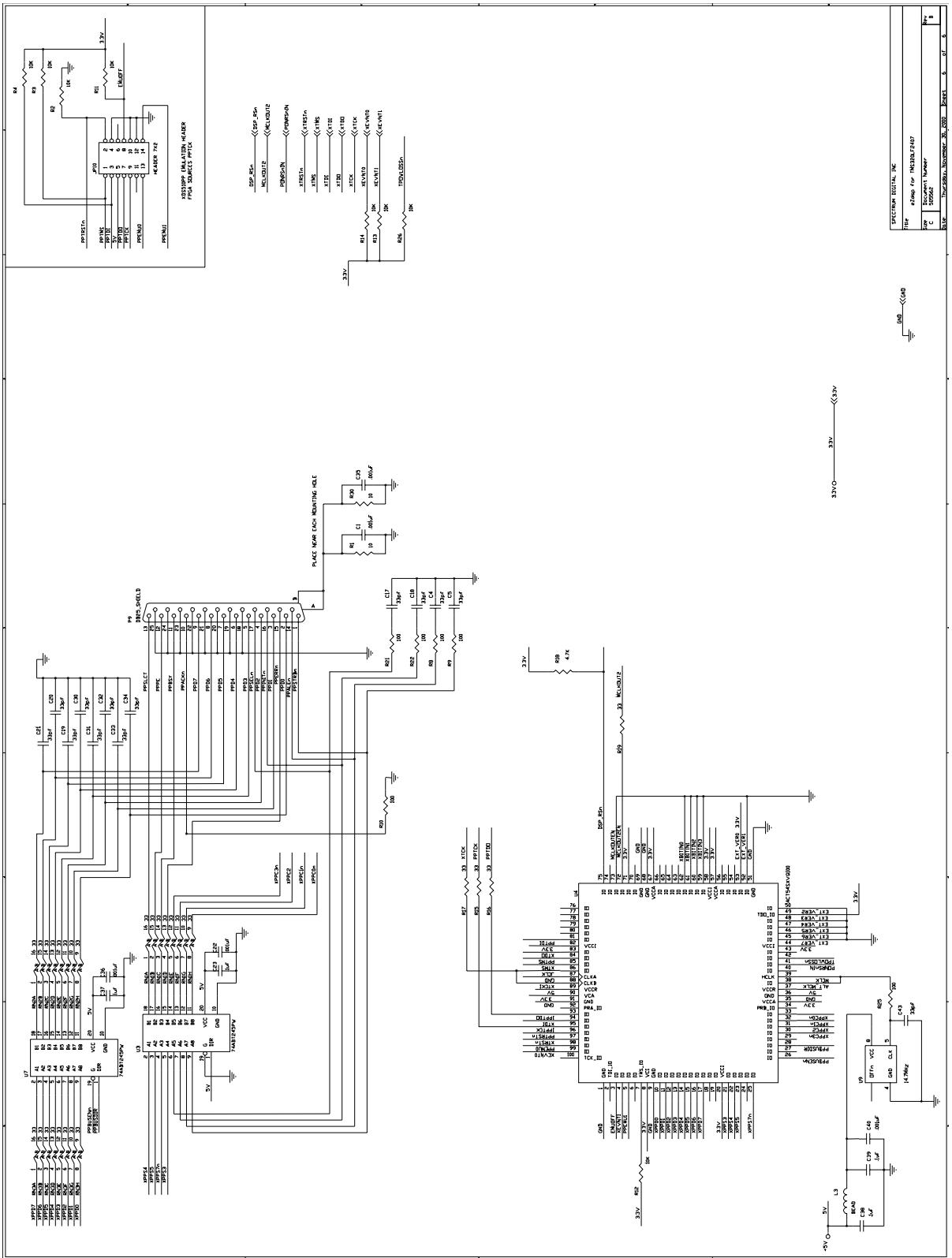




SPECTRUM DIGITAL INCORPORATED
 Copyright 2000
 Title: eZdsp for TCS5166APT-12
 Size: B Document Number: 505562
 Date: TUESDAY, NOVEMBER 30, 2000 Pages: 4 of 6



SPECTRUM DIGITAL INCORPORATED
Copyright 2000
Title eZdsp for TM320LF2407
Size B Document Number 505562
DATE Thursday, November 29, 2000 Page 5 of 6



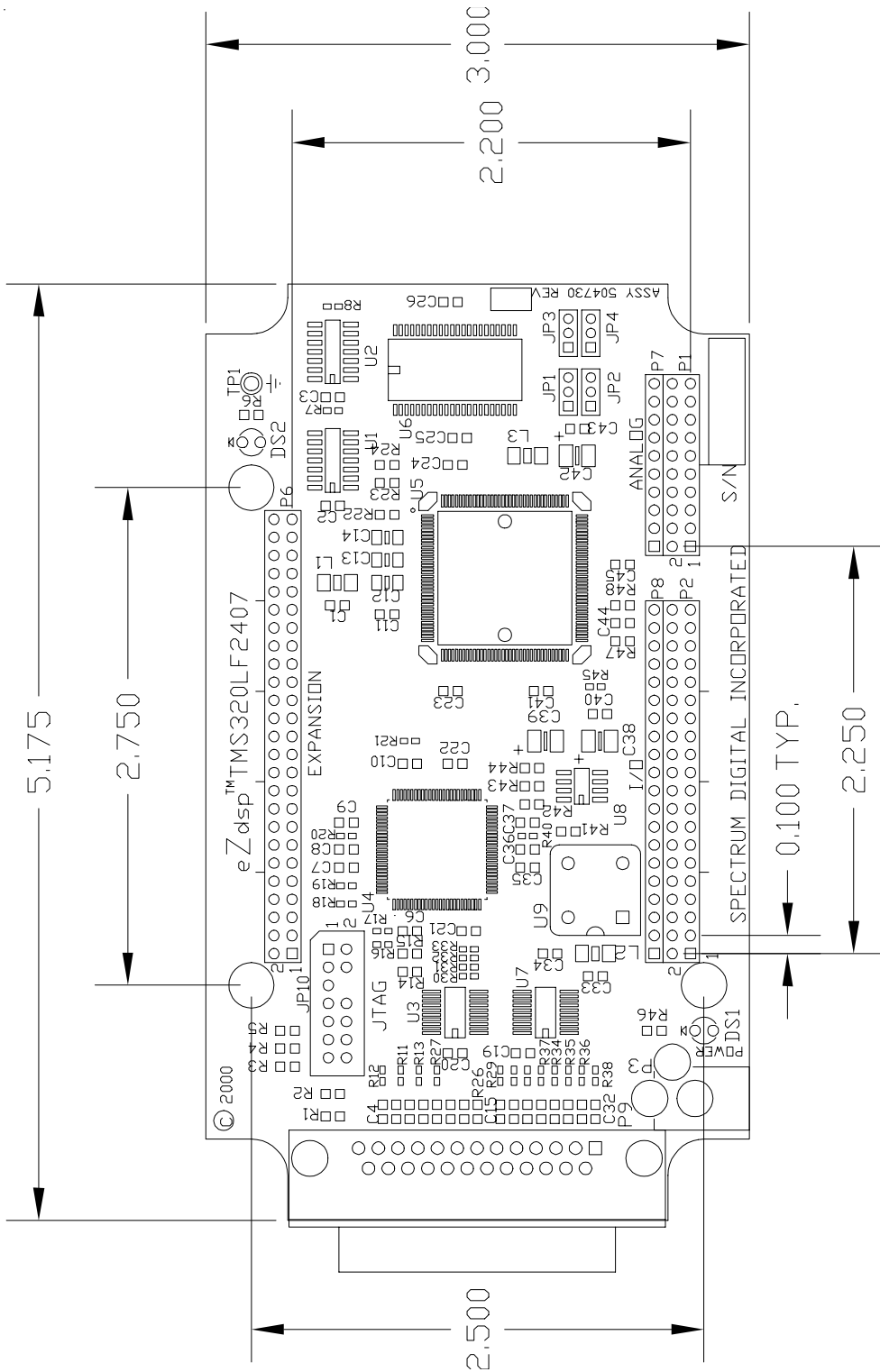
REV	1	DATE	8/11/88
DESIGNER	SPECTRUM DIGITAL, INC		
APP'D	Temp #2800 for IN3200A.P2807		
CHK'D	C 1000000		
DATE	10/28/88		

Appendix B

eZdsp™ LF2407

Mechanical Information

This appendix contains the mechanical information about the eZdsp™ LF2407





TL082

Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

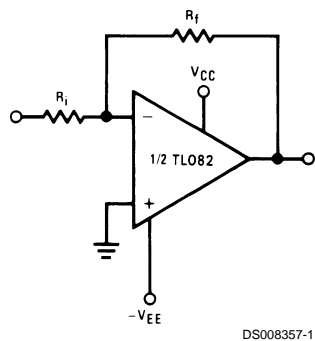
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The TL082 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and most LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

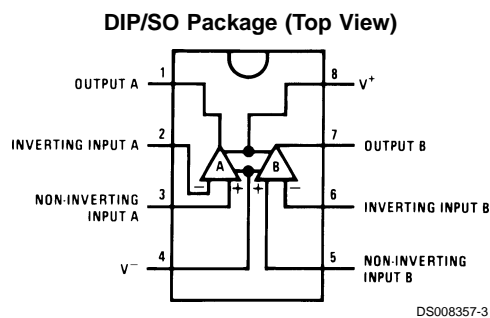
Features

- Internally trimmed offset voltage: 15 mV
- Low input bias current: 50 pA
- Low input noise voltage: 16nV/√Hz
- Low input noise current: 0.01 pA/√Hz
- Wide gain bandwidth: 4 MHz
- High slew rate: 13 V/μs
- Low supply current: 3.6 mA
- High input impedance: 10¹²Ω
- Low total harmonic distortion: ≤0.02%
- Low 1/f noise corner: 50 Hz
- Fast settling time to 0.01%: 2 μs

Typical Connection

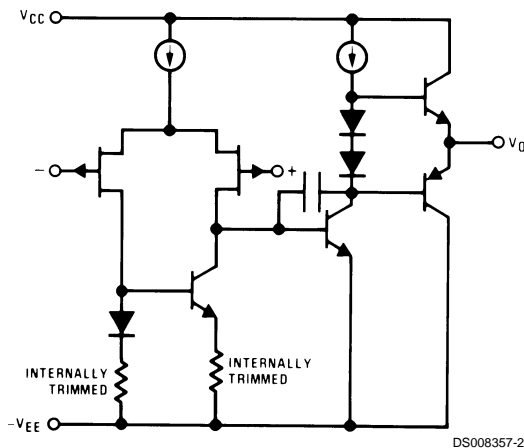


Connection Diagram



Order Number TL082CM or TL082CP
See NS Package Number M08A or N08E

Simplified Schematic



BI-FET II™ is a trademark of National Semiconductor Corp.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation	(Note 2)
Operating Temperature Range	0°C to +70°C
T _{j(MAX)}	150°C
Differential Input Voltage	±30V

Input Voltage Range (Note 3)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	260°C
ESD rating to be determined.	

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

DC Electrical Characteristics (Note 5)

Symbol	Parameter	Conditions	TL082C			Units
			Min	Typ	Max	
V _{OS}	Input Offset Voltage	R _S = 10 kΩ, T _A = 25°C Over Temperature		5	15 20	mV mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S = 10 kΩ		10		μV/°C
I _{OS}	Input Offset Current	T _j = 25°C, (Notes 5, 6) T _j ≤ 70°C		25	200 4	pA nA
I _B	Input Bias Current	T _j = 25°C, (Notes 5, 6) T _j ≤ 70°C		50	400 8	pA nA
R _{IN}	Input Resistance	T _j = 25°C		10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = ±15V, T _A = 25°C V _O = ±10V, R _L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V _O	Output Voltage Swing	V _S = ±15V, R _L = 10 kΩ	±12	±13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = ±15V	±11	+15 -12		V V
CMRR	Common-Mode Rejection Ratio	R _S ≤ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 7)	70	100		dB
I _S	Supply Current			3.6	5.6	mA

AC Electrical Characteristics (Note 5)

Symbol	Parameter	Conditions	TL082C			Units
			Min	Typ	Max	
	Amplifier to Amplifier Coupling	$T_A = 25^\circ\text{C}$, $f = 1\text{Hz}-20\text{kHz}$ (Input Referred)		-120		dB
SR	Slew Rate	$V_S = \pm 15\text{V}$, $T_A = 25^\circ\text{C}$	8	13		V/ μs
GBW	Gain Bandwidth Product	$V_S = \pm 15\text{V}$, $T_A = 25^\circ\text{C}$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25^\circ\text{C}$, $R_S = 100\Omega$, $f = 1000\text{Hz}$		25		nV/ $\sqrt{\text{Hz}}$
i_n	Equivalent Input Noise Current	$T_j = 25^\circ\text{C}$, $f = 1000\text{Hz}$		0.01		pA/ $\sqrt{\text{Hz}}$
THD	Total Harmonic Distortion	$A_V = +10$, $R_L = 10\text{k}$, $V_O = 20\text{Vp} - \text{p}$, $\text{BW} = 20\text{Hz}-20\text{kHz}$		<0.02		%

Note 2: For operating at elevated temperature, the device must be derated based on a thermal resistance of 115°C/W junction to ambient for the N package.

Note 3: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 4: The power dissipation limit, however, cannot be exceeded.

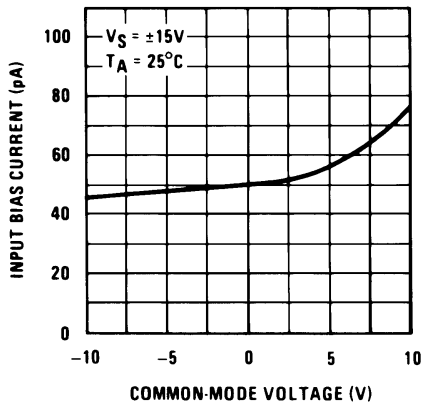
Note 5: These specifications apply for $V_S = \pm 15\text{V}$ and $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$. V_{OS} , I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 6: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 7: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. $V_S = \pm 6\text{V}$ to $\pm 15\text{V}$.

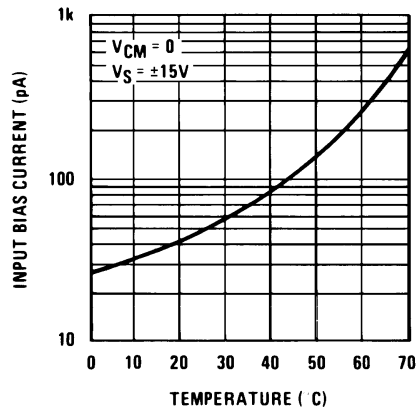
Typical Performance Characteristics

Input Bias Current



DS008357-18

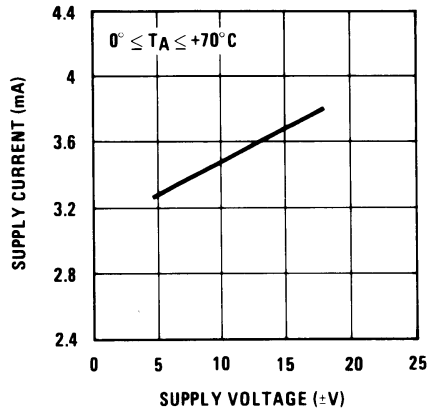
Input Bias Current



DS008357-19

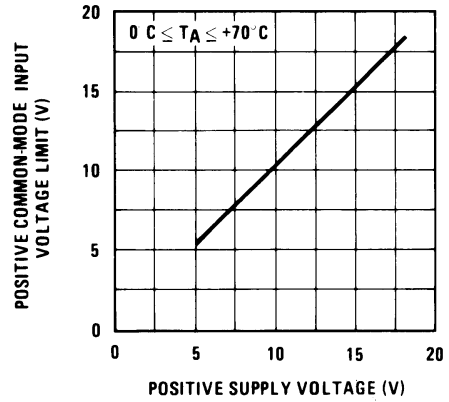
Typical Performance Characteristics (Continued)

Supply Current



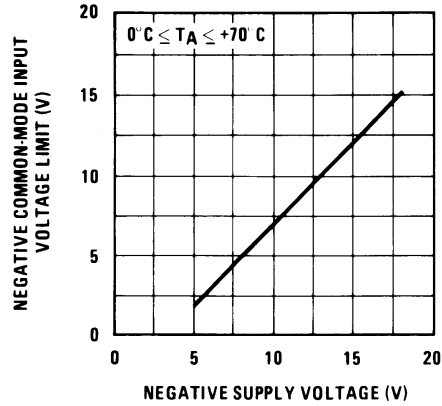
DS008357-20

Positive Common-Mode Input Voltage Limit



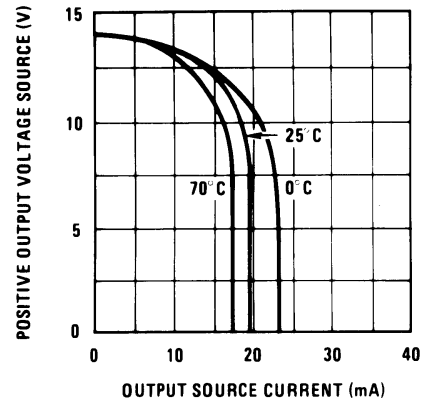
DS008357-21

Negative Common-Mode Input Voltage Limit



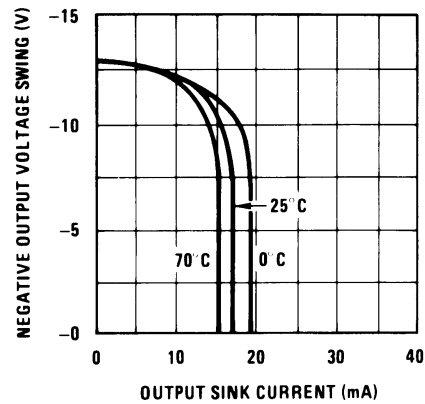
DS008357-22

Positive Current Limit



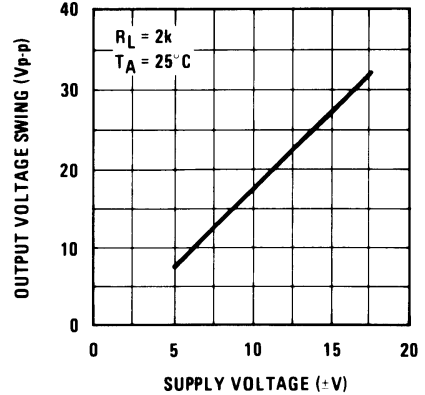
DS008357-23

Negative Current Limit



DS008357-24

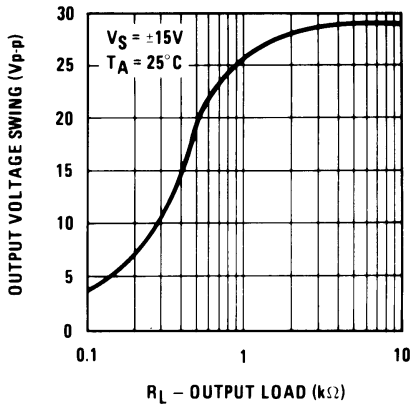
Voltage Swing



DS008357-25

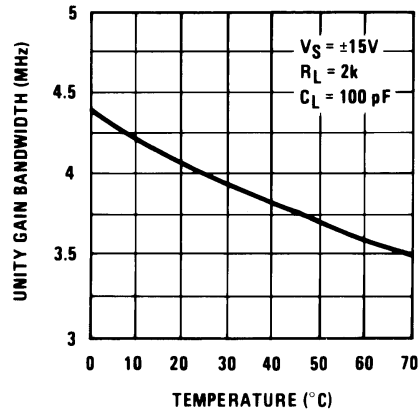
Typical Performance Characteristics (Continued)

Output Voltage Swing



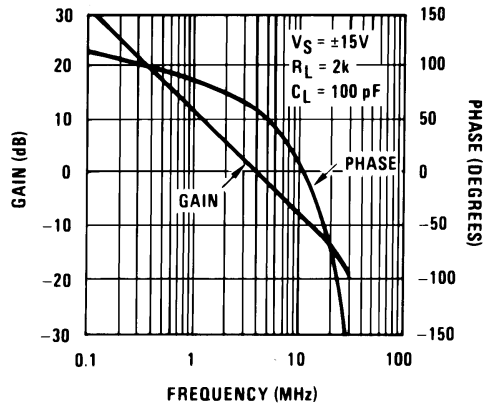
DS008357-26

Gain Bandwidth



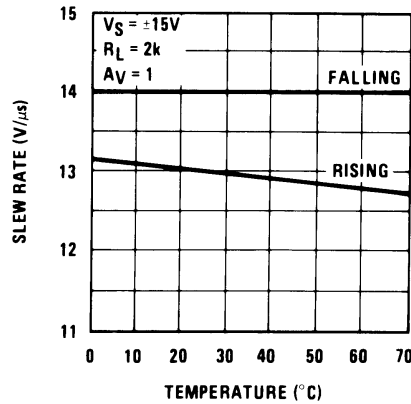
DS008357-27

Bode Plot



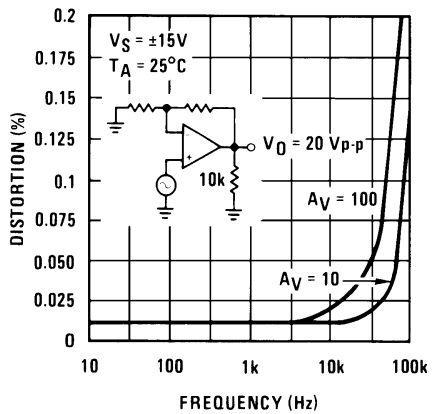
DS008357-28

Slew Rate



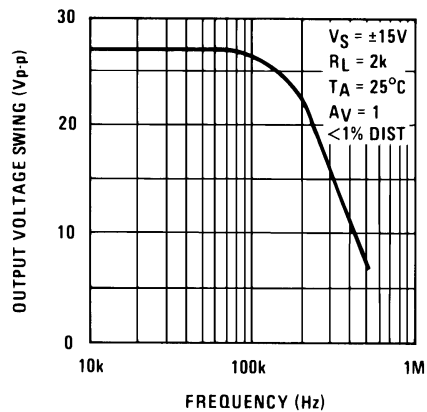
DS008357-29

Distortion vs Frequency



DS008357-30

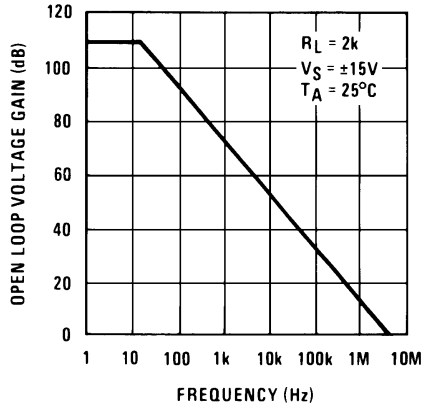
Undistorted Output Voltage Swing



DS008357-31

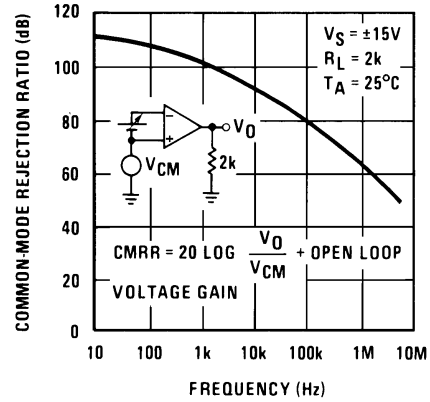
Typical Performance Characteristics (Continued)

Open Loop Frequency Response



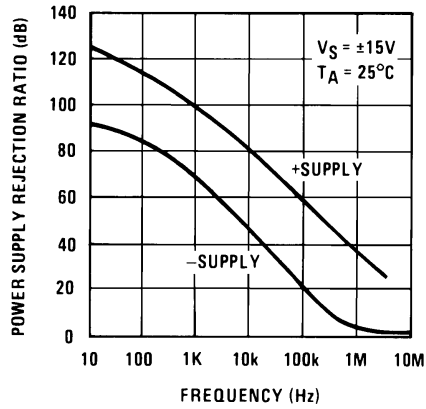
DS008357-32

Common-Mode Rejection Ratio



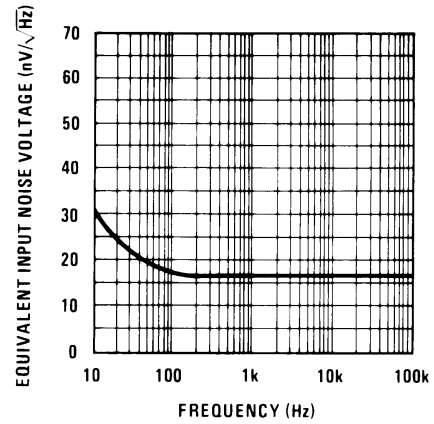
DS008357-33

Power Supply Rejection Ratio



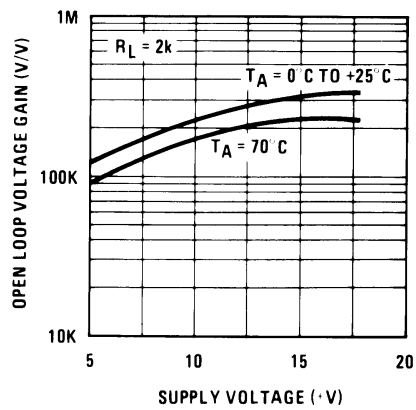
DS008357-34

Equivalent Input Noise Voltage



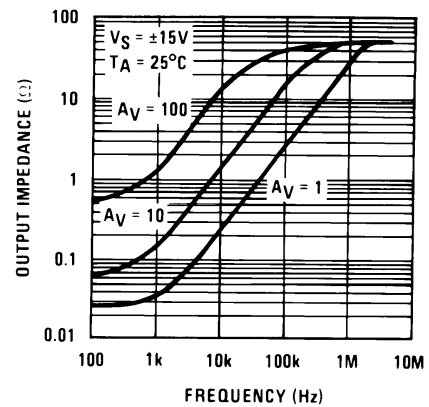
DS008357-35

Open Loop Voltage Gain (V/V)



DS008357-36

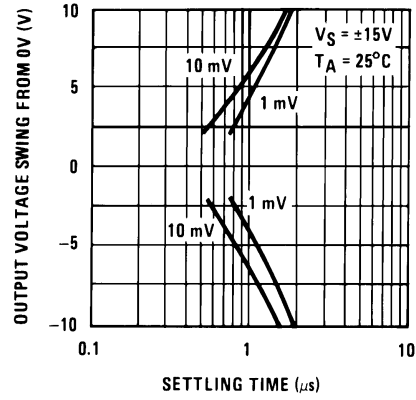
Output Impedance



DS008357-37

Typical Performance Characteristics (Continued)

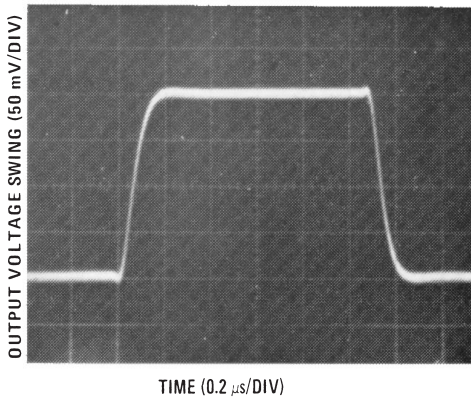
Inverter Setting Time



DS008357-38

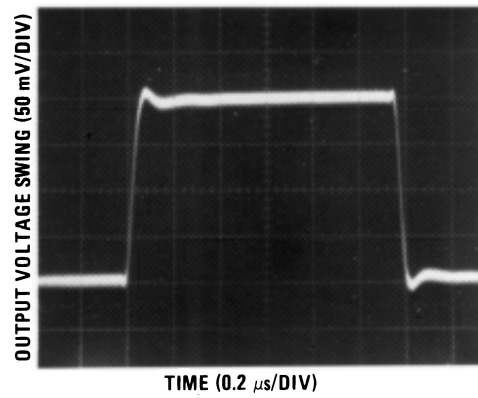
Pulse Response

Small Signal Inverting



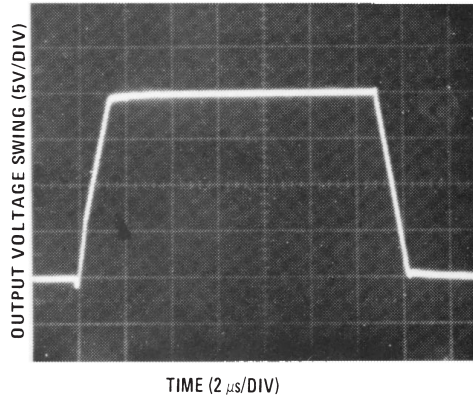
DS008357-6

Small Signal Non-Inverting



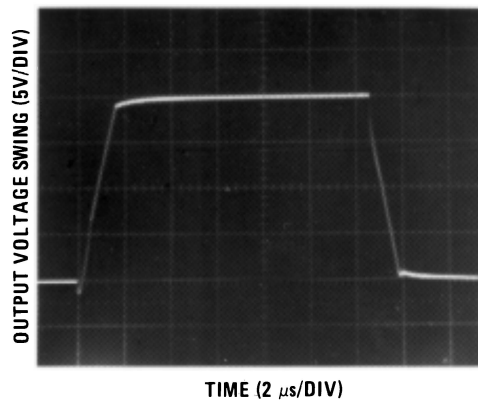
DS008357-7

Large Signal Inverting



DS008357-8

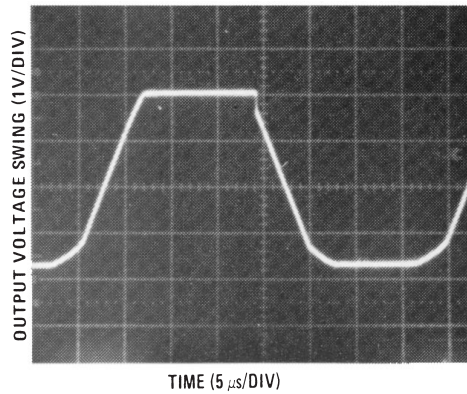
Large Signal Non-Inverting



DS008357-9

Pulse Response (Continued)

Current Limit ($R_L = 100\Omega$)



DS008357-10

Application Hints

These devices are op amps with an internally trimmed input offset voltage and JFET input devices (BI-FET II). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is individually biased by a zener reference which allows normal circuit operation on $\pm 6V$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifiers will drive a 2 k Ω load resistance to $\pm 10V$ over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

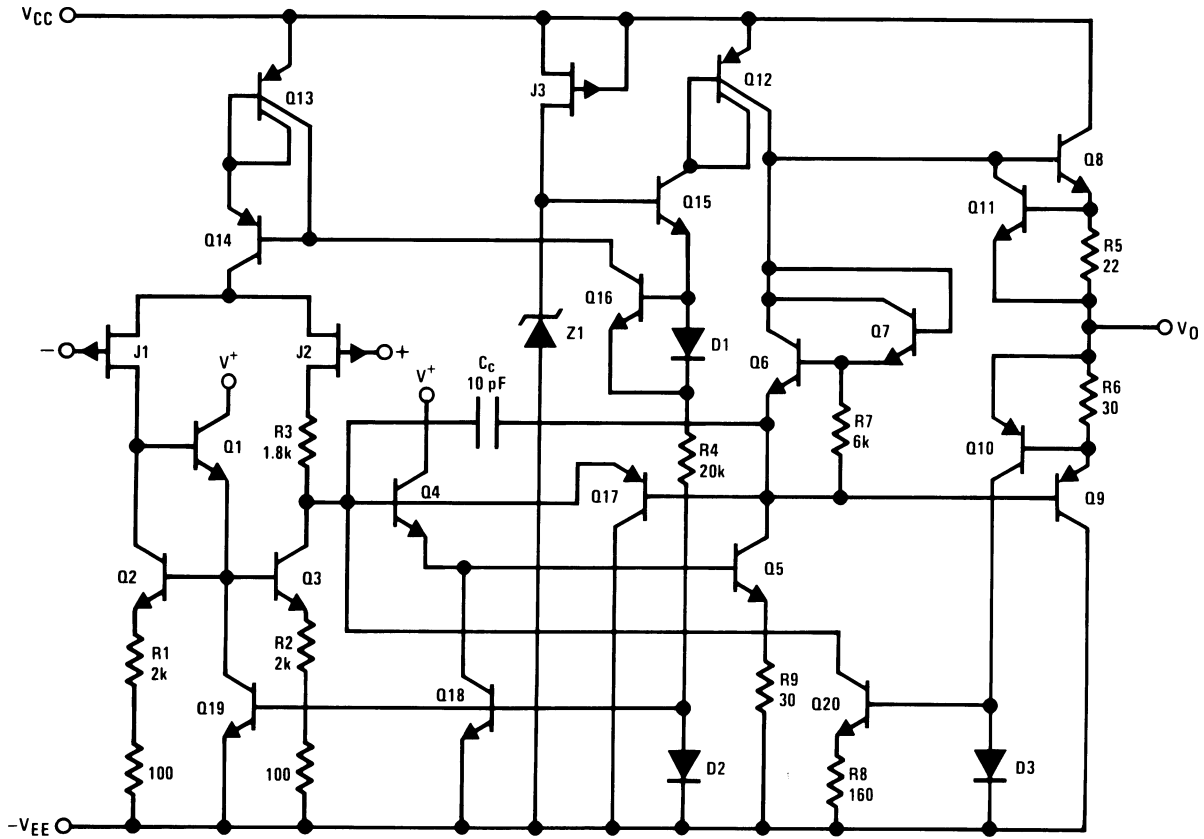
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

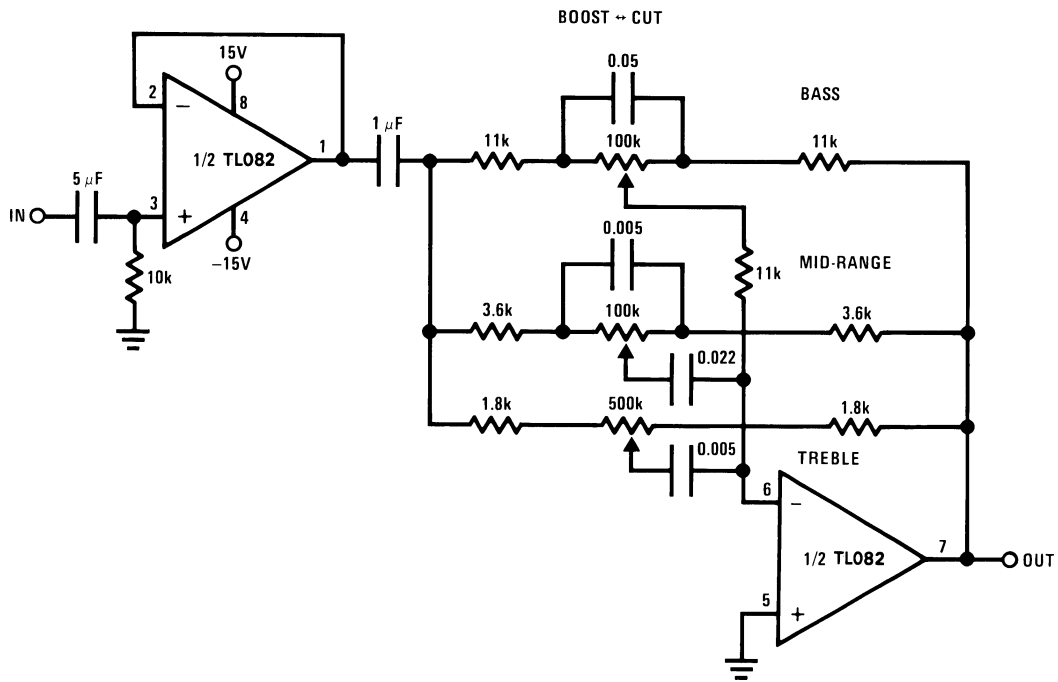
Detailed Schematic



DS008357-11

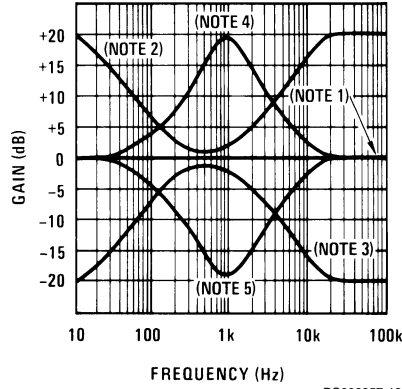
Typical Applications

Three-Band Active Tone Control



DS008357-12

Typical Applications (Continued)



DS008357-13

- All potentiometers are linear taper
- Use the LF347 Quad for stereo applications

Note 8: All controls flat.

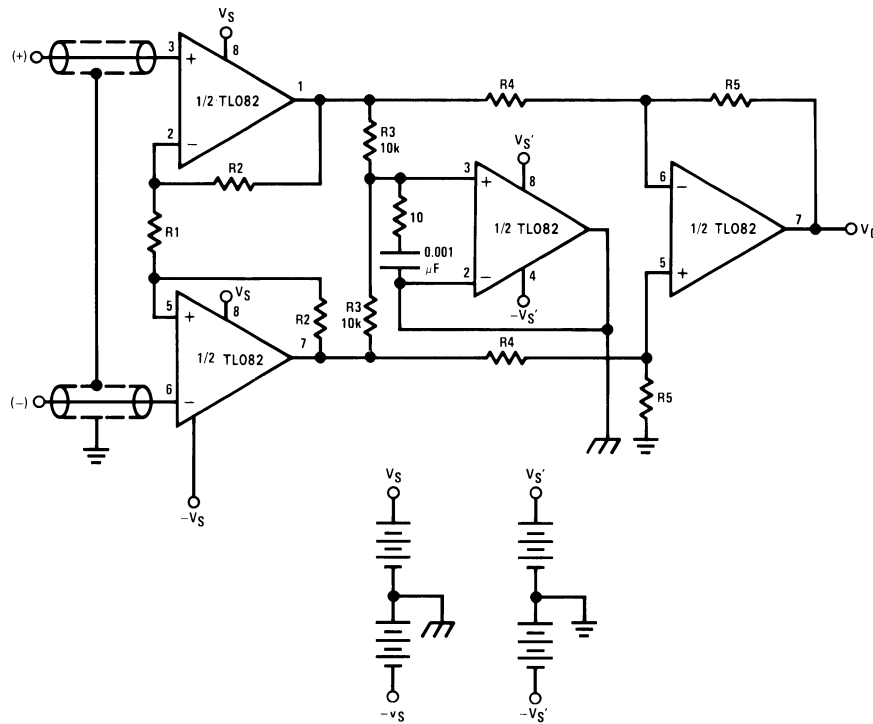
Note 9: Bass and treble boost, mid flat.

Note 10: Bass and treble cut, mid flat.

Note 11: Mid boost, bass and treble flat.

Note 12: Mid cut, bass and treble flat.

Improved CMRR Instrumentation Amplifier



SEPARATE

DS008357-14

$$A_v = \left(\frac{2R_2}{R_1} + 1 \right) \frac{R_5}{R_4}$$

⚡ and ⚡ are separate isolated grounds

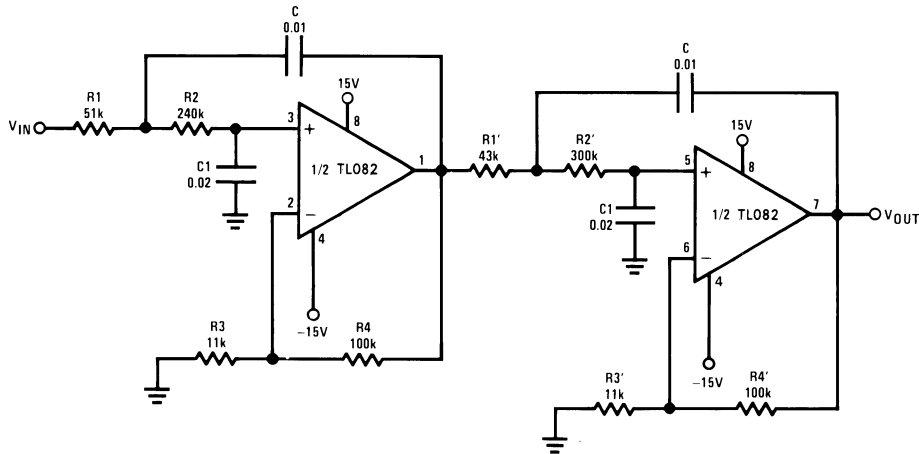
Matching of R2's, R4's and R5's control CMRR

With $A_{VT} = 1400$, resistor matching = 0.01%: CMRR = 136 dB

- Very high input impedance
- Super high CMRR

Typical Applications (Continued)

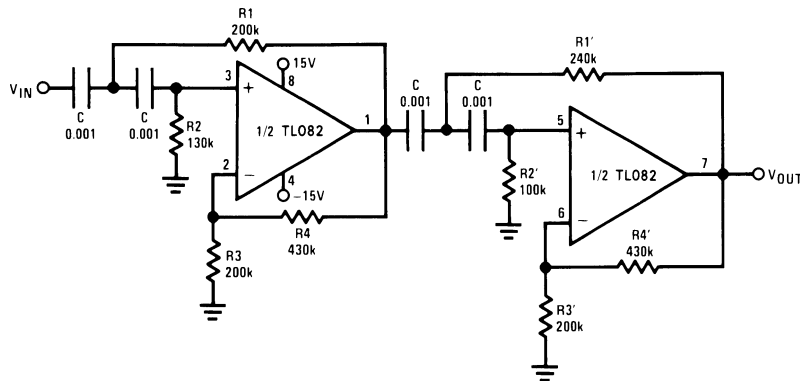
Fourth Order Low Pass Butterworth Filter



DS008357-15

- Corner frequency (f_c) = $\sqrt{\frac{1}{R_1 R_2 C C_1}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R_1' R_2' C C_1}} \cdot \frac{1}{2\pi}$
- Passband gain (H_0) = $(1 + R_4/R_3) (1 + R_4'/R_3')$
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses nearest 5% tolerance resistor values for a filter with a corner frequency of 100 Hz and a passband gain of 100
- Offset nulling necessary for accurate DC performance

Fourth Order High Pass Butterworth Filter

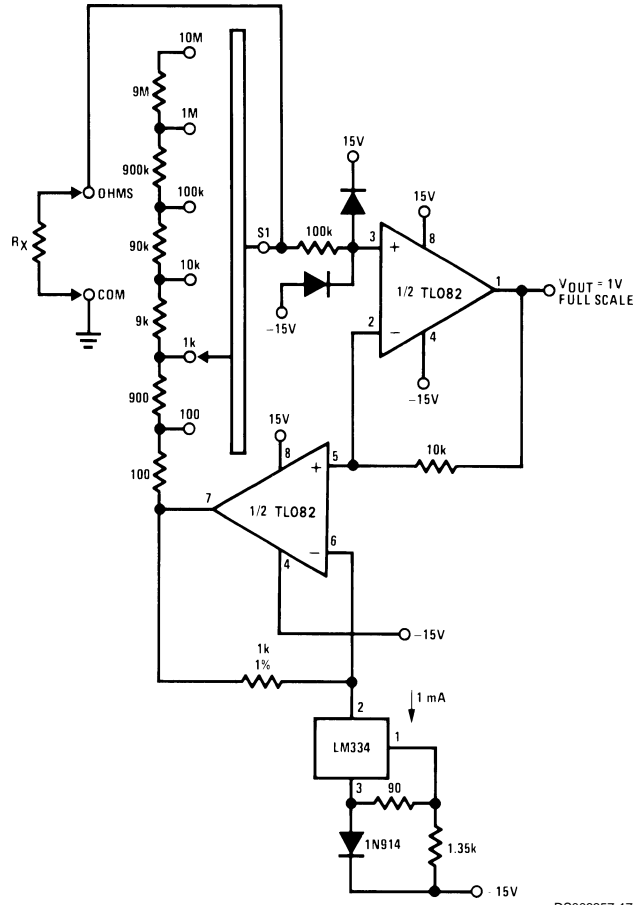


DS008357-16

- Corner frequency (f_c) = $\sqrt{\frac{1}{R_1 R_2 C^2}} \cdot \frac{1}{2\pi} = \sqrt{\frac{1}{R_1' R_2' C^2}} \cdot \frac{1}{2\pi}$
- Passband gain (H_0) = $(1 + R_4/R_3) (1 + R_4'/R_3')$
- First stage Q = 1.31
- Second stage Q = 0.541
- Circuit shown uses closest 5% tolerance resistor values for a filter with a corner frequency of 1 kHz and a passband gain of 10

Typical Applications (Continued)

Ohms to Volts Converter

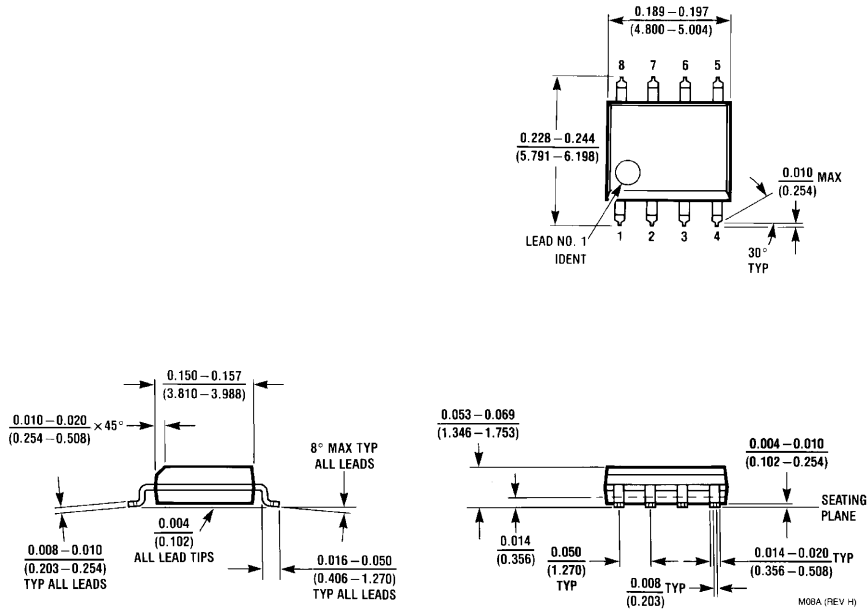


DS008357-17

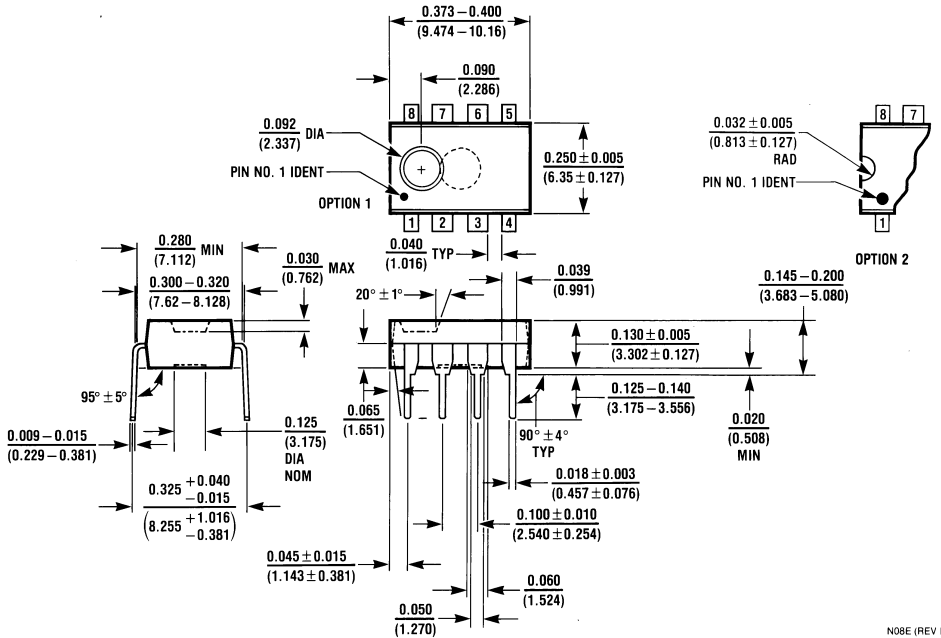
$$V_O = \frac{1V}{R_{LADDER}} \times R_X$$

Where R_{LADDER} is the resistance from switch S1 pole to pin 7 of the TL082CP.

Physical Dimensions inches (millimeters) unless otherwise noted



**Order Number TL082CM
NS Package M08A**



**Order Number TL082CP
NS Package N08E**

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

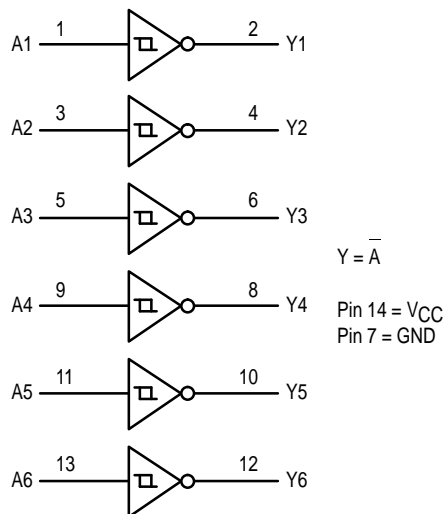
Hex Schmitt-Trigger Inverter High-Performance Silicon-Gate CMOS

The MC54/74HC14A is identical in pinout to the LS14, LS04 and the HC04. The device inputs are compatible with Standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

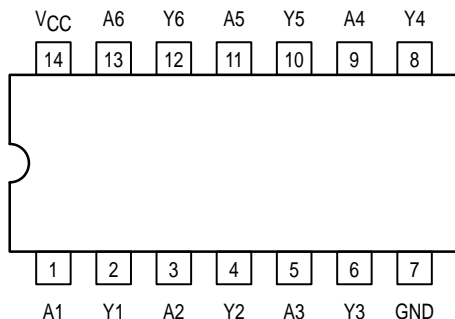
The HC14A is useful to "square up" slow input rise and fall times. Due to hysteresis voltage of the Schmitt trigger, the HC14A finds applications in noisy environments.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS and TTL
- Operating Voltage Range: 2 to 6V
- Low Input Current: 1µA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With the JEDEC Standard No. 7A Requirements
- Chip Complexity: 60 FETs or 15 Equivalent Gates

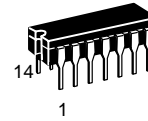
LOGIC DIAGRAM



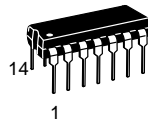
Pinout: 14-Lead Packages (Top View)



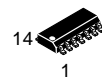
MC54/74HC14A



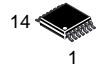
J SUFFIX
CERAMIC PACKAGE
CASE 632-08



N SUFFIX
PLASTIC PACKAGE
CASE 646-06



D SUFFIX
SOIC PACKAGE
CASE 751A-03



DT SUFFIX
TSSOP PACKAGE
CASE 948G-01

ORDERING INFORMATION

MC54HCXXAJ	Ceramic
MC74HCXXAN	Plastic
MC74HCXXAD	SOIC
MC74HCXXADT	TSSOP

FUNCTION TABLE

Inputs	Outputs
A	Y
L	H
H	L



MC54/74HC14A

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	- 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	- 0.5 to $V_{CC} + 0.5$	V
V_{out}	DC Output Voltage (Referenced to GND)	- 0.5 to $V_{CC} + 0.5$	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package† TSSOP Package†	750 500 450	mW
T_{stg}	Storage Temperature Range	- 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC or TSSOP Package Ceramic DIP	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \leq (V_{in} \text{ or } V_{out}) \leq V_{CC}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: - 10 mW/°C from 65° to 125°C
Ceramic DIP: - 10 mW/°C from 100° to 125°C
SOIC Package: - 7 mW/°C from 65° to 125°C
TSSOP Package: - 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit	
V_{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V	
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V_{CC}	V	
T_A	Operating Temperature Range, All Package Types	- 55	+ 125	°C	
t_r, t_f	Input Rise/Fall Time (Figure 1)	$V_{CC} = 2.0 \text{ V}$ $V_{CC} = 4.5 \text{ V}$ $V_{CC} = 6.0 \text{ V}$	0 0 0	No Limit* No Limit* No Limit*	ns

* When $V_{in} = 50\% V_{CC}$, $I_{CC} > 1 \text{ mA}$

DC CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Condition	V _{CC} V	Guaranteed Limit			Unit
				-55 to 25°C	≤85°C	≤125°C	
V _{T+} max	Maximum Positive-Going Input Threshold Voltage (Figure 3)	V _{out} = 0.1V I _{out} ≤ 20μA	2.0	1.50	1.50	1.50	V
			3.0	2.15	2.15	2.15	
			4.5	3.15	3.15	3.15	
			6.0	4.20	4.20	4.20	
V _{T+} min	Minimum Positive-Going Input Threshold Voltage (Figure 3)	V _{out} = 0.1V I _{out} ≤ 20μA	2.0	1.0	0.95	0.95	V
			3.0	1.5	1.45	1.45	
			4.5	2.3	2.25	2.25	
			6.0	3.0	2.95	2.95	
V _{T-} max	Maximum Negative-Going Input Threshold Voltage (Figure 3)	V _{out} = V _{CC} - 0.1V I _{out} ≤ 20μA	2.0	0.9	0.95	0.95	V
			3.0	1.4	1.45	1.45	
			4.5	2.0	2.05	2.05	
			6.0	2.6	2.65	2.65	
V _{T-} min	Minimum Negative-Going Input Threshold Voltage (Figure 3)	V _{out} = V _{CC} - 0.1V I _{out} ≤ 20μA	2.0	0.3	0.3	0.3	V
			3.0	0.5	0.5	0.5	
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V _H max Note 2	Maximum Hysteresis Voltage (Figure 3)	V _{out} = 0.1V or V _{CC} - 0.1V I _{out} ≤ 20μA	2.0	1.20	1.20	1.20	V
			3.0	1.65	1.65	1.65	
			4.5	2.25	2.25	2.25	
			6.0	3.00	3.00	3.00	
V _H min Note 2	Minimum Hysteresis Voltage (Figure 3)	V _{out} = 0.1V or V _{CC} - 0.1V I _{out} ≤ 20μA	2.0	0.20	0.20	0.20	V
			3.0	0.25	0.25	0.25	
			4.5	0.40	0.40	0.40	
			6.0	0.50	0.50	0.50	
V _{OH}	Minimum High-Level Output Voltage	V _{in} ≤ V _{T-} min I _{out} ≤ 20μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
			V _{in} ≤ V _{T-} min I _{out} ≤ 2.4mA	3.0	2.48	2.34	
I _{out} ≤ 4.0mA	4.5	3.98	3.84	3.70			
I _{out} ≤ 5.2mA	6.0	5.48	5.34	5.20			
V _{OL}	Maximum Low-Level Output Voltage	V _{in} ≥ V _{T+} max I _{out} ≤ 20μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
			V _{in} ≥ V _{T+} max I _{out} ≤ 2.4mA	3.0	0.26	0.33	
I _{out} ≤ 4.0mA	4.5	0.26	0.33	0.40			
I _{out} ≤ 5.2mA	6.0	0.26	0.33	0.40			
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I _{CC}	Maximum Quiescent Supply Current (per Package)	V _{in} = V _{CC} or GND I _{out} = 0μA	6.0	1.0	10	40	μA

1. Information on typical parametric values along with frequency or heavy load considerations can be found in Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

2. V_Hmin > (V_{T+} min) - (V_{T-} max); V_Hmax = (V_{T+} max) - (V_{T-} min).

MC54/74HC14A

AC CHARACTERISTICS (C_L = 50pF, Input t_r = t_f = 6ns)

Symbol	Parameter	V _{CC} V	Guaranteed Limit			Unit
			-55 to 25°C	≤85°C	≤125°C	
t _{PLH} , t _{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	30	40	55	
		4.5	15	19	22	
		6.0	13	16	19	
t _{TLH} , t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		3.0	27	32	36	
		4.5	15	19	22	
		6.0	13	16	19	
C _{in}	Maximum Input Capacitance		10	10	10	pF

NOTE: For propagation delays with loads other than 50 pF, and information on typical parametric values, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

C _{PD}	Power Dissipation Capacitance (Per Inverter)*	Typical @ 25°C, V _{CC} = 5.0 V		pF
		22		

* Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$. For load considerations, see Chapter 2 of the Motorola High-Speed CMOS Data Book (DL129/D).

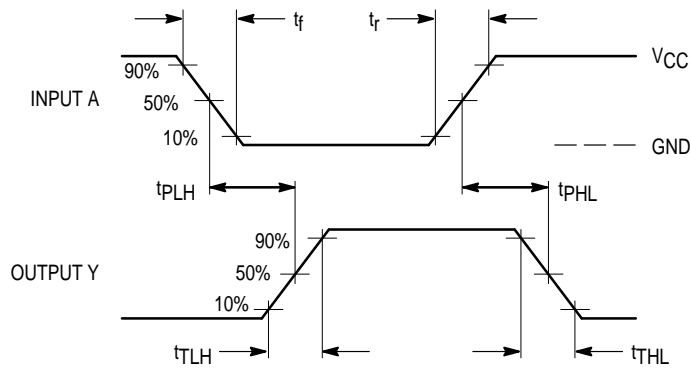
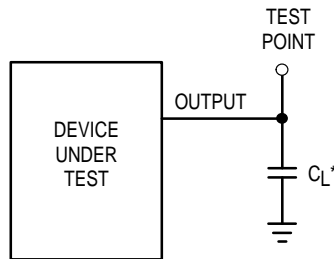


Figure 1. Switching Waveforms



*Includes all probe and jig capacitance

Figure 2. Test Circuit

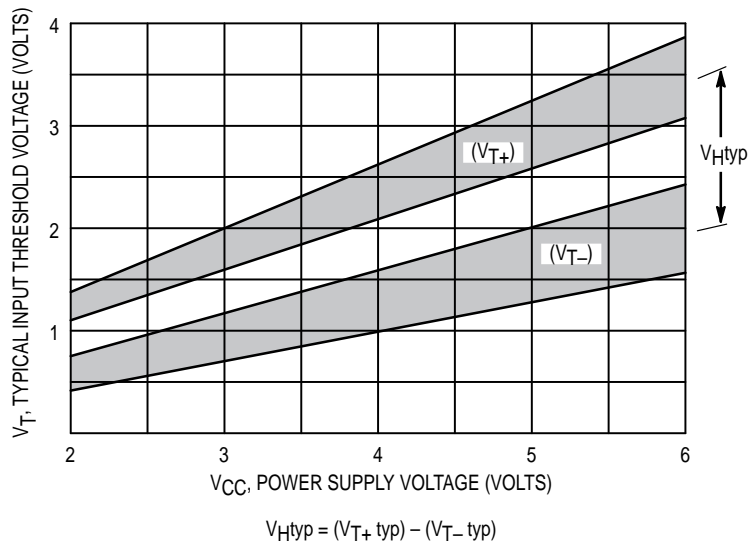
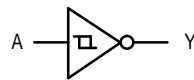
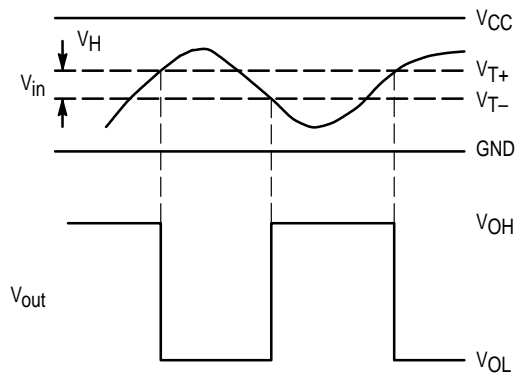


Figure 3. Typical Input Threshold, V_{T+} , V_{T-} versus Power Supply Voltage



(a) A Schmitt-Trigger Squares Up Inputs With Slow Rise and Fall Times



(b) A Schmitt-Trigger Offers Maximum Noise Immunity

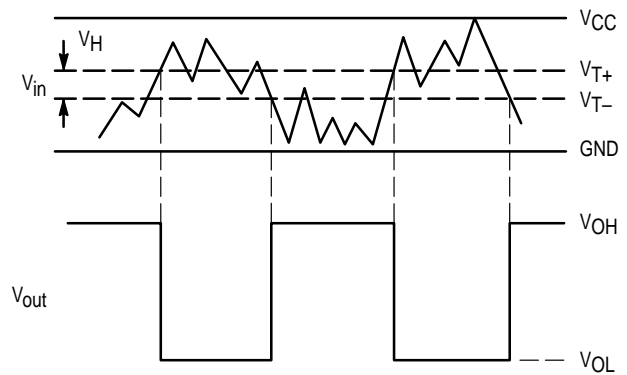
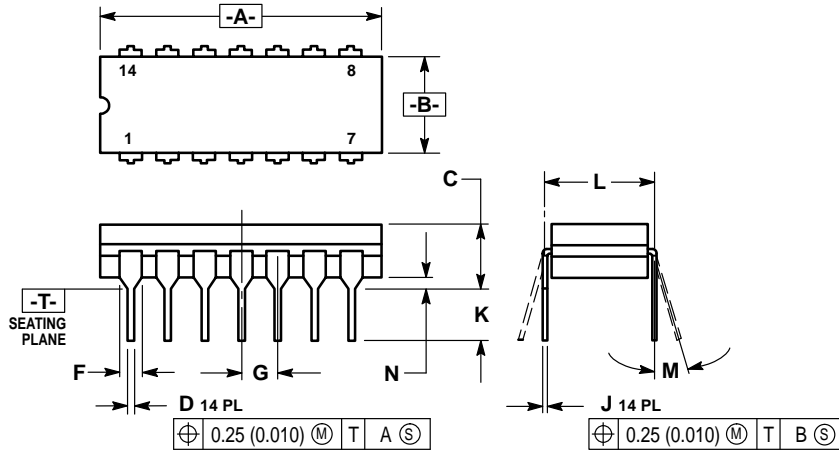


Figure 4. Typical Schmitt-Trigger Applications

OUTLINE DIMENSIONS

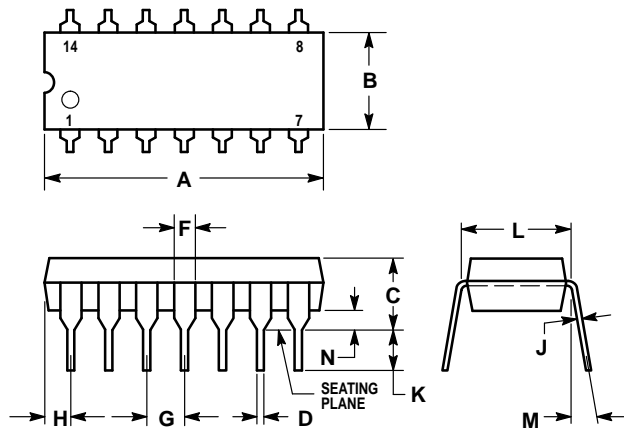
J SUFFIX
 CERAMIC DIP PACKAGE
 CASE 632-08
 ISSUE Y



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
 4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.94
B	0.245	0.280	6.23	7.11
C	0.155	0.200	3.94	5.08
D	0.015	0.020	0.39	0.50
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0° 15°		0° 15°	
N	0.020	0.040	0.51	1.01

N SUFFIX
 PLASTIC DIP PACKAGE
 CASE 646-06
 ISSUE L

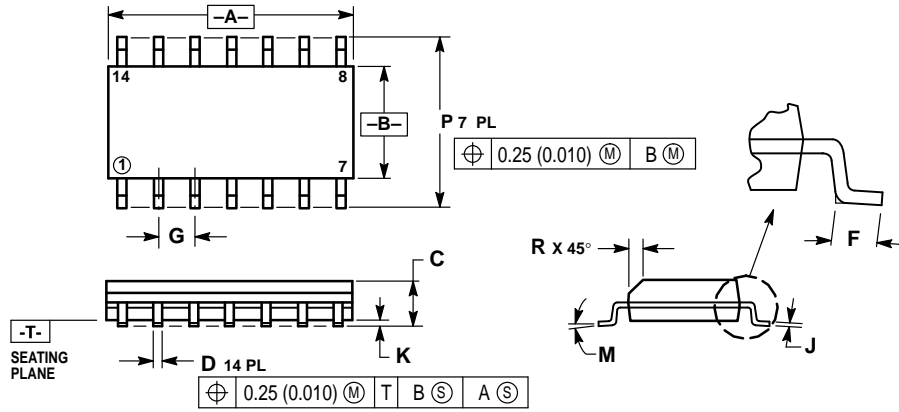


- NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
 2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
 3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
 4. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0° 10°		0° 10°	
N	0.015	0.039	0.39	1.01

OUTLINE DIMENSIONS

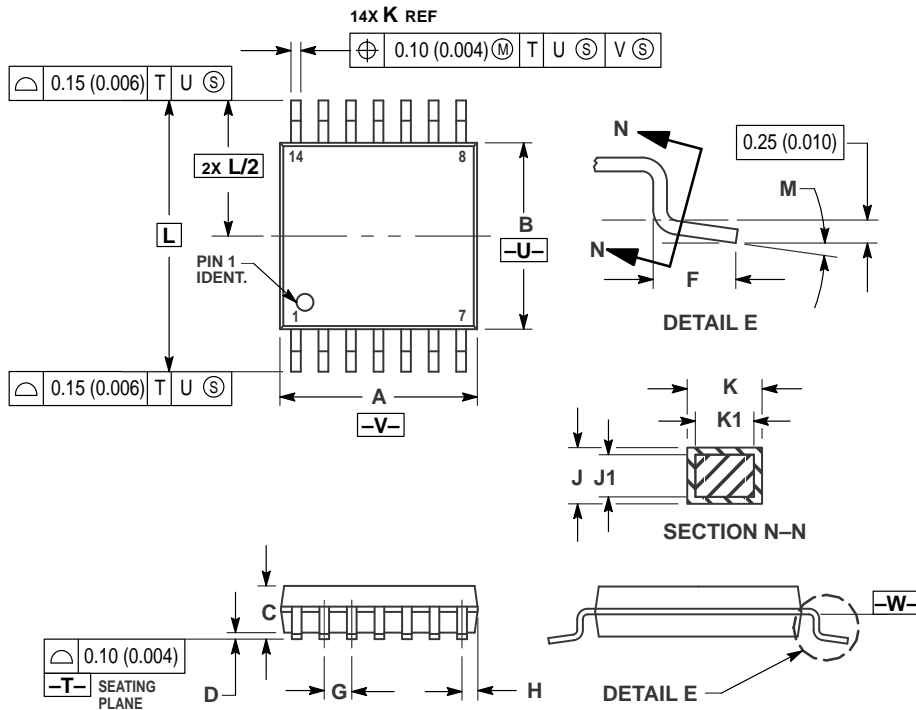
D SUFFIX
 PLASTIC SOIC PACKAGE
 CASE 751A-03
 ISSUE F



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
 4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
 5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.


DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

DT SUFFIX
 PLASTIC TSSOP PACKAGE
 CASE 948G-01
 ISSUE O



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
 4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
 5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
 6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
 7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	—	1.20	—	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1-800-441-2447

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, Toshikatsu Otsuki,
6F Seibu-Butsuryu-Center, 3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-3521-8315

MFAX: RMFAX0@email.sps.mot.com -TOUCHTONE (602) 244-6609
INTERNET: <http://Design-NET.com>

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298





Dual High-Speed 1.5A MOSFET Drivers

MAX4426/4427/4428

General Description

The MAX4426/4427/4428 are dual monolithic MOSFET drivers designed to translate TTL/CMOS inputs to high voltage/current outputs. The MAX4426 is a dual inverting power MOSFET driver. The MAX4427 is a dual noninverting power MOSFET driver, and the MAX4428 contains one inverting section and one noninverting section. Delay times are nearly independent of V_{DD} (see *Typical Operating Characteristics*). High-current output drivers rapidly charge and discharge the gate capacitance of even the largest power MOSFETs to within millivolts of the supply rails. This produces the power MOSFETs' minimum on-resistance. The MAX4426/4427/4428's high speed minimizes power losses in switching power supplies and DC-DC converters.

Applications

- Switching Power Supplies
- DC-DC Converters
- Motor Controllers
- Pin-Diode Drivers
- Charge-Pump Voltage Inverters

Features

- ◆ Upgrade for TSC4426/4427/4428
- ◆ Lower On Resistance: 4Ω vs. 7Ω
- ◆ Shorter Delay Times: $t_{D1} - 10ns$ vs. $30ns$
 $t_{D2} - 25ns$ vs. $50ns$
- ◆ 1.5A Peak Output Current
- ◆ Fast Rise and Fall Times: Typically 20ns with 1000pF Load
- ◆ Wide Operating Range: 4.5V to 18V
- ◆ Low Power Consumption: 1.8mA with Logic 1 Input
200 μ A with Logic 0 Input
- ◆ TTL/CMOS Compatible
- ◆ Latchup Protected - Withstand $>500mA$ Reverse Current
- ◆ ESD Protected

Ordering Information

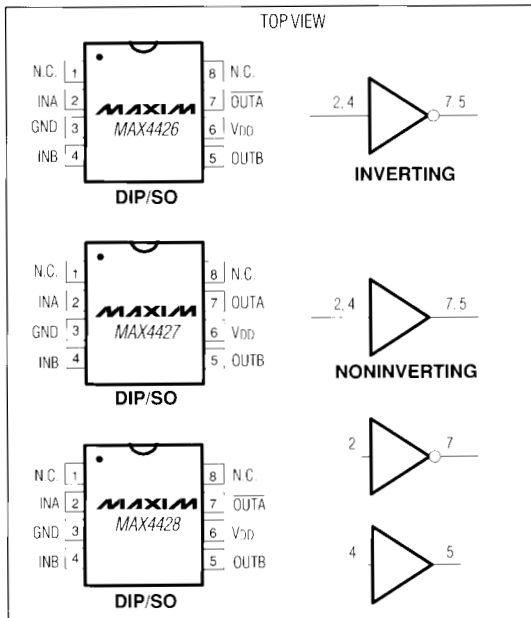
PART	TEMP. RANGE	PIN-PACKAGE
MAX4426CPA	0 C to +70 C	8 Plastic DIP
MAX4426CSA	0 C to +70 C	8 SO
MAX4426C/D	0 C to +70 C	Dice*
MAX4426EPA	-40 C to +85 C	8 Plastic DIP
MAX4426ESA	-40 C to +85 C	8 SO
MAX4426EJA	-40 C to +85 C	8 CERDIP
MAX4426MJA	-55 C to +125 C	8 CERDIP**

Ordering Information continued on last page.

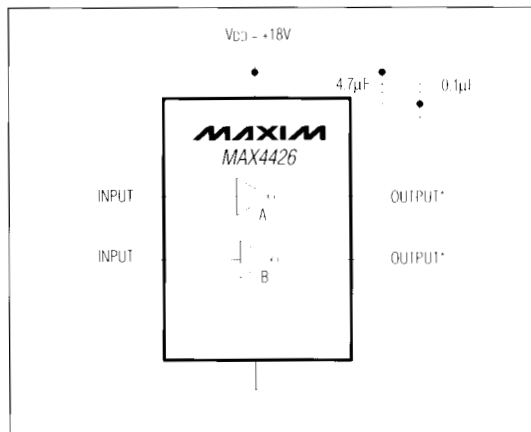
* Dice are tested at $T_A = +25^\circ C$.

** Contact factory for availability and processing to MIL-STD-883

Pin Configurations



Typical Operating Circuit



Call toll free 1-800-998-8800 for free samples or literature.

Dual High-Speed 1.5A MOSFET Drivers

ABSOLUTE MAXIMUM RATINGS

Supply Voltage V_{DD} to GND	+20V
Input Voltage	$V_{DD} + 0.3V$ to GND - 0.3V
Continuous Power Dissipation ($T_A = +70^\circ C$)	
Plastic DIP (derate 9.09mW/ $^\circ C$ above $+70^\circ C$)	727mW
SO (derate 5.88mW/ $^\circ C$ above $+70^\circ C$)	471mW
CERDIP (derate 8.00mW/ $^\circ C$ above $70^\circ C$)	640mW

Operating Temperature Ranges:	
MAX442_C	0 $^\circ C$ to $+70^\circ C$
MAX442_E	-40 $^\circ C$ to $+85^\circ C$
MAX442_MJA	-55 $^\circ C$ to $+125^\circ C$
Storage Temperature Range	-55 $^\circ C$ to $+160^\circ C$
Maximum Chip Temperature	$+150^\circ C$
Lead Temperature (soldering, 10 sec)	$+300^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = +4.5V$ to $+18V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise specified.)

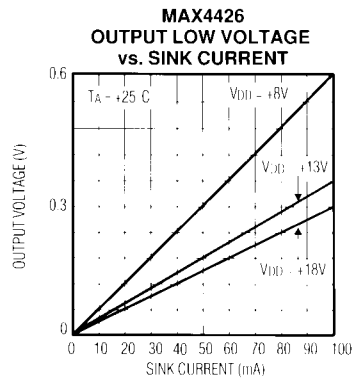
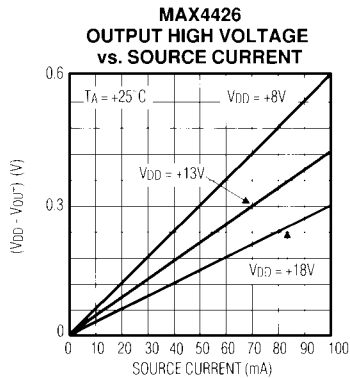
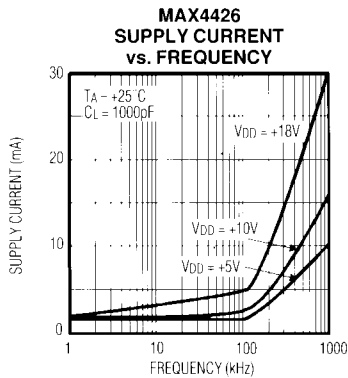
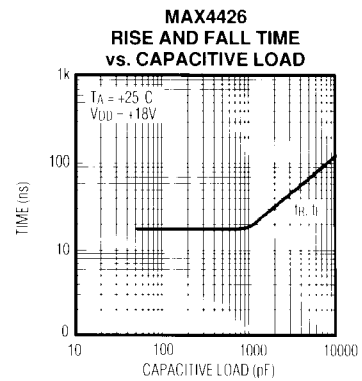
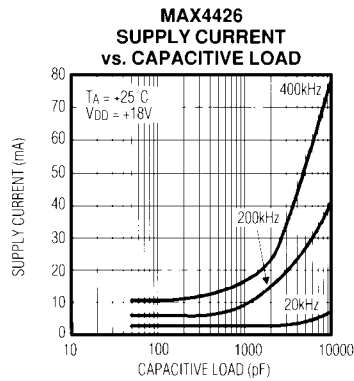
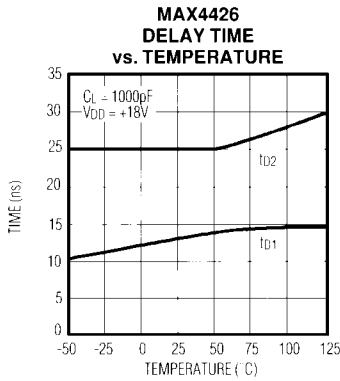
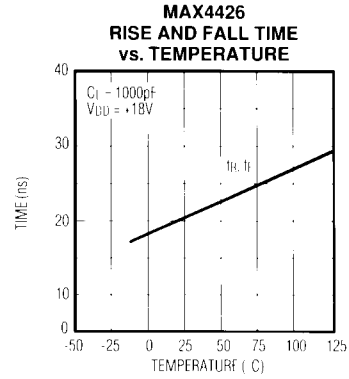
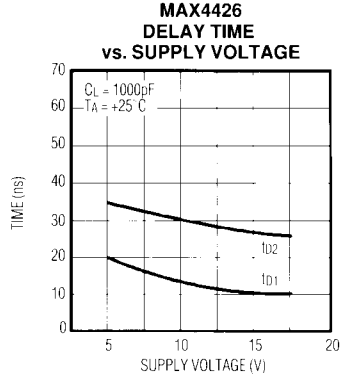
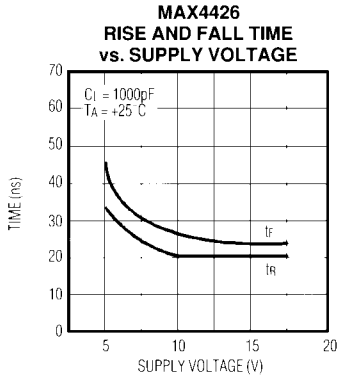
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Logic 1 Input Voltage	V_{IH}		2	4		V	
Logic 0 Input Voltage	V_{IL}				0.8	V	
Input Current	I_{IN}	$V_{IN} = 0V$ to $18V$	-1		1	μA	
Output High Voltage	V_{OH}	No load	$V_{DD} - 25$			mV	
Output Low Voltage	V_{OL}	No load			25	mV	
Output Resistance	R_{OUT}	$V_{DD} = 18V$, $I_{LOAD} = 10mA$	$V_{IN} = 0.8V$ for inverting stages, $V_{IN} = 2.4V$ for noninverting stages	$T_A = +25^\circ C$	4	10	Ω
				$T_A = T_{MIN}$ to T_{MAX}	5	12	
			$V_{IN} = 2.4V$ for inverting stages, $V_{IN} = 0.8V$ for noninverting stages	$T_A = +25^\circ C$	4	10	
				$T_A = T_{MIN}$ to T_{MAX}	5	12	
Peak Output Current	I_{PK}	$V_{DD} = 18V$		1.5		A	
Power-Supply Current	I_{SUPP}	$V_{IN} = +3V$ both inputs	$T_A = +25^\circ C$	1.8	4.5	mA	
			$T_A = T_{MIN}$ to T_{MAX}	2.5	8.0		
			$V_{IN} = 0V$ both inputs	$T_A = +25^\circ C$	0.2		0.4
			$T_A = T_{MIN}$ to T_{MAX}	0.3	0.6		
Rise Time (Note 1)	t_R	$T_A = +25^\circ C$	20	30	ns		
		$T_A = T_{MIN}$ to T_{MAX}	25	40			
Fall Time (Note 1)	t_F	$T_A = +25^\circ C$	20	30	ns		
		$T_A = T_{MIN}$ to T_{MAX}	25	40			
Delay Time (Note 1)	t_{D1}	$T_A = +25^\circ C$	10	30	ns		
		$T_A = T_{MIN}$ to T_{MAX}	15	40			
	t_{D2}	$T_A = +25^\circ C$	25	50			
		$T_A = T_{MIN}$ to T_{MAX}	30	60			

Note 1: Switching times guaranteed by design, not tested. See Figure 1 for timing measurement circuit.

Dual High-Speed 1.5A MOSFET Drivers

Typical Operating Characteristics

MAX4426/4427/4428



Dual High-Speed 1.5A MOSFET Drivers

Applications Information

The MAX4426/4427/4428 have easy-to-drive inputs. However, these inputs must never be allowed to stay between V_{IH} and V_{IL} for more than 50ns. Unused inputs should always be connected to ground to minimize supply current. Drivers can be paralleled on the MAX4426 or MAX4427 by tying both inputs together and both outputs together.

Supply bypassing and grounding are extremely important with the MAX4426/4427/4428, as the peak supply current can be as high as 3A, which is twice the peak output current. Ground drops are a form of negative feedback with inverters, and hence will degrade the delay and transition time of the MAX4426/MAX4428.

Suggested bypass capacitors are a 4.7 μ F (low ESR) capacitor in parallel with a 0.1 μ F ceramic capacitor, mounted as close as possible to the MAX4426/4427/4428. Use a ground plane if possible or separate ground returns for inputs and outputs. Output voltage ringing can be minimized with a 5 Ω to 20 Ω resistor in series with the output, but this will degrade output transition time. Ringing may be undesirable due to the large current that flows through capacitive loads when the voltage across these loads transitions quickly.

Operation at the upper end of the supply voltage range (>15V) requires that a capacitance of at least 50pF be present at the outputs. This prevents the supply voltage provided to the die (which can be different from that seen at the IC supply pin) from exceeding the 20V absolute maximum rating, due to overshoot. Since at least 50pF of gate capacitance is present in all higher power FETs, this requirement is easily met.

Power Dissipation

The MAX4426/4427/4428 power dissipation consists of input inverter losses, crowbar current through the output devices, and output current (either capacitive or resistive). The sum of these must be kept below the maximum power dissipation limit.

The DC input inverter supply current is 0.2mA when both inputs are low and 2mA when both inputs are high. The crowbar current through an output device making a transition is approximately 100mA for a few nanoseconds. This is a small portion of the total supply current, except for high switching frequencies or a small load capacitance (100pF).

The MAX4426/4427/4428 power dissipation when driving a ground-referenced resistive load is:

$$P = (D) (r_{ON(MAX)}) (I_{LOAD})^2$$

where D is the percentage of time the MAX4426/4427/4428 output pulls high, $r_{ON(MAX)}$ is the MAX4426/4427/4428 maximum on resistance, and I_{LOAD} is the MAX4426/4427/4428 load current.

For capacitive loads, the power dissipation is:

$$P = (C_{LOAD}) (V_{DD})^2 (FREQ)$$

where C_{LOAD} is the capacitive load, V_{DD} is the MAX4426/4427/4428 supply voltage, and FREQ is the toggle frequency.

Dual High-Speed 1.5A MOSFET Drivers

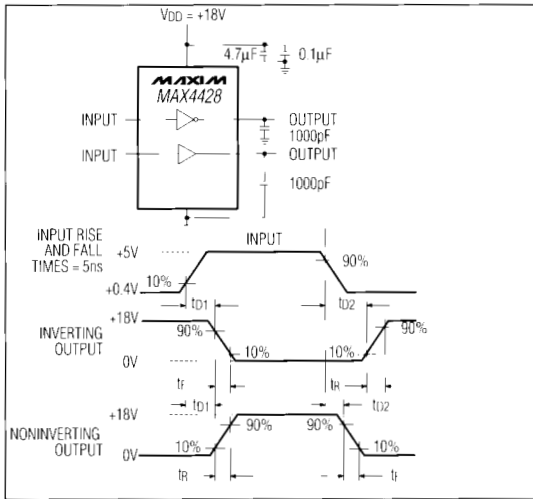


Figure 1. Inverting and Noninverting Test Circuit

Ordering Information (continued)

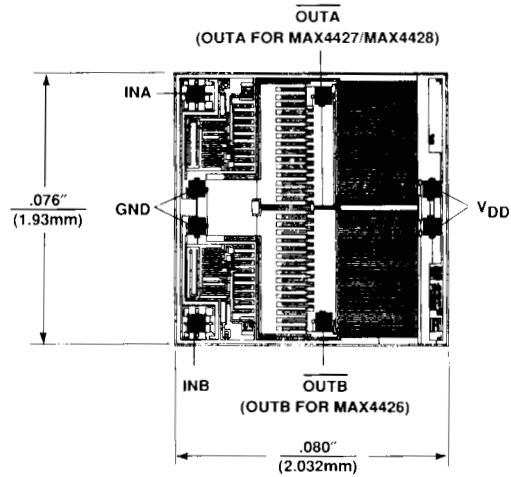
PART	TEMP. RANGE	PIN-PACKAGE
MAX4427CPA	0°C to +70°C	8 Plastic DIP
MAX4427CSA	0°C to +70°C	8 SO
MAX4427C/D	0°C to +70°C	Dice*
MAX4427EPA	-40°C to +85°C	8 Plastic DIP
MAX4427ESA	-40°C to +85°C	8 SO
MAX4427EJA	-40°C to +85°C	8 CERDIP
MAX4427MJA	-55°C to +125°C	8 CERDIP**
MAX4428CPA	0°C to +70°C	8 Plastic DIP
MAX4428CSA	0°C to +70°C	8 SO
MAX4428C/D	0°C to +70°C	Dice*
MAX4428EPA	-40°C to +85°C	8 Plastic DIP
MAX4428ESA	-40°C to +85°C	8 SO
MAX4428EJA	-40°C to +85°C	8 CERDIP
MAX4428MJA	-55°C to +125°C	8 CERDIP**

* Dice are tested at $T_A = +25^\circ\text{C}$.

** Contact factory for availability and processing to MIL-STD-883.

MAX4426/4427/4428

Chip Topography



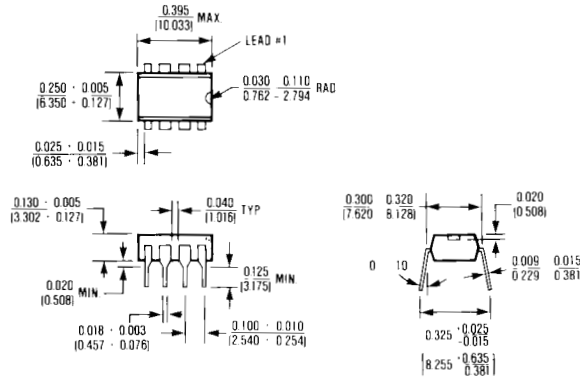
SUBSTRATE CONNECTED TO V_{DD} ;
TRANSISTOR COUNT: 26.

MAX4427/MAX4428

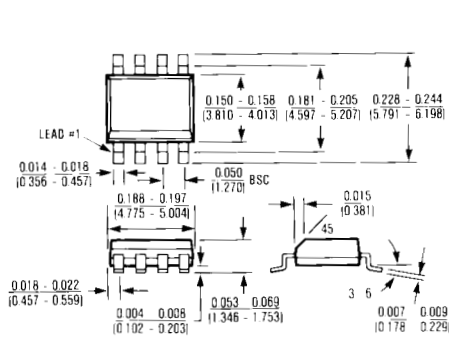
MAX4426/4427/4428

Dual High-Speed 1.5A MOSFET Drivers

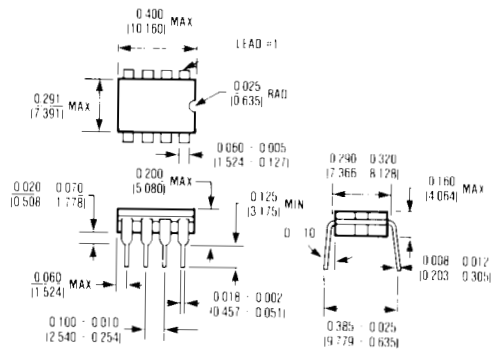
Package Information



8 Lead Plastic DIP
 $\theta_{JA} = 120 \text{ }^\circ\text{C/W}$
 $\theta_{JC} = 70 \text{ }^\circ\text{C/W}$



8 Lead Small Outline
 $\theta_{JA} = 170 \text{ }^\circ\text{C/W}$
 $\theta_{JC} = 80 \text{ }^\circ\text{C/W}$



8 Lead CERDIP
 $\theta_{JA} = 125 \text{ }^\circ\text{C/W}$
 $\theta_{JC} = 55 \text{ }^\circ\text{C/W}$

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

6 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1993 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

LM431

Adjustable Precision Zener Shunt Regulator

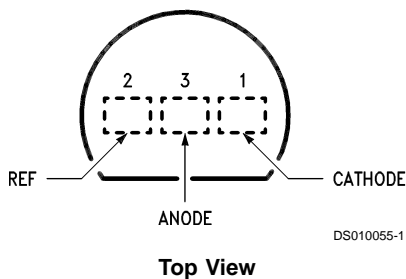
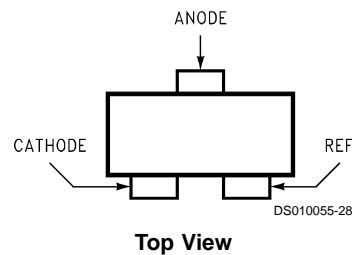
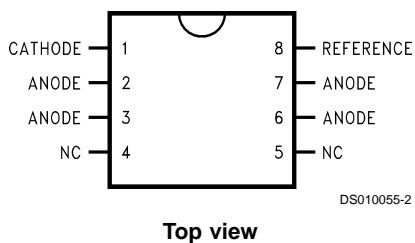
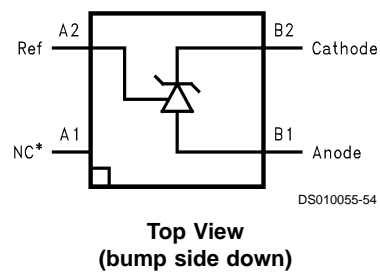
General Description

The LM431 is a 3-terminal adjustable shunt regulator with guaranteed temperature stability over the entire temperature range of operation. It is now available in a chip sized package (4-Bump micro SMD) using National's micro SMD package technology. The output voltage may be set at any level greater than 2.5V (V_{REF}) up to 36V merely by selecting two external resistors that act as a voltage divided network. Due to the sharp turn-on characteristics this device is an excellent replacement for many zener diode applications.

Features

- Average temperature coefficient 50 ppm/°C
- Temperature compensated for operation over the full temperature range
- Programmable output voltage
- Fast turn-on response
- Low output noise
- LM431 in micro SMD package
- See AN-1112 for micro SMD considerations

Connection Diagrams

TO-92: Plastic Package

SOT-23: 3-Lead Small Outline

SO-8: 8-Pin Surface Mount

4-Bump micro SMD


Note: *NC = Not internally connected. Must be electrically isolated from the rest of the circuit for the microSMD package.

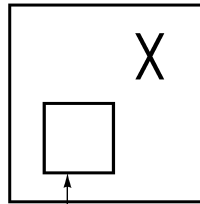
Ordering Information

Package	Typical Accuracy Order Number/Package Marking			Temperature Range	Transport Media	NSC Drawing
	0.5%	1%	2%			
TO-92	LM431CCZ/ LM431CCZ	LM431BCZ/ LM431BCZ	LM431ACZ/ LM431ACZ	0°C to +70°C	Rails	Z03A
	LM431CIZ/ LM431CIZ	LM431BIZ/ LM431BIZ	LM431AIZ/ LM431AIZ	-40°C to +85°C		
SO-8	LM431CCM/ 431CCM	LM431BCM/ 431BCM	LM431ACM/ LM431ACM	0°C to +70°C	Rails and Tape & Reel	M08A
	LM431CIM/ 431CIM	LM431BIM/ 431BIM	LM431AIM/ LM431AIM	-40°C to +85°C		
SOT-23	LM431CCM3/ N1B	LM431BCM3/ N1D	LM431ACM3/ N1F	0°C to +70°C	Rails and Tape & Reel	MF03A
	LM431CIM3 N1A	LM431BIM3 N1C	LM431AIM3 N1E	-40°C to +85°C		
micro SMD	-	-	LM431AIBP LM431AIBPX(Note 1)	-40°C to +85°C	250 Units Tape and Reel 3k Units Tape and Reel	BPA04AFB

Note 1: The micro SMD package marking is a 1 digit manufacturing Date Code only

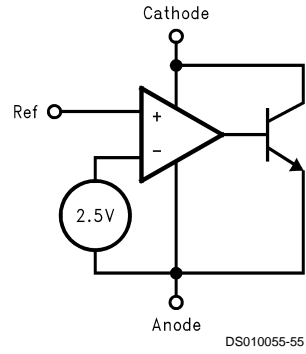
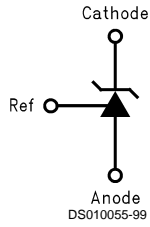
micro SMD Top View Marking Example

X = Date Code



Pin A1 Identifier
DS010055-56

Symbol and Functional Diagrams



DC Test Circuits

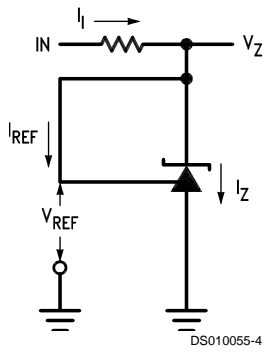
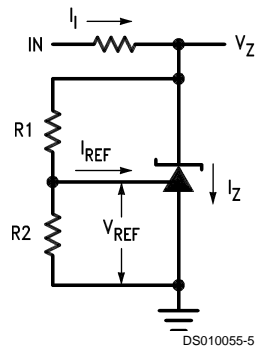


FIGURE 1. Test Circuit for $V_Z = V_{REF}$



Note: $V_Z = V_{REF} (1 + R1/R2) + I_{REF} \cdot R1$

FIGURE 2. Test Circuit for $V_Z > V_{REF}$

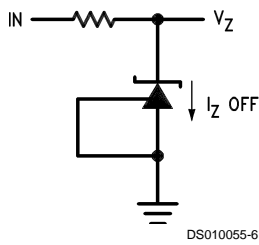


FIGURE 3. Test Circuit for Off-State Current

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	
Industrial (LM431xI)	-40°C to +85°C
Commercial (LM431xC)	0°C to +70°C
Soldering Information	
Infrared or Convection (20 sec.)	235°C
Wave Soldering (10 sec.)	260°C (lead temp.)
Cathode Voltage	37V
Continuous Cathode Current	-10 mA to +150 mA

Reference Voltage	-0.5V
Reference Input Current	10 mA
Internal Power Dissipation (Notes 3, 4)	
TO-92 Package	0.78W
SO-8 Package	0.81W
SOT-23 Package	0.28W
micro SMD Package	0.30W

Operating Conditions

	Min	Max
Cathode Voltage	V_{REF}	37V
Cathode Current	1.0 mA	100 mA

LM431
Electrical Characteristics

$T_A = 25^\circ\text{C}$ unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{REF}	Reference Voltage	$V_Z = V_{REF}$, $I_I = 10\text{ mA}$ LM431A (Figure 1)	2.440	2.495	2.550	V
		$V_Z = V_{REF}$, $I_I = 10\text{ mA}$ LM431B (Figure 1)	2.470	2.495	2.520	V
		$V_Z = V_{REF}$, $I_I = 10\text{ mA}$ LM431C (Figure 1)	2.485	2.500	2.510	V
V_{DEV}	Deviation of Reference Input Voltage Over Temperature (Note 5)	$V_Z = V_{REF}$, $I_I = 10\text{ mA}$, $T_A = \text{Full Range}$ (Figure 1)		8.0	17	mV
$\frac{\Delta V_{REF}}{\Delta V_Z}$	Ratio of the Change in Reference Voltage to the Change in Cathode Voltage	$I_Z = 10\text{ mA}$ (Figure 2)		-1.4 -1.0	-2.7 -2.0	mV/V
I_{REF}	Reference Input Current	$R_1 = 10\text{ k}\Omega$, $R_2 = \infty$, $I_I = 10\text{ mA}$ (Figure 2)		2.0	4.0	μA
αI_{REF}	Deviation of Reference Input Current over Temperature	$R_1 = 10\text{ k}\Omega$, $R_2 = \infty$, $I_I = 10\text{ mA}$, $T_A = \text{Full Range}$ (Figure 2)		0.4	1.2	μA
$I_{Z(MIN)}$	Minimum Cathode Current for Regulation	$V_Z = V_{REF}$ (Figure 1)		0.4	1.0	mA
$I_{Z(OFF)}$	Off-State Current	$V_Z = 36\text{V}$, $V_{REF} = 0\text{V}$ (Figure 3)		0.3	1.0	μA
r_Z	Dynamic Output Impedance (Note 6)	$V_Z = V_{REF}$, LM431A, Frequency = 0 Hz (Figure 1)			0.75	Ω
		$V_Z = V_{REF}$, LM431B, LM431C Frequency = 0 Hz (Figure 1)			0.50	Ω

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Electrical specifications do not apply when operating the device beyond its rated operating conditions.

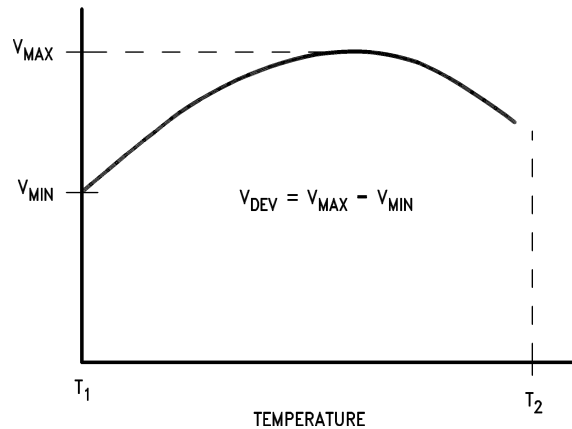
Note 3: $T_{J\text{ Max}} = 150^\circ\text{C}$.

Note 4: Ratings apply to ambient temperature at 25°C . Above this temperature, derate the TO-92 at $6.2\text{ mW}/^\circ\text{C}$, the SO-8 at $6.5\text{ mW}/^\circ\text{C}$, the SOT-23 at $2.2\text{ mW}/^\circ\text{C}$ and the micro SMD at $3\text{ mW}/^\circ\text{C}$.

Note 5: Deviation of reference input voltage, V_{DEV} , is defined as the maximum variation of the reference input voltage over the full temperature range.

LM431

Electrical Characteristics (Continued)



The average temperature coefficient of the reference input voltage, αV_{REF} , is defined as:

$$\alpha V_{REF} \frac{\text{ppm}}{^{\circ}\text{C}} = \frac{\pm \left[\frac{V_{\text{Max}} - V_{\text{Min}}}{V_{\text{REF}}(\text{at } 25^{\circ}\text{C})} \right] 10^6}{T_2 - T_1} = \frac{\pm \left[\frac{V_{\text{DEV}}}{V_{\text{REF}}(\text{at } 25^{\circ}\text{C})} \right] 10^6}{T_2 - T_1}$$

Where:

$T_2 - T_1$ = full temperature change (0-70°C).

αV_{REF} can be positive or negative depending on whether the slope is positive or negative.

Example: $V_{DEV} = 8.0 \text{ mV}$, $V_{REF} = 2495 \text{ mV}$, $T_2 - T_1 = 70^{\circ}\text{C}$, slope is positive.

$$\alpha V_{REF} = \frac{\left[\frac{8.0 \text{ mV}}{2495 \text{ mV}} \right] 10^6}{70^{\circ}\text{C}} = +46 \text{ ppm}/^{\circ}\text{C}$$

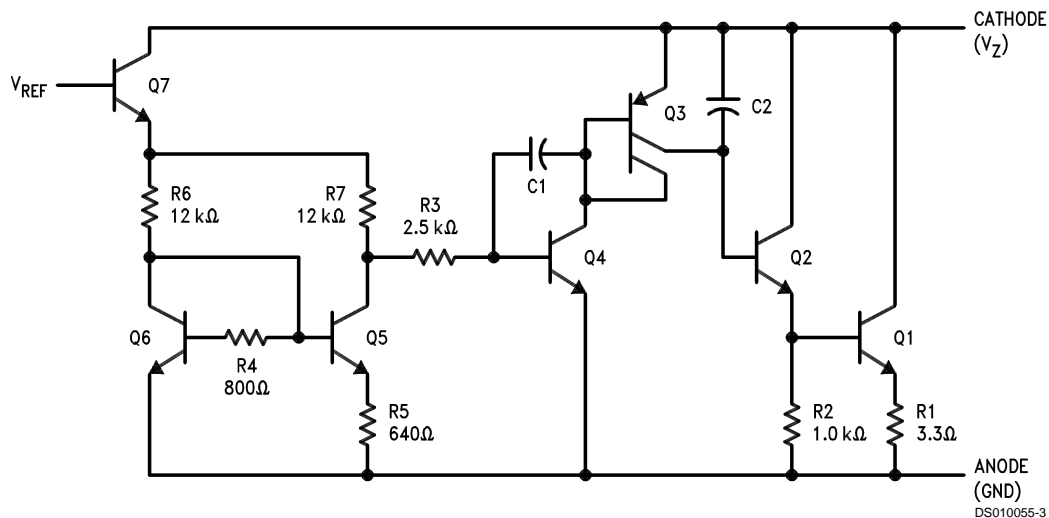
Note 6: The dynamic output impedance, r_z , is defined as:

$$r_z = \frac{\Delta V_z}{\Delta I_z}$$

When the device is programmed with two external resistors, R_1 and R_2 , (see Figure 2), the dynamic output impedance of the overall circuit, r_z , is defined as:

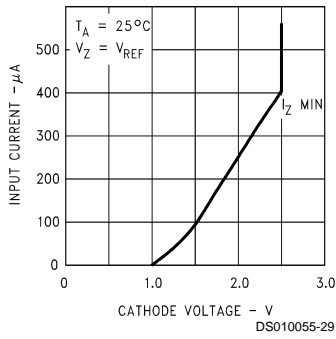
$$r_z = \frac{\Delta V_z}{\Delta I_z} \approx \left[r_z \left(1 + \frac{R_1}{R_2} \right) \right]$$

Equivalent Circuit

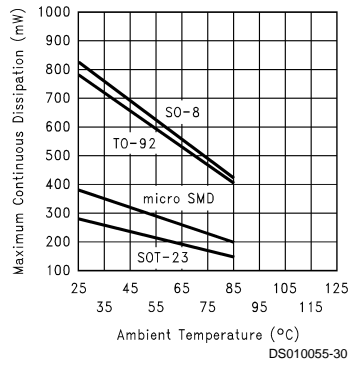


Typical Performance Characteristics

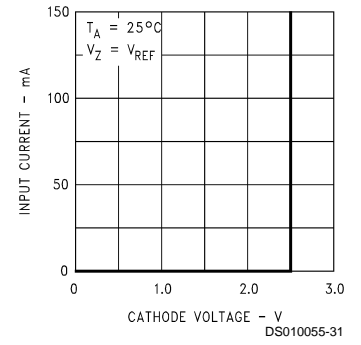
Input Current vs V_Z



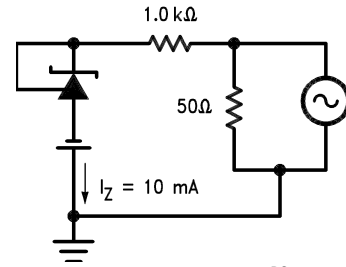
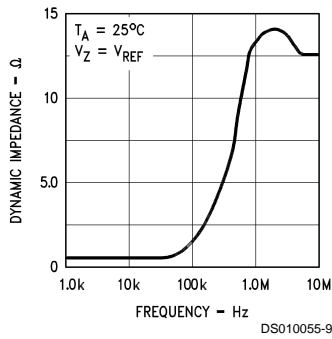
Thermal Information



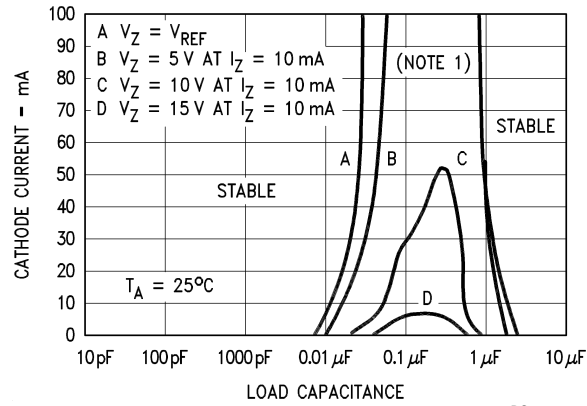
Input Current vs V_Z



Dynamic Impedance vs Frequency

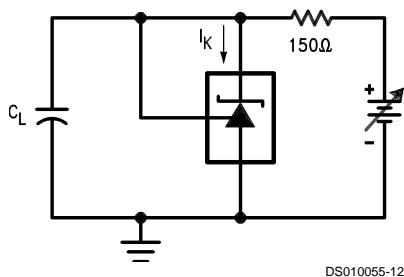


Stability Boundary Conditions

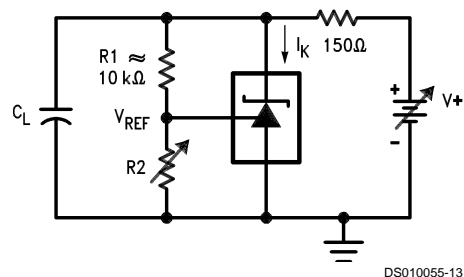


Note: The areas under the curves represent conditions that may cause the device to oscillate. For curves B, C, and D, R_2 and V^+ were adjusted to establish the initial V_Z and I_Z conditions with $C_L = 0$. V^+ and C_L were then adjusted to determine the ranges of stability.

Test Circuit for Curve A Above

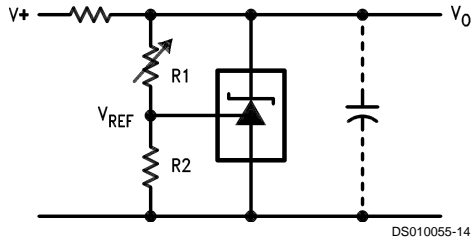


Test Circuit for Curves B, C and D Above



Typical Applications

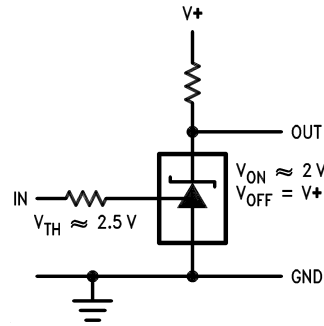
Shunt Regulator



DS010055-14

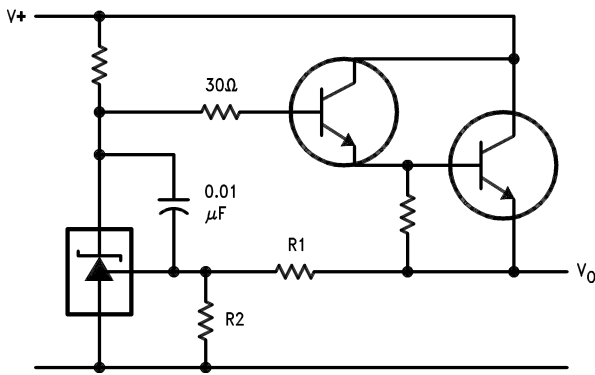
$$V_O \approx \left(1 + \frac{R_1}{R_2}\right) V_{REF}$$

Single Supply Comparator with Temperature Compensated Threshold



DS010055-15

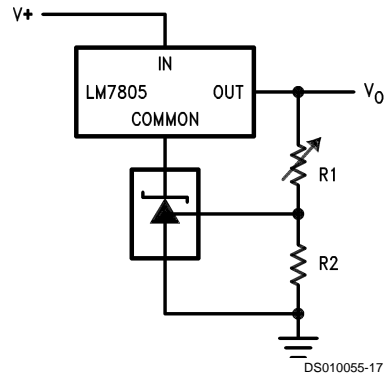
Series Regulator



DS010055-16

$$V_O \approx \left(1 + \frac{R_1}{R_2}\right) V_{REF}$$

Output Control of a Three Terminal Fixed Regulator

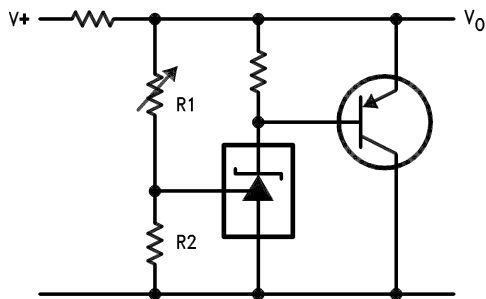


DS010055-17

$$V_O = \left(1 + \frac{R_1}{R_2}\right) V_{REF}$$

$$V_{O\ MIN} = V_{REF} + 5V$$

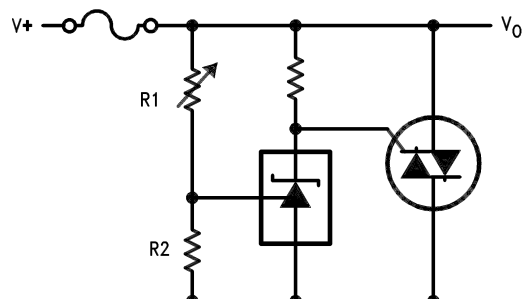
Higher Current Shunt Regulator



DS010055-18

$$V_O \approx \left(1 + \frac{R_1}{R_2}\right) V_{REF}$$

Crow Bar

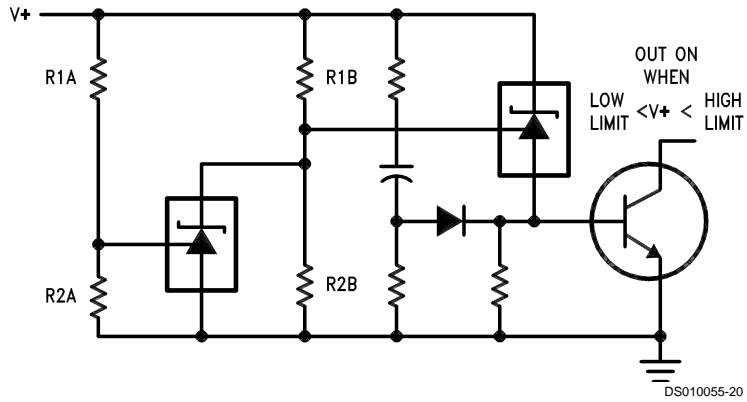


DS010055-19

$$V_{LIMIT} \approx \left(1 + \frac{R_1}{R_2}\right) V_{REF}$$

Typical Applications (Continued)

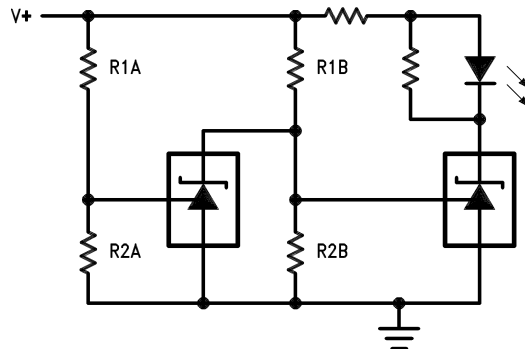
Over Voltage/Under Voltage Protection Circuit



$$\text{LOW LIMIT} \approx V_{\text{REF}} \left(1 + \frac{R1B}{R2B} \right) + V_{\text{BE}}$$

$$\text{HIGH LIMIT} \approx V_{\text{REF}} \left(1 + \frac{R1A}{R2A} \right)$$

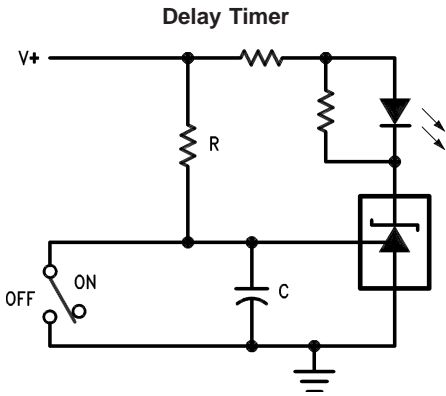
Voltage Monitor



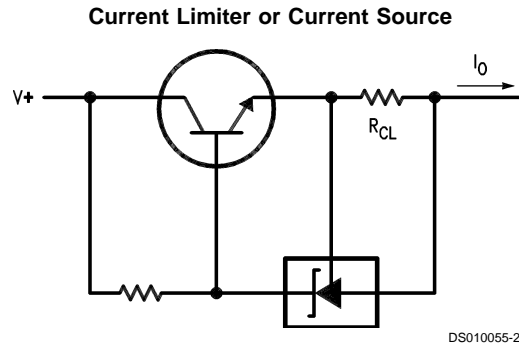
$$\text{LOW LIMIT} \approx V_{\text{REF}} \left(1 + \frac{R1B}{R2B} \right) \quad \text{LED ON WHEN LOW LIMIT} < V^+ < \text{HIGH LIMIT}$$

$$\text{HIGH LIMIT} \approx V_{\text{REF}} \left(1 + \frac{R1A}{R2A} \right)$$

Typical Applications (Continued)

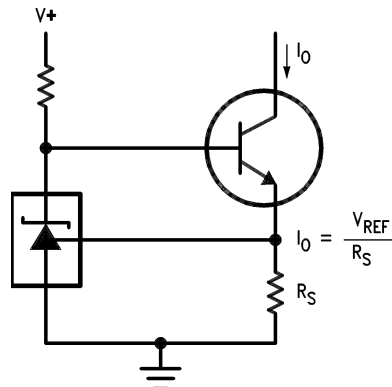


$$\text{DELAY} = R \cdot C \cdot \ln \frac{V^+}{(V^+) - V_{\text{REF}}}$$



$$I_o = \frac{V_{\text{REF}}}{R_{\text{CL}}}$$

Constant Current Sink



DS010055-24

Application Info

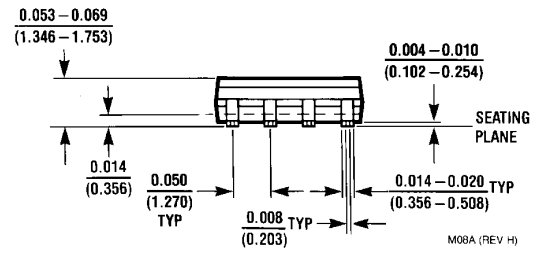
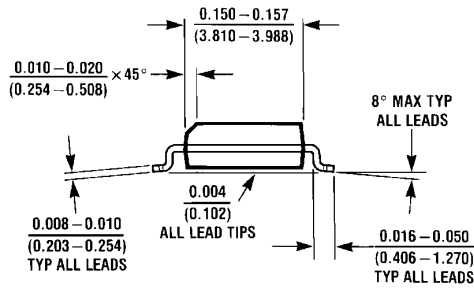
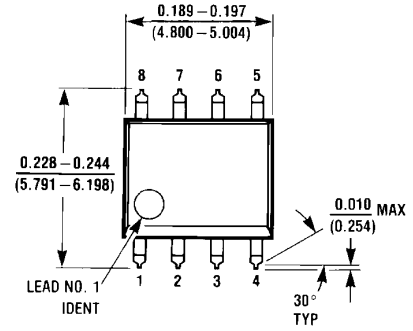
1.0 Mounting

To ensure that the geometry of the micro SMD package maintains good physical contact with the printed circuit board, pin A1 (NC) must be soldered to the pcb. Please see AN-1112 for more detailed information regarding board mounting techniques for the micro SMD package.

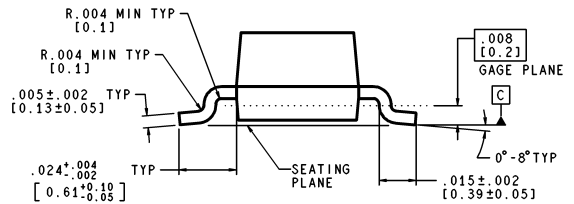
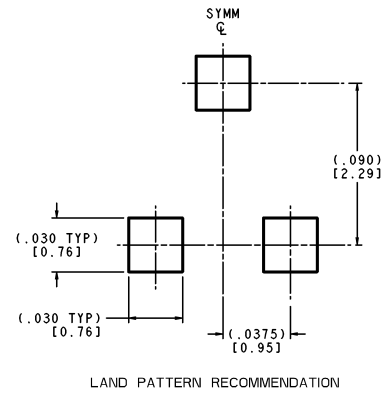
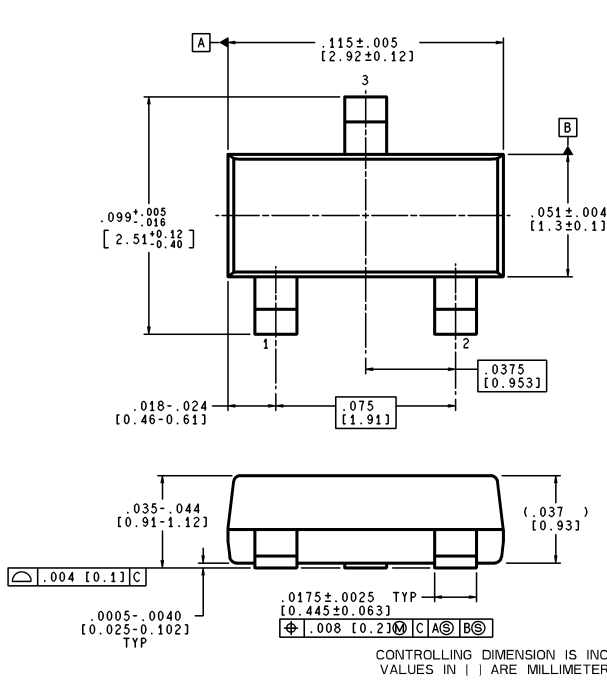
2.0 LM431 micro SMD Light Sensitivity

When the LM431 micro SMD package is exposed to bright sunlight, normal office fluorescent light, and other LED's and lasers, it operates within the guaranteed limits specified in the electrical characteristics table.

Physical Dimensions inches (millimeters) unless otherwise noted



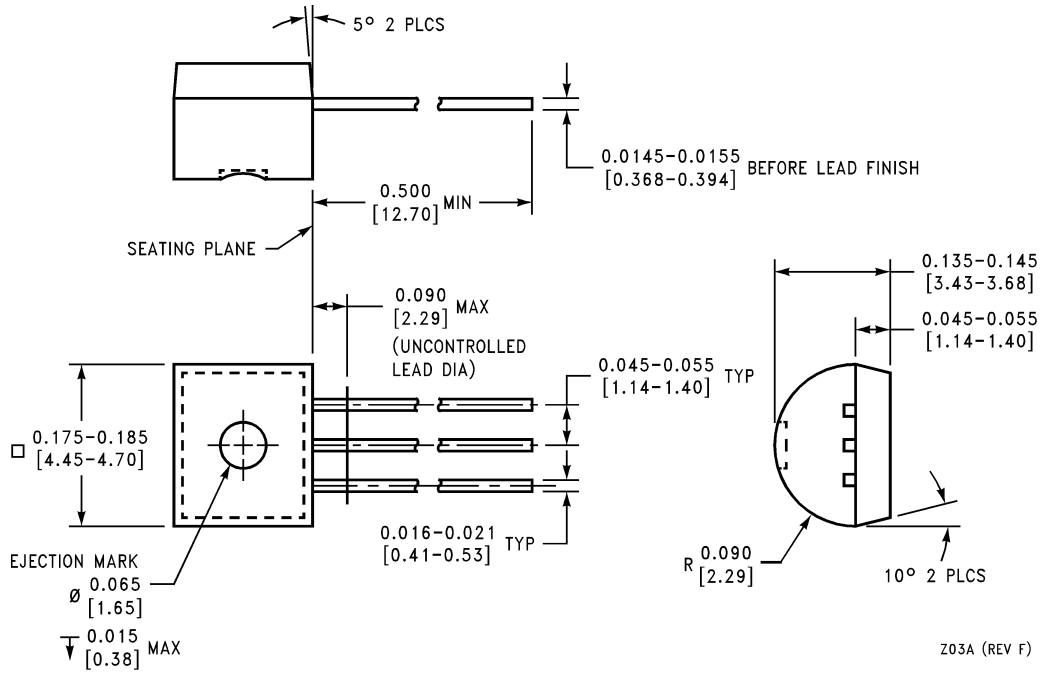
NS Package Number M08A



MF03A (Rev A)

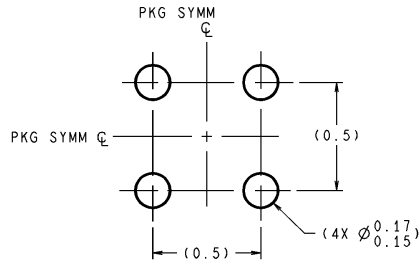
**SOT-23 Molded Small Outline Transistor Package (M3)
NS Package Number MF03A**

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



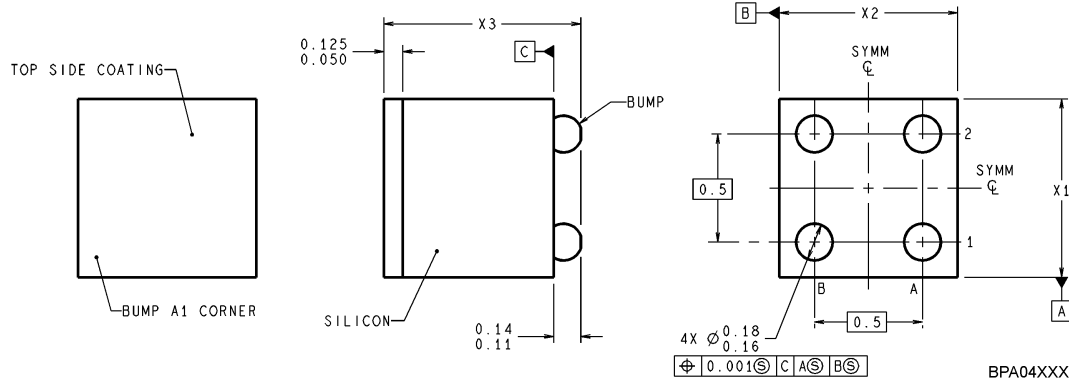
NS Package Number Z03A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



DIMENSIONS ARE IN MILLIMETERS

LAND PATTERN RECOMMENDATION



BPA04XXX (Rev D)

NOTES: UNLESS OTHERWISE SPECIFIED

1. EPOXY COATING
2. 63Sn/37Pb EUTECTIC BUMP
3. RECOMMEND NON-SOLDER MASK DEFINED LANDING PAD.
4. PIN A1 IS ESTABLISHED BY LOWER LEFT CORNER WITH RESPECT TO TEXT ORIENTATION. REMAINING PINS ARE NUMBERED.
5. XXX IN DRAWING NUMBER REPRESENTS PACKAGE SIZE VARIATION WHERE X1 IS PACKAGE WIDTH, X2 IS PACKAGE LENGTH AND X3 IS PACKAGE HEIGHT.
6. REFERENCE JEDEC REGISTRATION MO-211, VARIATION BA.

4-Bump micro SMD
X1 = 0.777 X2 = 0.904 X3 = 0.850
NS Package Number BPA04AFB

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 Americas
 Email: support@nsc.com

www.national.com

National Semiconductor Europe
 Fax: +49 (0) 180-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 69 9508 6208
 English Tel: +44 (0) 870 24 0 2171
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
 Tel: 65-2544466
 Fax: 65-2504466
 Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
 Tel: 81-3-5639-7560
 Fax: 81-3-5639-7507

BC546/547/548/549/550

NPN EPITAXIAL SILICON TRANSISTOR

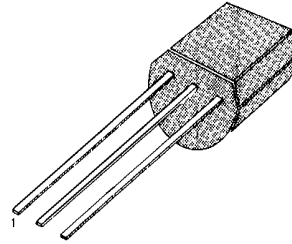
SWITCHING AND AMPLIFIER

- HIGH VOLTAGE: BC546, $V_{CE0}=65V$
- LOW NOISE: BC549, BC550
- Complement to BC556 ... BC560

ABSOLUTE MAXIMUM RATINGS ($T_A=25^{\circ}C$)

Characteristic	Symbol	Rating	Unit
Collector Base Voltage	V_{CBO}	80	V
: BC546		50	V
: BC547/550		30	V
Collector-Emitter Voltage	V_{CEO}	65	V
: BC546		45	V
: BC547/550		30	V
Emitter-Base Voltage	V_{EBO}	6	V
: BC546/547		5	V
: BC548/549/550			
Collector Current (DC)	I_C	100	mA
Collector Dissipation	P_C	500	mW
Junction Temperature	T_J	150	$^{\circ}C$
Storage Temperature	T_{STG}	-65 ~ 150	$^{\circ}C$

TO-92



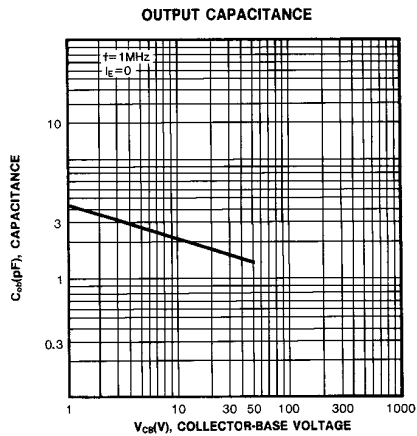
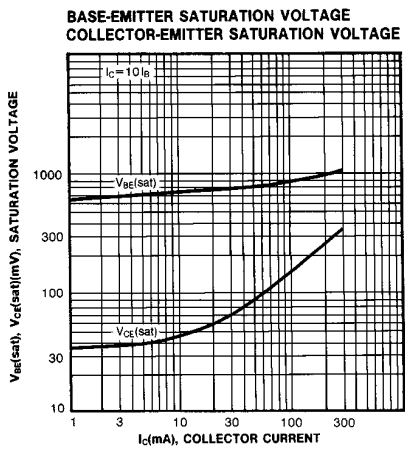
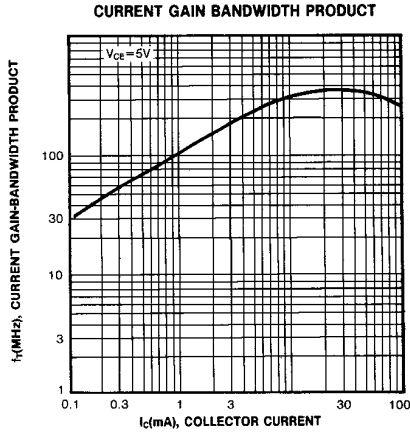
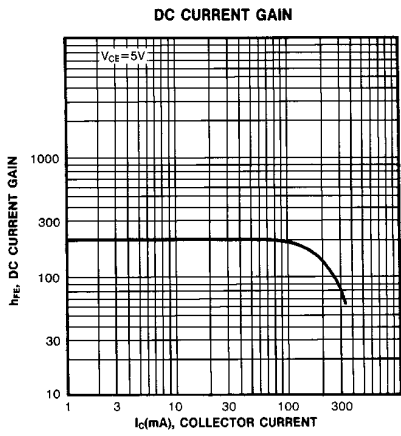
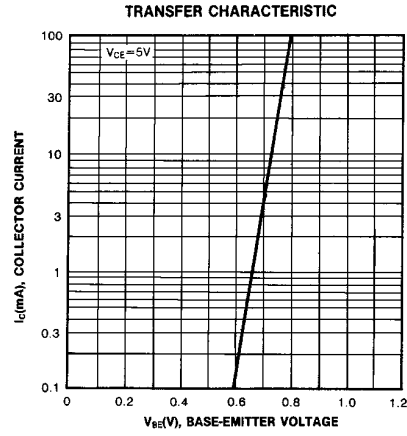
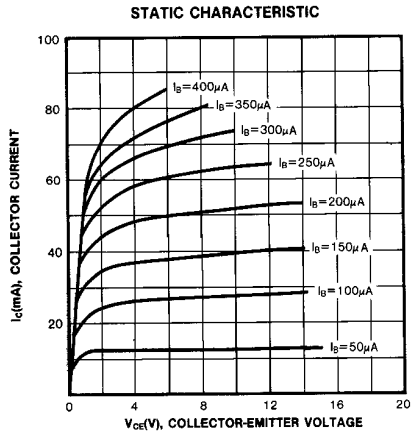
1. Collector 2. Base 3. Emitter

ELECTRICAL CHARACTERISTICS ($T_A=25^{\circ}C$)

Characteristic	Symbol	Test Conditions	Min	Typ	Max	Unit
Collector Cut-off Current	I_{CBO}	$V_{CB}=30V, I_E=0$			15	nA
DC Current Gain	h_{FE}	$V_{CE}=5V, I_C=2mA$	110		800	
Collector Emitter Saturation Voltage	$V_{CE(sat)}$	$I_C=10mA, I_B=0.5mA$ $I_C=100mA, I_B=5mA$		90 200	250 600	mA mA
Collector Base Saturation Voltage	$V_{BE(on)}$	$I_C=10mA, I_B=0.5mA$ $I_C=100mA, I_B=5mA$		700 900		mA mA
Base Emitter On Voltage	$V_{BE(on)}$	$V_{CE}=5V, I_C=2mA$ $V_{CE}=5V, I_C=10mA$	580	660	700 720	mA mA
Current Gain Bandwidth Product	f_T	$V_{CE}=5V, I_C=10mA$		300		MHz
Collector Base Capacitance	C_{CBO}	$V_{CB}=10V, f=1MHz$		3.5	6	pF
Emitter Base Capacitance	C_{EBO}	$V_{EB}=0.5V, f=1MHz$		9		pF
Noise Figure	NF	$V_{CE}=5V, I_C=200\mu A$ $f=1KHz, R_G=2K\Omega$		2	10	dB
: BC546/547/548				1.2	4	dB
: BC549/550		$V_{CE}=5V, I_C=200\mu A$ $R_G=2K\Omega, f=30\sim 15000MHz$		1.4	4	dB
: BC549				1.4	3	dB
: BC550						

h_{FE} CLASSIFICATION

Classification	A	B	C
h_{FE}	110-220	200-450	420-800



TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	ISOPLANAR™
CoolFET™	MICROWIRE™
CROSSVOLT™	POP™
E ² CMOS™	PowerTrench™
FACT™	QS™
FACT Quiet Series™	Quiet Series™
FAST®	SuperSOT™-3
FASTr™	SuperSOT™-6
GTO™	SuperSOT™-8
HiSeC™	TinyLogic™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

DATA SHEET

74F32

Quad 2-input OR gate

Product specification

1990 Oct 04

IC15 Data Handbook

Quad 2-input OR gate

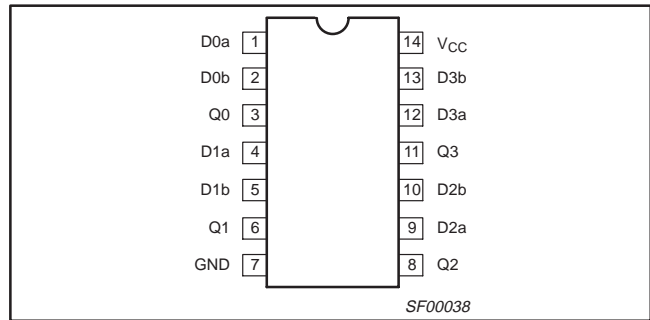
74F32

FEATURE

- Industrial temperature range available (-40°C to +85°C)

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74F32	4.1ns	8.2mA

PIN CONFIGURATION



ORDERING INFORMATION

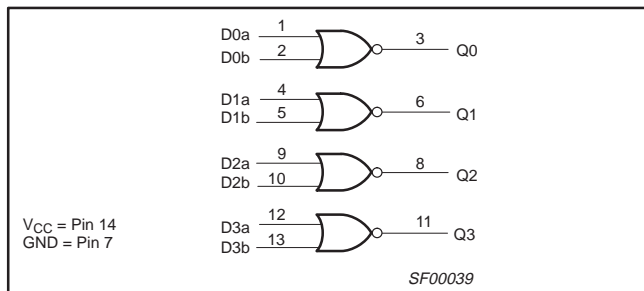
DESCRIPTION	ORDER CODE		PKG DWG #
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	INDUSTRIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = -40^{\circ}C$ to $+85^{\circ}C$	
14-pin plastic DIP	N74F32N	I74F32N	SOT27-1
14-pin plastic SO	N74F32D	I74F32D	SOT108-1

INPUT AND OUTPUT LOADING AND FAN OUT TABLE

PINS	DESCRIPTION	74F (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
Dna, Dnb	Data inputs	1.0/1.0	20µA/0.6mA
Qn	Data output	50/33	1.0mA/20mA

NOTE: One (1.0) FAST unit load is defined as: 20µA in the high state and 0.6mA in the low state.

LOGIC DIAGRAM

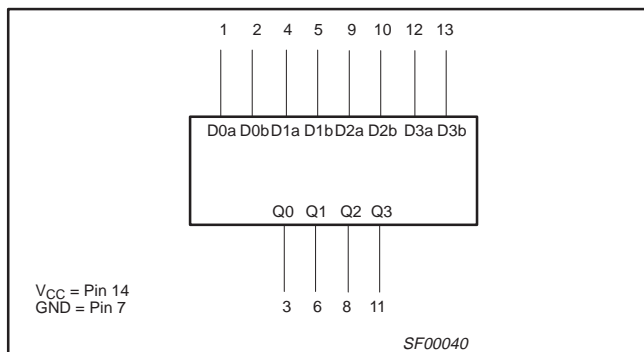


FUNCTION TABLE

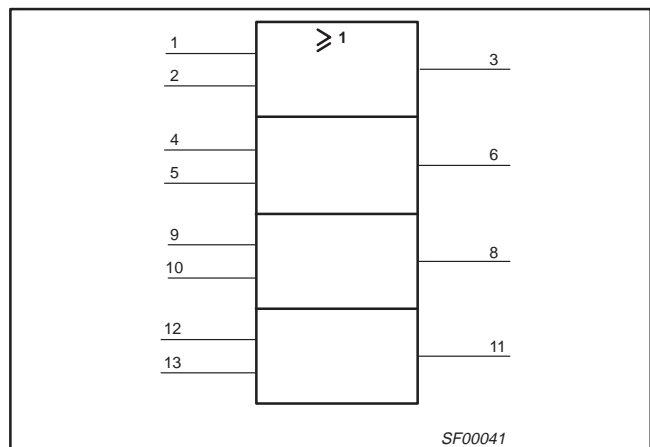
INPUTS		OUTPUT
Dna	Dnb	Qn
L	L	L
L	H	H
H	L	H
H	H	H

- NOTES:
 1 H = High voltage level
 2 L = Low voltage level

LOGIC SYMBOL



IEC/IEEE SYMBOL



Quad 2-input OR gate

74F32

ABSOLUTE MAXIMUM RATINGS

(Operation beyond the limit set forth in this table may impair the useful life of the device.
Unless otherwise noted these limits are over the operating free air temperature range.)

SYMBOL	PARAMETER		RATING	UNIT	
V _{CC}	Supply voltage		-0.5 to +7.0	V	
V _{IN}	Input voltage		-0.5 to +7.0	V	
I _{IN}	Input current		-30 to +5	mA	
V _{OUT}	Voltage applied to output in high output state		-0.5 to V _{CC}	V	
I _{OUT}	Current applied to output in low output state		40	mA	
T _{amb}	Operating free air temperature range		Commercial range	0 to +70	°C
			Industrial range	-40 to +85	°C
T _{stg}	Storage temperature range		-65 to +150	°C	

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	LIMITS			UNIT	
		MIN	NOM	MAX		
V _{CC}	Supply voltage	4.5	5.0	5.5	V	
V _{IH}	High-level input voltage	2.0			V	
V _{IL}	Low-level input voltage			0.8	V	
I _{IK}	Input clamp current			-18	mA	
I _{OH}	High-level output current			-1	mA	
I _{OL}	Low-level output current			20	mA	
T _{amb}	Operating free air temperature range		Commercial range	0	+70	°C
			Industrial range	-40	+85	°C

DC ELECTRICAL CHARACTERISTICS

(Over recommended operating free-air temperature range unless otherwise noted.)

SYMBOL	PARAMETER	TEST CONDITIONS ¹		LIMITS			UNIT
				MIN	TYP ²	MAX	
V _{OH}	High-level output voltage	V _{CC} = MIN, V _{IL} = MAX	±10%V _{CC}	2.5			V
			±5%V _{CC}	2.7	3.4		V
V _{OL}	Low-level output voltage	V _{CC} = MIN, V _{IL} = MAX	±10%V _{CC}		0.30	0.50	V
			±5%V _{CC}		0.30	0.50	V
V _{IK}	Input clamp voltage	V _{CC} = MIN, I _I = I _{IK}			-0.73	-1.2	V
I _I	Input current at maximum input voltage	V _{CC} = MAX, V _I = 7.0V				100	μA
I _{IH}	High-level input current	V _{CC} = MAX, V _I = 2.7V				20	μA
I _{IL}	Low-level input current	V _{CC} = MAX, V _I = 0.5V				-0.6	mA
I _{OS}	Short-circuit output current ³	V _{CC} = MAX		-60		-150	mA
I _{CC}	Supply current (total)	I _{CCH}	V _{CC} = MAX	V _{IN} = 4.5V	6.1	9.2	mA
		I _{CCL}	V _{CC} = MAX	V _{IN} = GND	10.3	15.5	mA

NOTES:

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
- All typical values are at V_{CC} = 5V, T_{amb} = 25°C.
- Not more than one output should be shorted at a time. For testing I_{OS}, the use of high-speed test apparatus and/or sample-and-hold techniques are preferable in order to minimize internal heating and more accurately reflect operational values. Otherwise, prolonged shorting of a high output may raise the chip temperature well above normal and thereby cause invalid readings in other parameter tests. In any sequence of parameter tests, I_{OS} tests should be performed last.

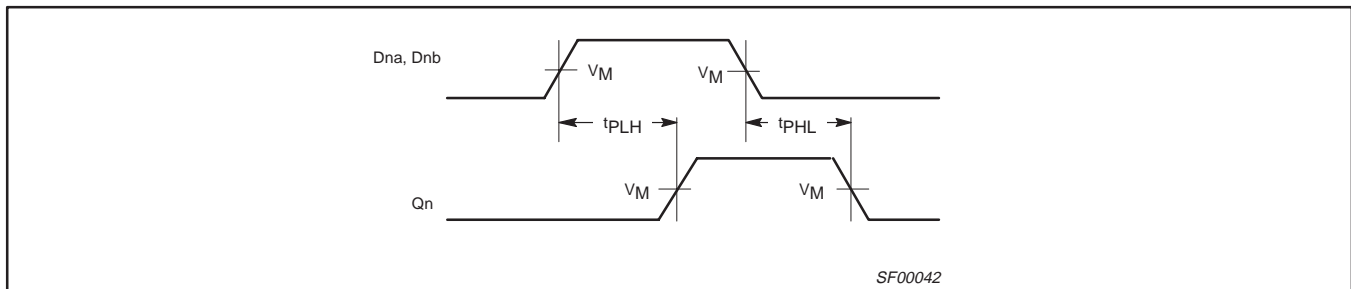
Quad 2-input OR gate

74F32

AC ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	TEST CONDITION	LIMITS						UNIT	
			$V_{CC} = +5.0V$ $T_{amb} = +25^{\circ}C$ $C_L = 50pF, R_L = 500\Omega$			$V_{CC} = +5.0V \pm 10\%$ $T_{amb} = 0^{\circ}C \text{ to } +70^{\circ}C$ $C_L = 50pF, R_L = 500\Omega$		$V_{CC} = +5.0V \pm 10\%$ $T_{amb} = -40^{\circ}C \text{ to } +85^{\circ}C$ $C_L = 50pF, R_L = 500\Omega$		
			MIN	TYP	MAX	MIN	MAX	MIN		MAX
t_{PLH} t_{PHL}	Propagation delay Dna, Dnb to Qn	Waveform 1	3.0	4.2	5.6	3.0	6.6	3.0	6.6	ns
			3.0	4.0	5.3	3.0	6.3	3.0	6.3	

AC WAVEFORMS



Waveform 1. Propagation delay for inverting outputs

NOTE:

For all waveforms, $V_M = 1.5V$.

TEST CIRCUIT AND WAVEFORMS

Test Circuit for Totem-Pole Outputs

DEFINITIONS:

R_L = Load resistor; see AC ELECTRICAL CHARACTERISTICS for value.

C_L = Load capacitance includes jig and probe capacitance; see AC ELECTRICAL CHARACTERISTICS for value.

R_T = Termination resistance should be equal to Z_{OUT} of pulse generators.

Input Pulse Definition

family	INPUT PULSE REQUIREMENTS					
	amplitude	V_M	rep. rate	t_w	t_{TLH}	t_{THL}
74F	3.0V	1.5V	1MHz	500ns	2.5ns	2.5ns

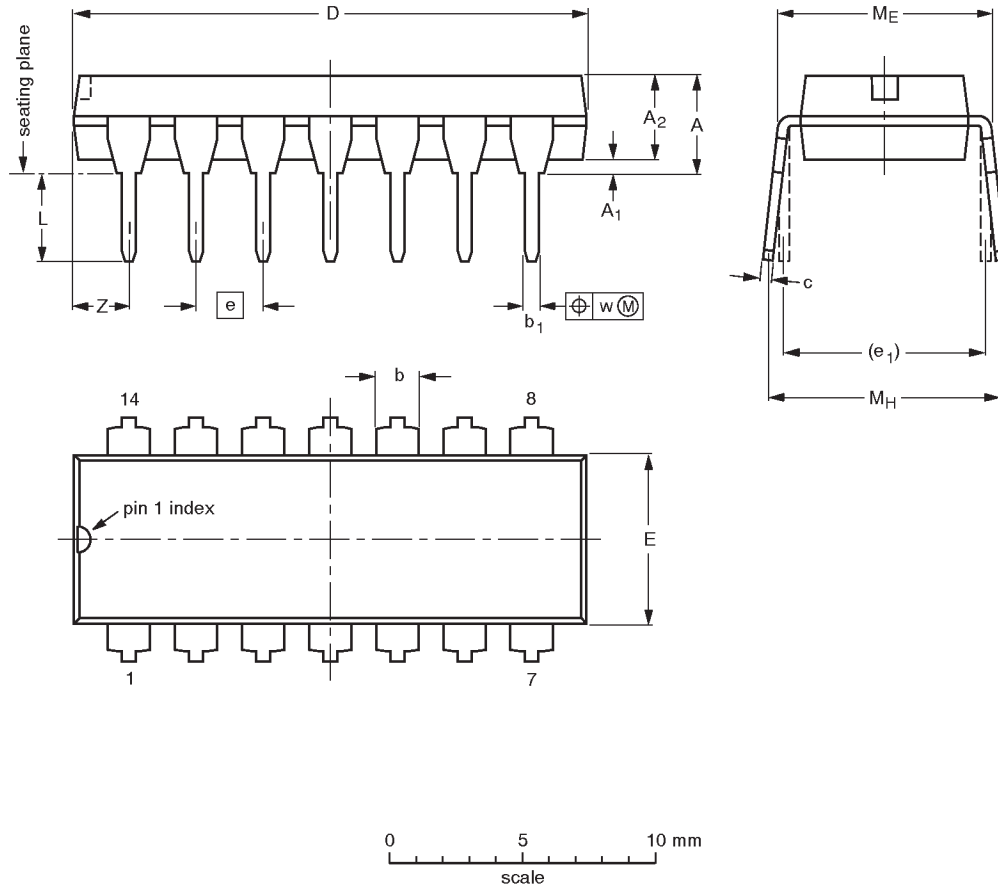
SF00006

Quad 2-input OR gate

74F32

DIP14: plastic dual in-line package; 14 leads (300 mil)

SOT27-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁ min.	A ₂ max.	b	b ₁	c	D ⁽¹⁾	E ⁽¹⁾	e	e ₁	L	M _E	M _H	w	Z ⁽¹⁾ max.
mm	4.2	0.51	3.2	1.73 1.13	0.53 0.38	0.36 0.23	19.50 18.55	6.48 6.20	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	2.2
inches	0.17	0.020	0.13	0.068 0.044	0.021 0.015	0.014 0.009	0.77 0.73	0.26 0.24	0.10	0.30	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.087

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

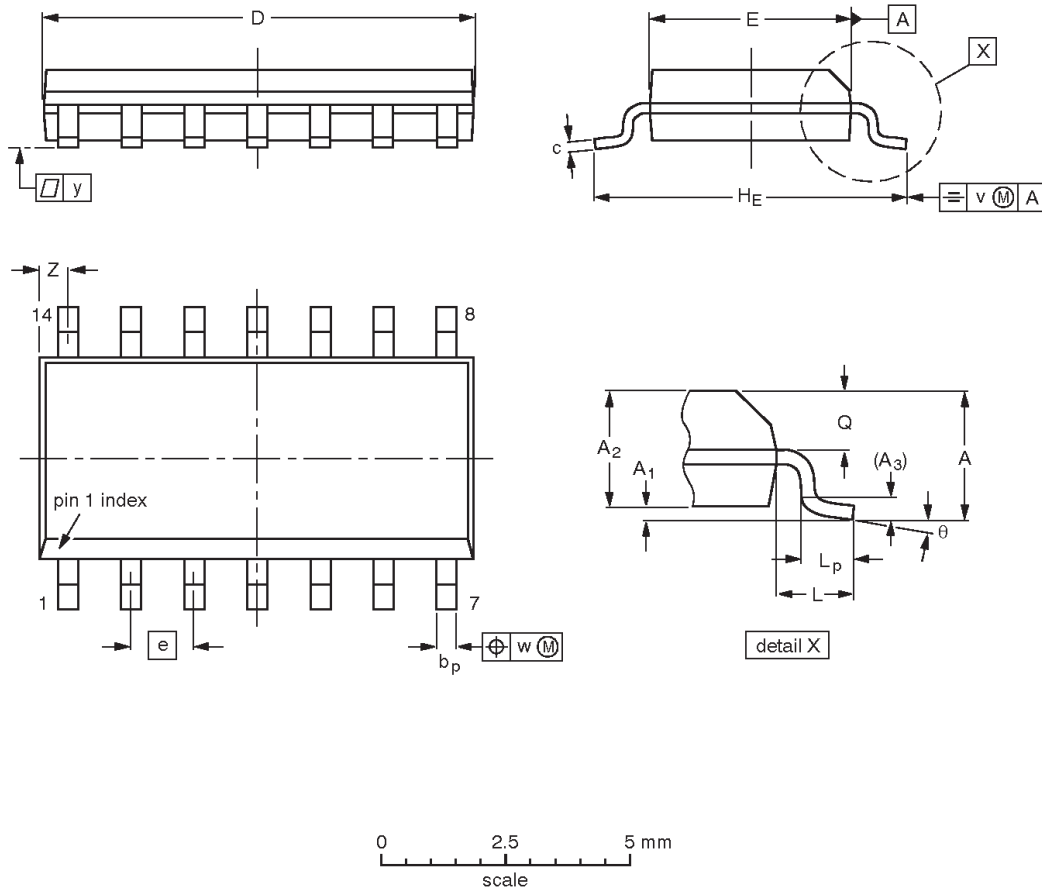
OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ		
SOT27-1	050G04	MO-001AA			92-11-17 95-03-11

Quad 2-input OR gate

74F32

SO14: plastic small outline package; 14 leads; body width 3.9 mm

SOT108-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _E	L	L _p	Q	v	w	y	z ⁽¹⁾	θ
mm	1.75	0.25 0.10	1.45 1.25	0.25	0.49 0.36	0.25 0.19	8.75 8.55	4.0 3.8	1.27	6.2 5.8	1.05	1.0 0.4	0.7 0.6	0.25	0.25	0.1	0.7 0.3	8° 0°
inches	0.069	0.010 0.004	0.057 0.049	0.01	0.019 0.014	0.0100 0.0075	0.35 0.34	0.16 0.15	0.050	0.244 0.228	0.041	0.039 0.016	0.028 0.024	0.01	0.01	0.004	0.028 0.012	

Note

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ		
SOT108-1	076E06S	MS-012AB			95-01-29 97-05-22

Quad 2-input OR gate

74F32

NOTES

Quad 2-input OR gate

74F32

Data sheet status

Data sheet status	Product status	Definition [1]
Objective specification	Development	This data sheet contains the design target or goal specifications for product development. Specification may change in any manner without notice.
Preliminary specification	Qualification	This data sheet contains preliminary data, and supplementary data will be published at a later date. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Product specification	Production	This data sheet contains final specifications. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.

[1] Please consult the most recently issued datasheet before initiating or completing a design.

Definitions

Short-form specification — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

Limiting values definition — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

Application information — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Disclaimers

Life support — These products are not designed for use in life support appliances, devices or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

Right to make changes — Philips Semiconductors reserves the right to make changes, without notice, in the products, including circuits, standard cells, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.

Philips Semiconductors
811 East Arques Avenue
P.O. Box 3409
Sunnyvale, California 94088-3409
Telephone 800-234-7381

© Copyright Philips Electronics North America Corporation 1998
All rights reserved. Printed in U.S.A.

print code

Date of release: 10-98

Document order number:

9397-750-05062

Let's make things better.

74F00 Quad 2-Input NAND Gate

General Description

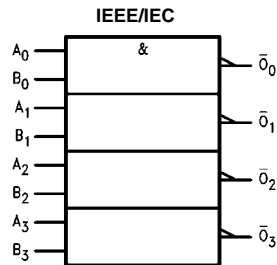
This device contains four independent gates, each of which performs the logic NAND function.

Ordering Code:

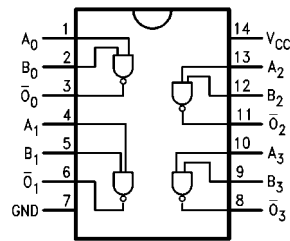
Order Number	Package Number	Package Description
74F00SC	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
74F00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
74F00PC	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Logic Symbol



Connection Diagram



Unit Loading/Fan Out

Pin Names	Description	U.L.	Input I_{IH}/I_{IL}
		HIGH/LOW	Output I_{OH}/I_{OL}
A_n, B_n	Inputs	1.0/1.0	20 μ A/-0.6 mA
\bar{O}_n	Outputs	50/33.3	-1 mA/20 mA

Absolute Maximum Ratings (Note 1)

Storage Temperature	-65°C to +150°C
Ambient Temperature under Bias	-55°C to +125°C
Junction Temperature under Bias	-55°C to +150°C
V _{CC} Pin Potential to Ground Pin	-0.5V to +7.0V
Input Voltage (Note 2)	-0.5V to +7.0V
Input Current (Note 2)	-30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with V _{CC} = 0V)	
Standard Output	-0.5V to V _{CC}
3-STATE Output	-0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I _{OL} (mA)
ESD Last Passing Voltage (Min)	4000V

Recommended Operating Conditions

Free Air Ambient Temperature	0°C to +70°C
Supply Voltage	+4.5V to +5.5V

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

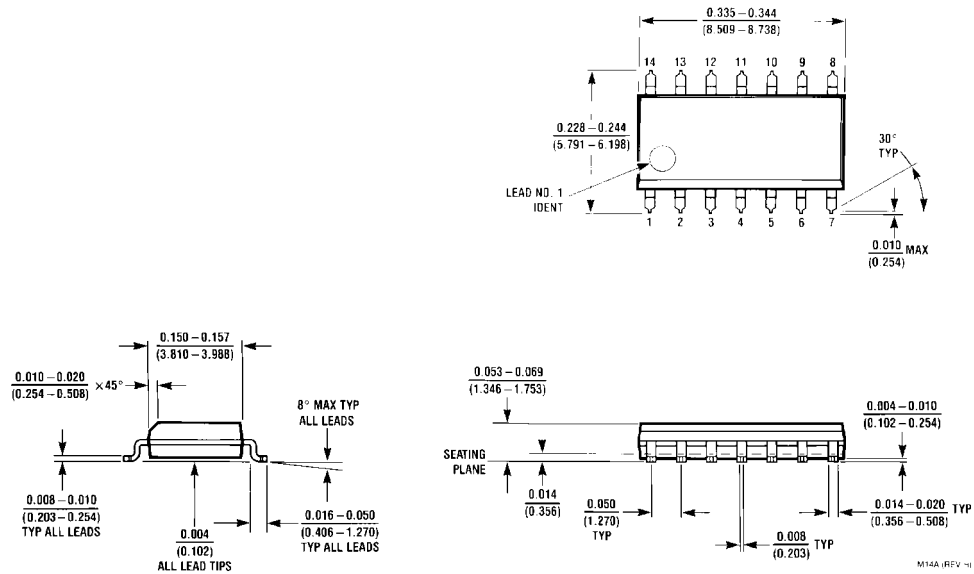
DC Electrical Characteristics

Symbol	Parameter	Min	Typ	Max	Units	V _{CC}	Conditions
V _{IH}	Input HIGH Voltage	2.0			V		Recognized as a HIGH Signal
V _{IL}	Input LOW Voltage			0.8	V		Recognized as a LOW Signal
V _{CD}	Input Clamp Diode Voltage			-1.2	V	Min	I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	10% V _{CC}	2.5		V	Min	I _{OH} = -1 mA
		5% V _{CC}	2.7				I _{OH} = -1 mA
V _{OL}	Output LOW Voltage	10% V _{CC}		0.5	V	Min	I _{OL} = 20 mA
I _{IH}	Input HIGH Current			5.0	μA	Max	V _{IN} = 2.7V
I _{BVI}	Input HIGH Current Breakdown Test			7.0	μA	Max	V _{IN} = 7.0V
I _{CEX}	Output HIGH Leakage Current			50	μA	Max	V _{OUT} = V _{CC}
V _{ID}	Input Leakage Test	4.75			V	0.0	I _{ID} = 1.9 μA All other pins grounded
I _{OD}	Output Leakage Circuit Current			3.75	μA	0.0	V _{IOD} = 150 mV All other pins grounded
I _{IL}	Input LOW Current			-0.6	mA	Max	V _{IN} = 0.5V
I _{OS}	Output Short-Circuit Current	-60		-150	mA	Max	V _{OUT} = 0V
I _{CCH}	Power Supply Current		1.9	2.8	mA	Max	V _O = HIGH
I _{CCL}	Power Supply Current		6.8	10.2	mA	Max	V _O = LOW

AC Electrical Characteristics

Symbol	Parameter	T _A = +25°C V _{CC} = +5.0V C _L = 50 pF			T _A = -55°C to +125°C V _{CC} = +5.0V C _L = 50 pF		T _A = 0°C to +70°C V _{CC} = +5.0V C _L = 50 pF		Units
		Min	Typ	Max	Min	Max	Min	Max	
t _{PLH}	Propagation Delay	2.4	3.7	5.0	2.0	7.0	2.4	6.0	ns
t _{PHL}	A _n , B _n to \bar{O}_n	1.5	3.2	4.3	1.5	6.5	1.5	5.3	

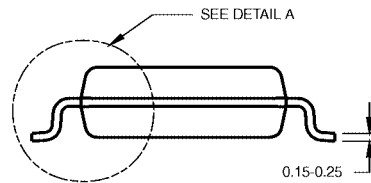
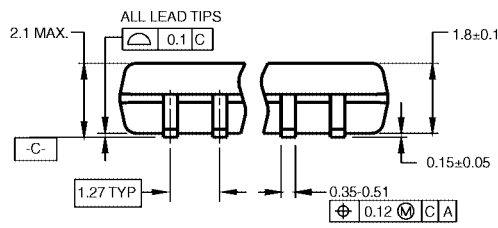
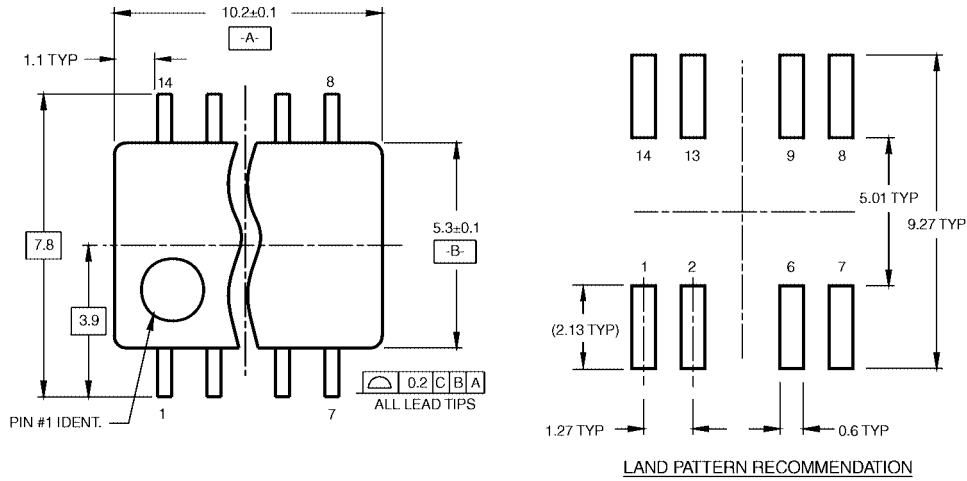
Physical Dimensions inches (millimeters) unless otherwise noted



**14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
Package Number M14A**

M14A (REV. 1)

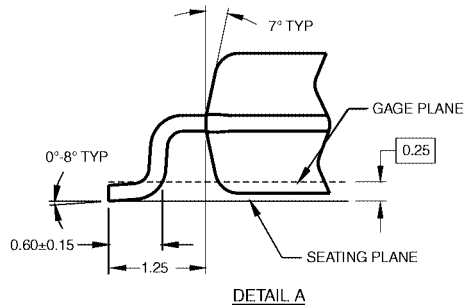
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



DIMENSIONS ARE IN MILLIMETERS

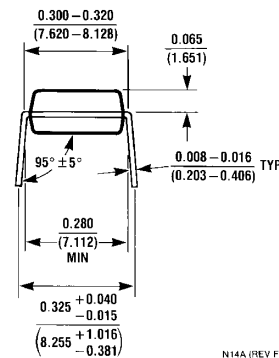
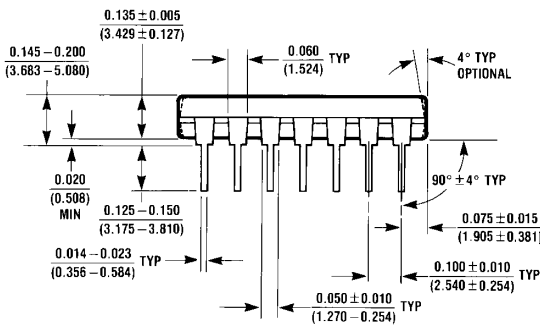
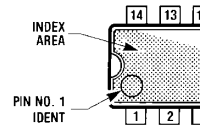
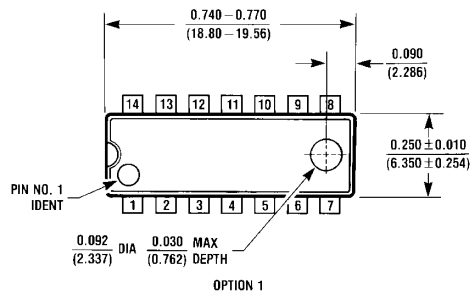
- NOTES:
 A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.
 B. DIMENSIONS ARE IN MILLIMETERS.
 C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M14DRevB1



**14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
 Package Number M14D**

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide Package Number N14A

N14A (REV F)

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

High CMR, High Speed TTL Compatible Optocouplers

Technical Data

6N137	
HCNW137	HCPL-0631
HCNW2601	HCPL-0661
HCNW2611	HCPL-2601
HCPL-0600	HCPL-2611
HCPL-0601	HCPL-2630
HCPL-0611	HCPL-2631
HCPL-0630	HCPL-4661

Features

- **5 kV/μs Minimum Common Mode Rejection (CMR) at $V_{CM} = 50$ V for HCPL-X601/X631, HCNW2601 and 10 kV/μs Minimum CMR at $V_{CM} = 1000$ V for HCPL-X611/X661, HCNW2611**
- **High Speed: 10 MBd Typical**
- **LSTTL/TTL Compatible**
- **Low Input Current Capability: 5 mA**
- **Guaranteed ac and dc Performance over Temperature: -40°C to +85°C**
- **Available in 8-Pin DIP, SOIC-8, Widebody Packages**
- **Stroable Output (Single Channel Products Only)**
- **Safety Approval**
UL Recognized - 2500 V rms for 1 minute and 5000 V rms* for 1 minute per UL1577
CSA Approved
VDE 0884 Approved with $V_{IORM} = 630$ V peak for HCPL-2611 Option 060 and $V_{IORM} = 1414$ V peak for HCNW137/26X1
BSI Certified (HCNW137/26X1 Only)
- **MIL-STD-1772 Version Available (HCPL-56XX/66XX)**

Applications

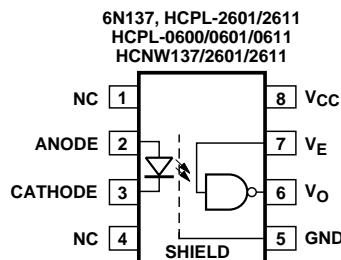
- **Isolated Line Receiver**
- **Computer-Peripheral Interfaces**
- **Microprocessor System Interfaces**
- **Digital Isolation for A/D, D/A Conversion**
- **Switching Power Supply**
- **Instrument Input/Output Isolation**
- **Ground Loop Elimination**
- **Pulse Transformer Replacement**

- **Power Transistor Isolation in Motor Drives**
- **Isolation of High Speed Logic Systems**

Description

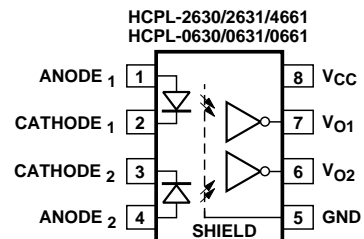
The 6N137, HCPL-26XX/06XX/4661, HCNW137/26X1 are optically coupled gates that combine a GaAsP light emitting diode and an integrated high gain photo detector. An enable input allows the detector to be strobed. The output of the detector IC is

Functional Diagram



TRUTH TABLE (POSITIVE LOGIC)

LED	ENABLE	OUTPUT
ON	H	L
OFF	H	H
ON	L	H
OFF	L	H
ON	NC	L
OFF	NC	H



TRUTH TABLE (POSITIVE LOGIC)

LED	OUTPUT
ON	L
OFF	H

*5000 V rms/1 Minute rating is for HCNW137/26X1 and Option 020 (6N137, HCPL-2601/11/30/31, HCPL-4661) products only.

A 0.1 μF bypass capacitor must be connected between pins 5 and 8.

CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

an open collector Schottky-clamped transistor. The internal shield provides a guaranteed common mode transient immunity specification of 5,000 V/ μ s for the HCPL-X601/X631 and HCNW2601, and 10,000 V/ μ s for the HCPL-X611/X661 and HCNW2611.

This unique design provides maximum ac and dc circuit isolation while achieving TTL compatibility. The optocoupler ac and dc operational parameters are guaranteed from -40°C to +85°C allowing troublefree system performance.

The 6N137, HCPL-26XX, HCPL-06XX, HCPL-4661, HCNW137, and HCNW26X1 are suitable for high speed logic interfacing, input/output buffering, as line receivers in environments that conventional line receivers cannot tolerate and are recommended for use in extremely high ground or induced noise environments.

Selection Guide

Minimum CMR		Input On-Current (mA)	Output Enable	8-Pin DIP (300 Mil)		Small-Outline SO-8		Widebody (400 Mil)	Hermetic Single and Dual Channel Packages
dV/dt (V/ μ s)	V _{CM} (V)			Single Channel Package	Dual Channel Package	Single Channel Package	Dual Channel Package	Single Channel Package	
NA	NA	5	YES	6N137		HCPL-0600		HCNW137	
			NO		HCPL-2630		HCPL-0630		
5,000	50		YES	HCPL-2601		HCPL-0601		HCNW2601	
			NO		HCPL-2631		HCPL-0631		
10,000	1,000		YES	HCPL-2611		HCPL-0611		HCNW2611	
			NO		HCPL-4661		HCPL-0661		
1,000	50	3	YES	HCPL-2602 ^[1]					
3,500	300		YES	HCPL-2612 ^[1]					
1,000	50		YES	HCPL-261A ^[1]		HCPL-061A ^[1]			
			NO		HCPL-263A ^[1]		HCPL-063A ^[1]		
1,000 ^[2]	1,000		YES	HCPL-261N ^[1]		HCPL-061N ^[1]			
			NO		HCPL-263N ^[1]		HCPL-063N ^[1]		
1,000	50	12.5	^[3]					HCPL-193X ^[1] HCPL-56XX ^[1] HCPL-66XX ^[1]	

Notes:

1. Technical data are on separate HP publications.
2. 15 kV/ μ s with V_{CM} = 1 kV can be achieved using HP application circuit.
3. Enable is available for single channel products only, except for HCPL-193X devices.

Ordering Information

Specify Part Number followed by Option Number (if desired).

Example:

HCPL-2611#XXX

- _____ 020 = 5000 V rms/1 minute UL Rating Option*
- _____ 060 = VDE 0884 $V_{IORM} = 630$ Vpeak Option**
- _____ 300 = Gull Wing Surface Mount Option†
- _____ 500 = Tape and Reel Packaging Option

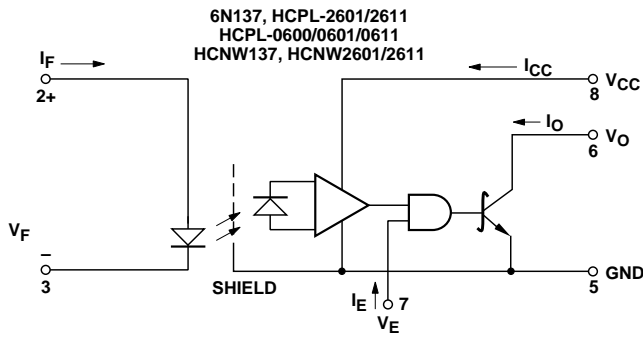
Option data sheets available. Contact Hewlett-Packard sales representative or authorized distributor for information.

*For 6N137, HCPL-2601/11/30/31 and HCPL-4661 (8-pin DIP products) only.

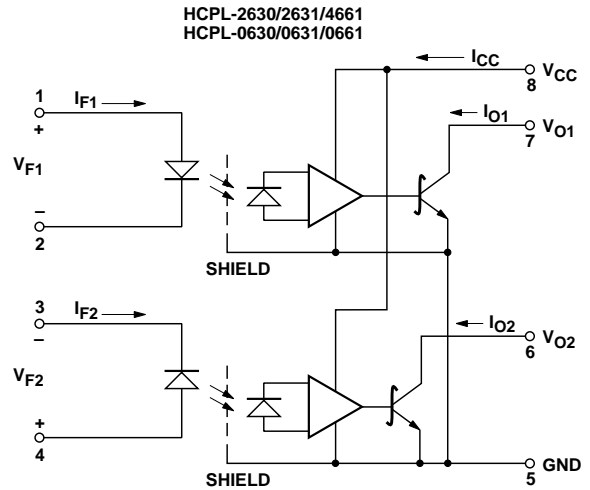
**For HCPL-2611 only. Combination of Option 020 and Option 060 is not available.

†Gull wing surface mount option applies to through hole parts only.

Schematic

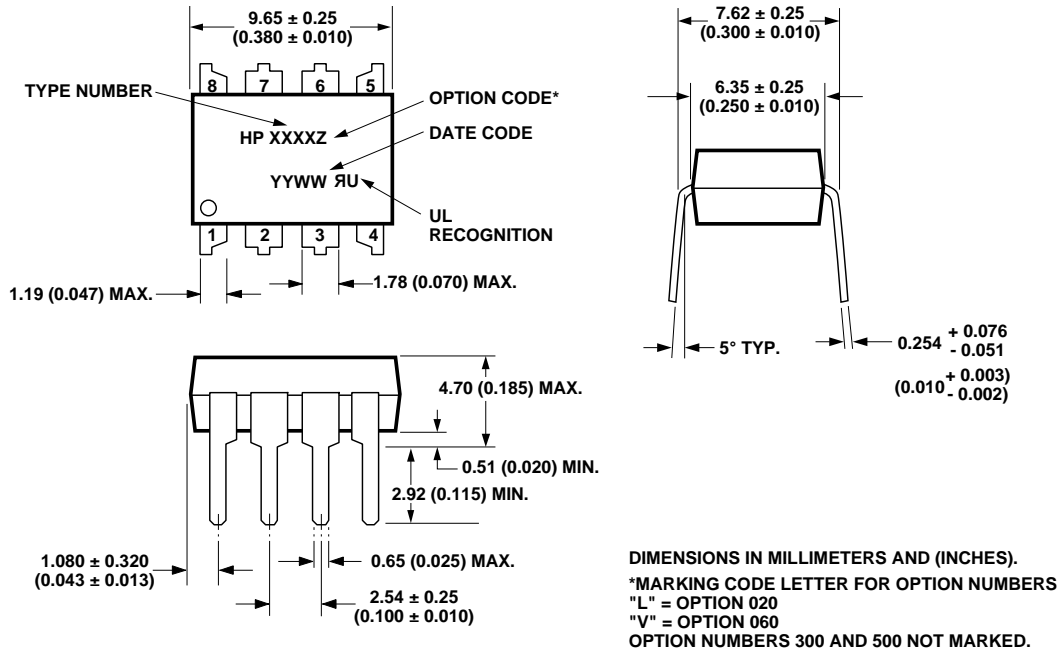


USE OF A 0.1 μ F BYPASS CAPACITOR CONNECTED BETWEEN PINS 5 AND 8 IS RECOMMENDED (SEE NOTE 5).



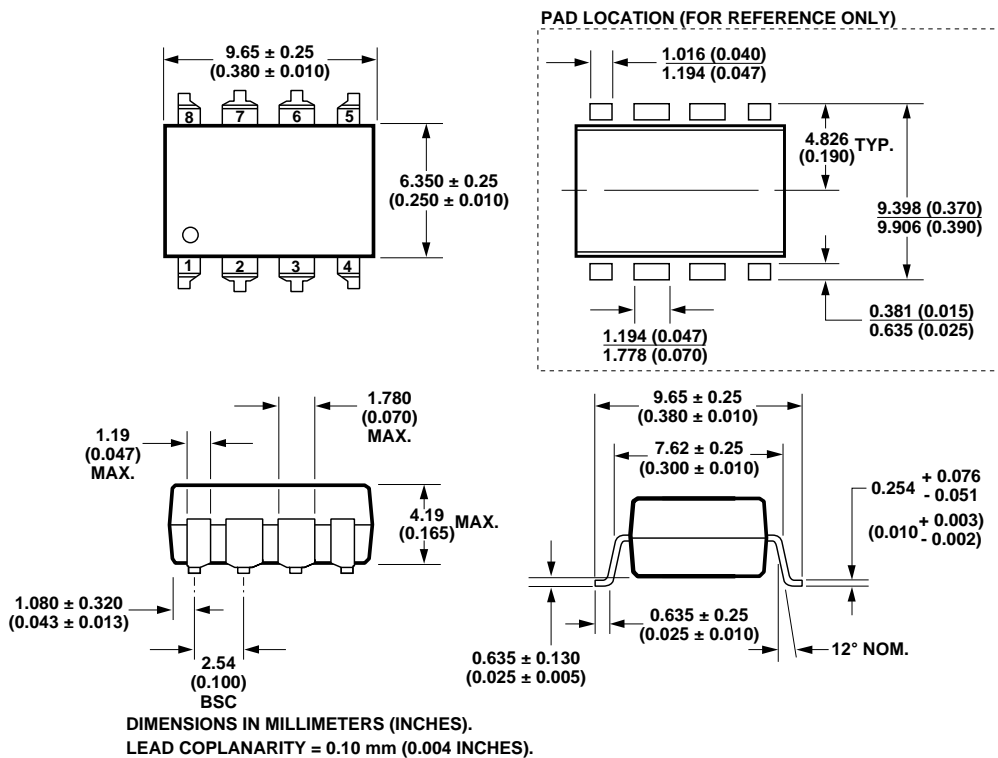
Package Outline Drawings

8-pin DIP Package** (6N137, HCPL-2601/11/30/31, HCPL-4661)

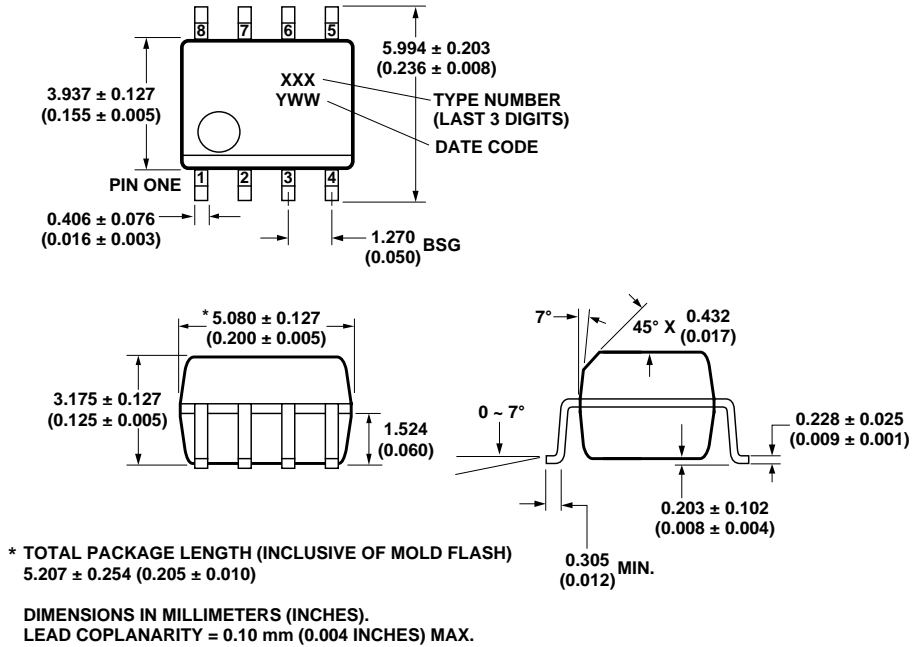


**JEDEC Registered Data (for 6N137 only).

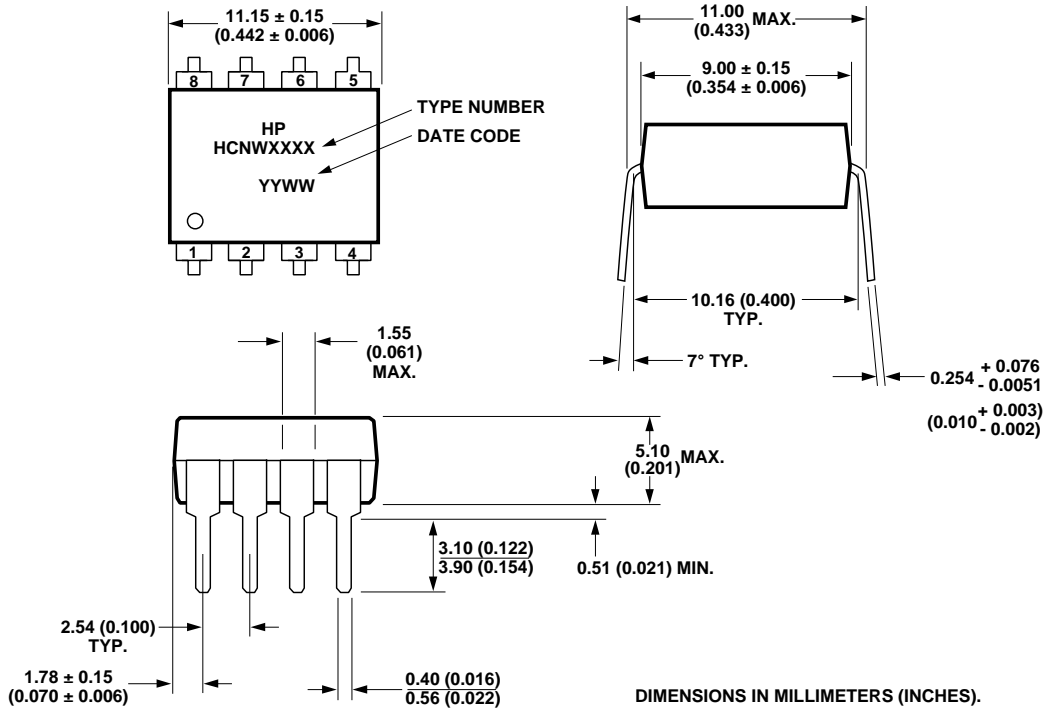
8-pin DIP Package with Gull Wing Surface Mount Option 300 (6N137, HCPL-2601/11/30/31, HCPL-4661)



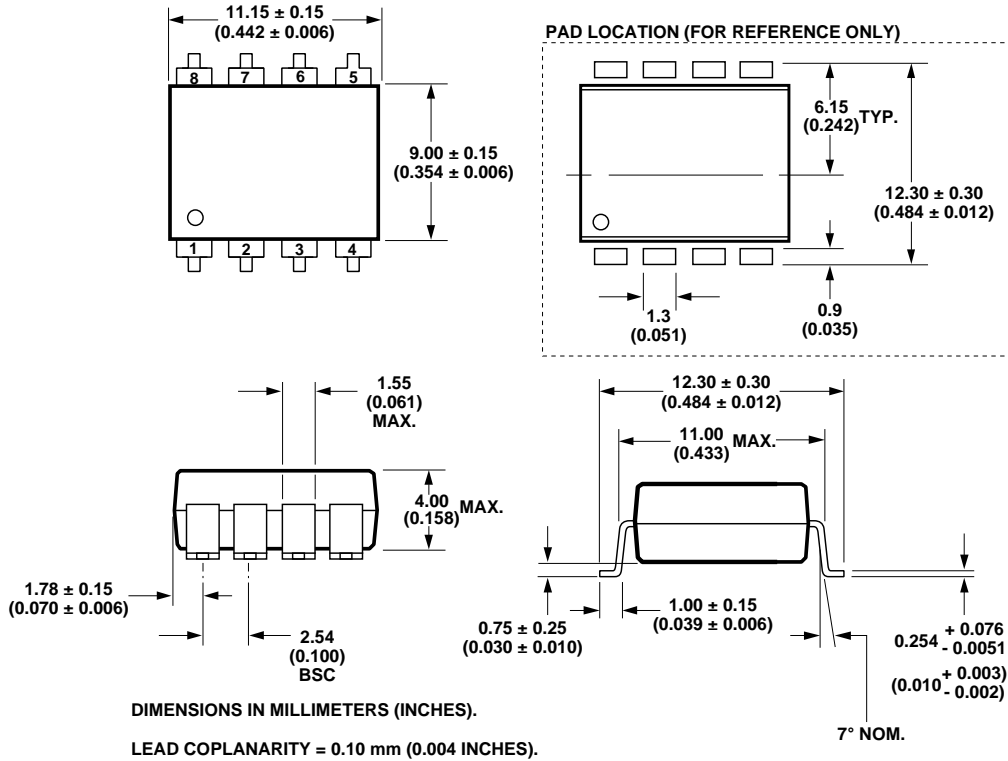
Small-Outline SO-8 Package (HCPL-0600/01/11/30/31/61)



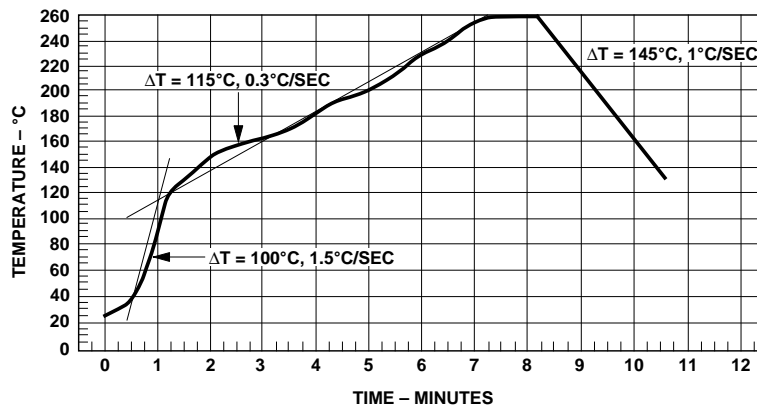
8-Pin Widebody DIP Package (HCNW137, HCNW2601/11)



8-Pin Widebody DIP Package with Gull Wing Surface Mount Option 300 (HCNW137, HCNW2601/11)



Solder Reflow Temperature Profile (HCPL-06XX and Gull Wing Surface Mount Option 300 Parts)



Note: Use of nonchlorine activated fluxes is highly recommended.

Regulatory Information

The 6N137, HCPL-26XX/06XX/46XX, and HCNW137/26XX have been approved by the following organizations:

UL

Recognized under UL 1577, Component Recognition Program, File E55361.

CSA

Approved under CSA Component Acceptance Notice #5, File CA 88324.

VDE

Approved according to VDE 0884/06.92. (HCPL-2611 Option 060 and HCNW137/26X1 only)

BSI

Certification according to BS415:1994 (BS EN60065:1994), BS7002:1992 (BS EN60950:1992) and EN41003:1993 for Class II applications. (HCNW137/26X1 only)

Insulation and Safety Related Specifications

Parameter	Symbol	8-pin DIP (300 Mil) Value	SO-8 Value	Widebody (400 Mil) Value	Units	Conditions
Minimum External Air Gap (External Clearance)	L(101)	7.1	4.9	9.6	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (External Creepage)	L(102)	7.4	4.8	10.0	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.08	0.08	1.0	mm	Through insulation distance, conductor to conductor, usually the direct distance between the photoemitter and photodetector inside the optocoupler cavity.
Minimum Internal Tracking (Internal Creepage)		NA	NA	4.0	mm	Measured from input terminals to output terminals, along internal cavity.
Tracking Resistance (Comparative Tracking Index)	CTI	200	200	200	Volts	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa	IIIa	IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

Option 300 - surface mount classification is Class A in accordance with CECC 00802.

VDE 0884 Insulation Related Characteristics (HCPL-2611 Option 060 Only)

Description	Symbol	Characteristic	Units
Installation classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage ≤ 300 V rms for rated mains voltage ≤ 450 V rms		I-IV	
		I-III	
Climatic Classification		55/85/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	630	V_{peak}
Input to Output Test Voltage, Method b* $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ sec, Partial Discharge < 5 pC	V_{PR}	1181	V_{peak}
Input to Output Test Voltage, Method a* $V_{IORM} \times 1.5 = V_{PR}$, Type and sample test, $t_m = 60$ sec, Partial Discharge < 5 pC	V_{PR}	945	V_{peak}
Highest Allowable Overvoltage* (Transient Overvoltage, $t_{ini} = 10$ sec)	V_{IOTM}	6000	V_{peak}
Safety Limiting Values (Maximum values allowed in the event of a failure, also see Figure 16, Thermal Derating curve.) Case Temperature Input Current Output Power	T_S	175	$^{\circ}C$
	$I_{S,INPUT}$	230	mA
	$P_{S,OUTPUT}$	600	mW
Insulation Resistance at T_S , $V_{IO} = 500$ V	R_S	$\geq 10^9$	Ω

*Refer to the front of the optocoupler section of the current catalog, under Product Safety Regulations section (VDE 0884), for a detailed description.

Note: Isolation characteristics are guaranteed only within the safety maximum ratings which must be ensured by protective circuits in application.

VDE 0884 Insulation Related Characteristics (HCNW137/2601/2611 Only)

Description	Symbol	Characteristic	Units
Installation classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage ≤ 600 V rms for rated mains voltage ≤ 1000 V rms		I-IV	
		I-III	
Climatic Classification (DIN IEC 68 part 1)		55/100/21	
Pollution Degree (DIN VDE 0110/1.89)		2	
Maximum Working Insulation Voltage	V_{IORM}	1414	V_{peak}
Input to Output Test Voltage, Method b* $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test with $t_m = 1$ sec, Partial Discharge < 5 pC	V_{PR}	2651	V_{peak}
Input to Output Test Voltage, Method a* $V_{IORM} \times 1.5 = V_{PR}$, Type and sample test, $t_m = 60$ sec, Partial Discharge < 5 pC	V_{PR}	2121	V_{peak}
Highest Allowable Overvoltage* (Transient Overvoltage, $t_{ini} = 10$ sec)	V_{IOTM}	8000	V_{peak}
Safety Limiting Values (Maximum values allowed in the event of a failure, also see Figure 16, Thermal Derating curve.) Case Temperature Input Current Output Power	T_S	150	$^{\circ}C$
	$I_{S,INPUT}$	400	mA
	$P_{S,OUTPUT}$	700	mW
Insulation Resistance at T_S , $V_{IO} = 500$ V	R_S	$\geq 10^9$	Ω

*Refer to the front of the optocoupler section of the current catalog, under Product Safety Regulations section (VDE 0884), for a detailed description.

Note: Isolation characteristics are guaranteed only within the safety maximum ratings which must be ensured by protective circuits in application.

Absolute Maximum Ratings* (No Derating Required up to 85°C)

Parameter	Symbol	Package**	Min.	Max.	Units	Note
Storage Temperature	T_S		-55	125	°C	
Operating Temperature†	T_A		-40	85	°C	
Average Forward Input Current	I_F	Single 8-Pin DIP Single SO-8 Widebody		20	mA	2
		Dual 8-Pin DIP Dual SO-8		15		1, 3
Reverse Input Voltage	V_R	8-Pin DIP, SO-8		5	V	1
		Widebody		3		
Input Power Dissipation	P_I	Widebody		40	mW	
Supply Voltage (1 Minute Maximum)	V_{CC}			7	V	
Enable Input Voltage (Not to Exceed V_{CC} by more than 500 mV)	V_E	Single 8-Pin DIP Single SO-8 Widebody		$V_{CC} + 0.5$	V	
				5	mA	
Output Collector Current	I_O			50	mA	1
Output Collector Voltage (Selection for Higher Output Voltages up to 20 V is Available.)	V_O			7	V	1
Output Collector Power Dissipation	P_O	Single 8-Pin DIP Single SO-8 Widebody		85	mW	
		Dual 8-Pin DIP Dual SO-8		60		1, 4
Lead Solder Temperature (Through Hole Parts Only)	T_{LS}	8-Pin DIP	260°C for 10 sec., 1.6 mm below seating plane			
		Widebody	260°C for 10 sec., up to seating plane			
Solder Reflow Temperature Profile (Surface Mount Parts Only)		SO-8 and Option 300	See Package Outline Drawings section			

*JEDEC Registered Data (for 6N137 only).

Ratings apply to all devices except otherwise noted in the **Package column.

†0°C to 70°C on JEDEC Registration.

Recommended Operating Conditions

Parameter	Symbol	Min.	Max.	Units
Input Current, Low Level	I_{FL}^*	0	250	μA
Input Current, High Level ^[1]	I_{FH}^{**}	5	15	mA
Power Supply Voltage	V_{CC}	4.5	5.5	V
Low Level Enable Voltage†	V_{EL}	0	0.8	V
High Level Enable Voltage†	V_{EH}	2.0	V_{CC}	V
Operating Temperature	T_A	-40	85	°C
Fan Out (at $R_L = 1\text{ k}\Omega$) ^[1]	N		5	TTL Loads
Output Pull-up Resistor	R_L	330	4 k	Ω

*The off condition can also be guaranteed by ensuring that $V_{FL} \leq 0.8$ volts.

**The initial switching threshold is 5 mA or less. It is recommended that 6.3 mA to 10 mA be used for best performance and to permit at least a 20% LED degradation guardband.

†For single channel products only.

Electrical Specifications

Over recommended temperature ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$) unless otherwise specified. All Typical at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$. All enable test conditions apply to single channel products only. See note 5.

Parameter	Sym.	Package	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note				
High Level Output Current	I_{OH}^*	All		5.5	100	μA	$V_{CC} = 5.5\text{ V}$, $V_E = 2.0\text{ V}$, $V_O = 5.5\text{ V}$, $I_F = 250\text{ }\mu\text{A}$	1	1, 6, 19				
Input Threshold Current	I_{TH}	Single Channel Widebody		2.0	5.0	mA	$V_{CC} = 5.5\text{ V}$, $V_E = 2.0\text{ V}$, $V_O = 0.6\text{ V}$, $I_{OL}(\text{Sinking}) = 13\text{ mA}$	2, 3	19				
		Dual Channel		2.5									
Low Level Output Voltage	V_{OL}^*	8-Pin DIP SO-8		0.35	0.6	V	$V_{CC} = 5.5\text{ V}$, $V_E = 2.0\text{ V}$, $I_F = 5\text{ mA}$, $I_{OL}(\text{Sinking}) = 13\text{ mA}$	2, 3, 4, 5	1, 19				
		Widebody		0.4									
High Level Supply Current	I_{CCH}	Single Channel		7.0	10.0*	mA	$V_E = 0.5\text{ V}$ $V_{CC} = 5.5\text{ V}$ $V_E = V_{CC}$ $I_F = 0\text{ mA}$ Both Channels		7				
					6.5								
		Dual Channel		10	15								
Low Level Supply Current	I_{CCL}	Single Channel		9.0	13.0*	mA	$V_E = 0.5\text{ V}$ $V_{CC} = 5.5\text{ V}$ $V_E = V_{CC}$ $I_F = 10\text{ mA}$ Both Channels		8				
					8.5								
		Dual Channel		13	21								
High Level Enable Current	I_{EH}	Single Channel		-0.7	-1.6	mA	$V_{CC} = 5.5\text{ V}$, $V_E = 2.0\text{ V}$						
Low Level Enable Current	I_{EL}^*			-0.9	-1.6					mA	$V_{CC} = 5.5\text{ V}$, $V_E = 0.5\text{ V}$		9
High Level Enable Voltage	V_{EH}		2.0		V								
Low Level Enable Voltage	V_{EL}									0.8	V		
Input Forward Voltage	V_F	8-Pin DIP SO-8	1.4	1.5	1.75*	V	$T_A = 25^\circ\text{C}$ $I_F = 10\text{ mA}$	6, 7	1				
			1.3		1.80								
		Widebody	1.25	1.64	1.85								
			1.2		2.05								
Input Reverse Breakdown Voltage	BV_R^*	8-Pin DIP SO-8	5			V	$I_R = 10\text{ }\mu\text{A}$		1				
		Widebody	3							$I_R = 100\text{ }\mu\text{A}$, $T_A = 25^\circ\text{C}$			
Input Diode Temperature Coefficient	$\Delta V_F / \Delta T_A$	8-Pin DIP SO-8		-1.6		mV/ $^\circ\text{C}$	$I_F = 10\text{ mA}$	7	1				
		Widebody		-1.9									
Input Capacitance	C_{IN}	8-Pin DIP SO-8		60		pF	$f = 1\text{ MHz}$, $V_F = 0\text{ V}$		1				
		Widebody		70									

*JEDEC registered data for the 6N137. The JEDEC Registration specifies 0°C to $+70^\circ\text{C}$. HP specifies -40°C to $+85^\circ\text{C}$.

Switching Specifications (AC)

Over Recommended Temperature ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$), $V_{CC} = 5\text{ V}$, $I_F = 7.5\text{ mA}$ unless otherwise specified.
All Typical at $T_A = 25^\circ\text{C}$, $V_{CC} = 5\text{ V}$.

Parameter	Sym.	Package**	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note
Propagation Delay Time to High Output Level	t_{PLH}		20	48	75*	ns	$T_A = 25^\circ\text{C}$ $R_L = 350\ \Omega$ $C_L = 15\ \text{pF}$	8, 9, 10	1, 10, 19
					100				
Propagation Delay Time to Low Output Level	t_{PHL}		25	50	75*	ns	$T_A = 25^\circ\text{C}$		1, 11, 19
					100				
Pulse Width Distortion	$ t_{PHL} - t_{PLH} $	8-Pin DIP		3.5	35	ns		8, 9, 10, 11	13, 19
		SO-8			40				
Widebody					40	ns			12, 13, 19
Propagation Delay Skew	t_{PSK}				40	ns			
Output Rise Time (10-90%)	t_r			24		ns		12	1, 19
Output Fall Time (90-10%)	t_f			10		ns		12	1, 19
Propagation Delay Time of Enable from V_{EH} to V_{EL}	t_{ELH}	Single Channel		30		ns	$R_L = 350\ \Omega$, $C_L = 15\ \text{pF}$, $V_{EL} = 0\ \text{V}$, $V_{EH} = 3\ \text{V}$	13, 14	14
Propagation Delay Time of Enable from V_{EL} to V_{EH}	t_{EHL}	Single Channel		20		ns			15

*JEDEC registered data for the 6N137.

Ratings apply to all devices except otherwise noted in the **Package column.

Parameter	Sym.	Device	Min.	Typ.	Units	Test Conditions	Fig.	Note	
Logic High Common Mode Transient Immunity	$ CM_H $	6N137 HCPL-2630 HCPL-0600/0630 HCNW137		10,000	V/ μs	$ V_{CM} = 10\ \text{V}$	$V_{CC} = 5\ \text{V}$, $I_F = 0\ \text{mA}$, $V_{O(MIN)} = 2\ \text{V}$, $R_L = 350\ \Omega$, $T_A = 25^\circ\text{C}$	15	1, 16, 18, 19
		HCPL-2601/2631 HCPL-0601/0631 HCNW2601	5,000	10,000		$ V_{CM} = 50\ \text{V}$			
		HCPL-2611/4661 HCPL-0611/0661 HCNW2611	10,000	15,000		$ V_{CM} = 1\ \text{kV}$			
Logic Low Common Mode Transient Immunity	$ CM_L $	6N137 HCPL-2630 HCPL-0600/0630 HCNW137		10,000	V/ μs	$ V_{CM} = 10\ \text{V}$	$V_{CC} = 5\ \text{V}$, $I_F = 7.5\ \text{mA}$, $V_{O(MAX)} = 0.8\ \text{V}$, $R_L = 350\ \Omega$, $T_A = 25^\circ\text{C}$	15	1, 17, 18, 19
		HCPL-2601/2631 HCPL-0601/0631 HCNW2601	5,000	10,000		$ V_{CM} = 50\ \text{V}$			
		HCPL-2611/4661 HCPL-0611/0661 HCNW2611	10,000	15,000		$ V_{CM} = 1\ \text{kV}$			

Package Characteristics

All Typical at $T_A = 25^\circ\text{C}$.

Parameter	Sym.	Package	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note
Input-Output Insulation	I_{I-O}^*	Single 8-Pin DIP Single SO-8			1	μA	45% RH, $t = 5 \text{ s}$, $V_{I-O} = 3 \text{ kV dc}$, $T_A = 25^\circ\text{C}$		20, 21
Input-Output Momentary Withstand Voltage**	V_{ISO}	8-Pin DIP, SO-8	2500			V rms	RH $\leq 50\%$, $t = 1 \text{ min}$, $T_A = 25^\circ\text{C}$		20, 21
		Widebody	5000						20, 22
		OPT 020†	5000						
Input-Output Resistance	R_{I-O}	8-Pin DIP, SO-8		10^{12}		Ω	$V_{I-O} = 500 \text{ V dc}$		1, 20, 23
		Widebody	10^{12}	10^{13}				$T_A = 25^\circ\text{C}$	
			10^{11}					$T_A = 100^\circ\text{C}$	
Input-Output Capacitance	C_{I-O}	8-Pin DIP, SO-8		0.6		pF	$f = 1 \text{ MHz}$, $T_A = 25^\circ\text{C}$		1, 20, 23
		Widebody		0.5	0.6				
Input-Input Insulation Leakage Current	I_{I-I}	Dual Channel		0.005		μA	RH $\leq 45\%$, $t = 5 \text{ s}$, $V_{I-I} = 500 \text{ V}$		24
Resistance (Input-Input)	R_{I-I}	Dual Channel		10^{11}		Ω			24
Capacitance (Input-Input)	C_{I-I}	Dual 8-Pin DIP		0.03		pF	$f = 1 \text{ MHz}$		24
		Dual SO-8		0.25					

*JEDEC registered data for the 6N137. The JEDEC Registration specifies 0°C to 70°C . HP specifies -40°C to 85°C .

**The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating refer to the VDE 0884 Insulation Characteristics Table (if applicable), your equipment level safety specification or HP Application Note 1074 entitled "Optocoupler Input-Output Endurance Voltage."

†For 6N137, HCPL-2601/2611/2630/2631/4661 only.

Notes:

- Each channel.
- Peaking circuits may produce transient input currents up to 50 mA, 50 ns maximum pulse width, provided average current does not exceed 20 mA.
- Peaking circuits may produce transient input currents up to 50 mA, 50 ns maximum pulse width, provided average current does not exceed 15 mA.
- Derate linearly above 80°C free-air temperature at a rate of $2.7 \text{ mW}/^\circ\text{C}$ for the SOIC-8 package.
- Bypassing of the power supply line is required, with a $0.1 \mu\text{F}$ ceramic disc capacitor adjacent to each optocoupler as illustrated in Figure 17. Total lead length between both ends of the capacitor and the isolator pins should not exceed 20 mm.
- The JEDEC registration for the 6N137 specifies a maximum I_{OH} of 250 μA . HP guarantees a maximum I_{OH} of 100 μA .
- The JEDEC registration for the 6N137 specifies a maximum I_{CCH} of 15 mA. HP guarantees a maximum I_{CCH} of 10 mA.
- The JEDEC registration for the 6N137 specifies a maximum I_{CCL} of 18 mA. HP guarantees a maximum I_{CCL} of 13 mA.
- The JEDEC registration for the 6N137 specifies a maximum I_{EL} of -2.0 mA . HP guarantees a maximum I_{EL} of -1.6 mA .
- The t_{PLH} propagation delay is measured from the 3.75 mA point on the falling edge of the input pulse to the 1.5 V point on the rising edge of the output pulse.
- The t_{PHL} propagation delay is measured from the 3.75 mA point on the rising edge of the input pulse to the 1.5 V point on the falling edge of the output pulse.
- t_{PSK} is equal to the worst case difference in t_{PHL} and/or t_{PLH} that will be seen between units at any given temperature and specified test conditions.
- See application section titled "Propagation Delay, Pulse-Width Distortion and Propagation Delay Skew" for more information.
- The t_{ELH} enable propagation delay is measured from the 1.5 V point on the falling edge of the enable input pulse to the 1.5 V point on the rising edge of the output pulse.
- The t_{EHL} enable propagation delay is measured from the 1.5 V point on the rising edge of the enable input pulse to the 1.5 V point on the falling edge of the output pulse.
- CM_H is the maximum tolerable rate of rise of the common mode voltage to assure that the output will remain in a high logic state (i.e., $V_O > 2.0 \text{ V}$).
- CM_L is the maximum tolerable rate of fall of the common mode voltage to assure that the output will remain in a low logic state (i.e., $V_O < 0.8 \text{ V}$).
- For sinusoidal voltages, $(|dV_{CM}| / dt)_{\max} = \pi f_{CM} V_{CM}(P-P)$.

19. No external pull up is required for a high logic state on the enable input. If the V_E pin is not used, tying V_E to V_{CC} will result in improved CMR performance. For single channel products only.
20. Device considered a two-terminal device: pins 1, 2, 3, and 4 shorted together, and pins 5, 6, 7, and 8 shorted together.
21. In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage ≥ 3000 V rms for one second (leakage detection current limit, $I_{L,O} \leq 5 \mu A$). This test is performed before the 100% production test for partial discharge (Method b) shown in the VDE 0884 Insulation Characteristics Table, if applicable.
22. In accordance with UL 1577, each optocoupler is proof tested by applying an insulation test voltage ≥ 6000 V rms for one second (leakage detection current limit, $I_{L,O} \leq 5 \mu A$). This test is performed before the 100% production test for partial discharge (Method b) shown in the VDE 0884 Insulation Characteristics Table, if applicable.
23. Measured between the LED anode and cathode shorted together and pins 5 through 8 shorted together. For dual channel products only.
24. Measured between pins 1 and 2 shorted together, and pins 3 and 4 shorted together. For dual channel products only.

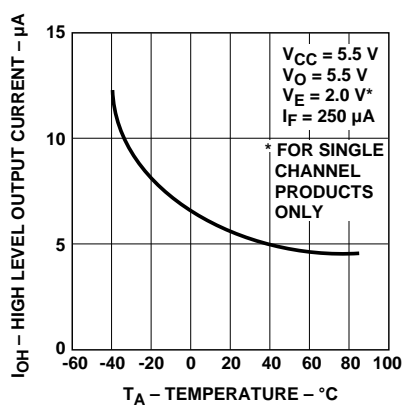


Figure 1. Typical High Level Output Current vs. Temperature.

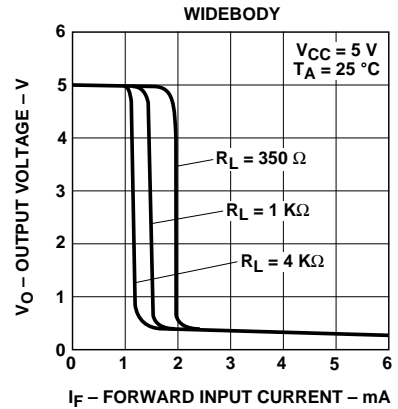
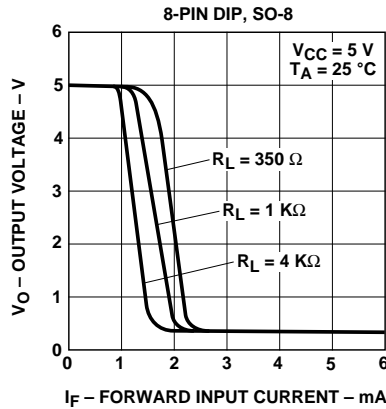


Figure 2. Typical Output Voltage vs. Forward Input Current.

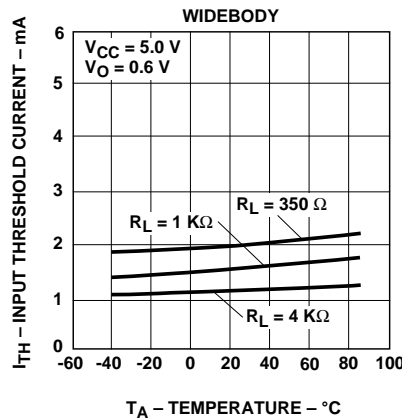
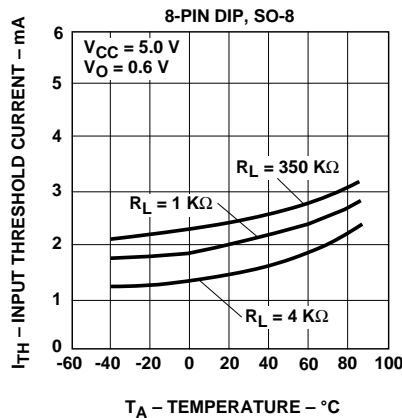


Figure 3. Typical Input Threshold Current vs. Temperature.

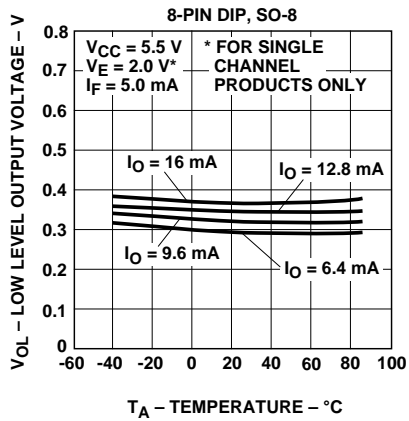


Figure 4. Typical Low Level Output Voltage vs. Temperature.

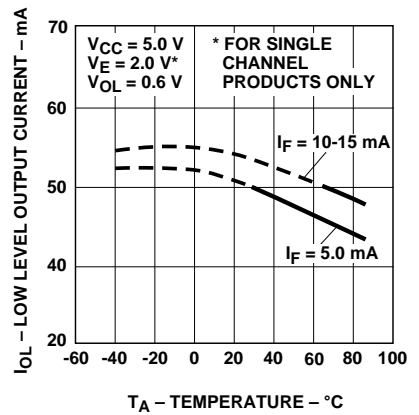
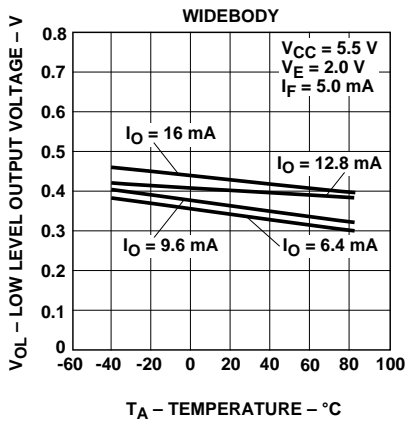


Figure 5. Typical Low Level Output Current vs. Temperature.

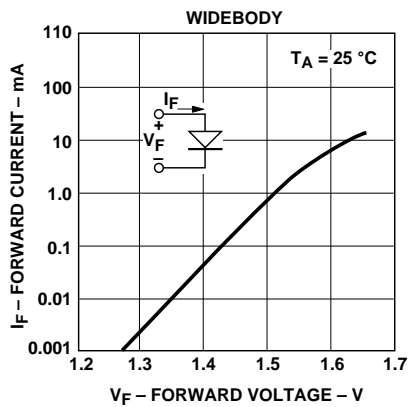
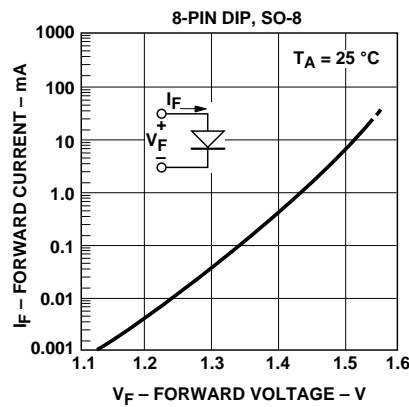


Figure 6. Typical Input Diode Forward Characteristic.

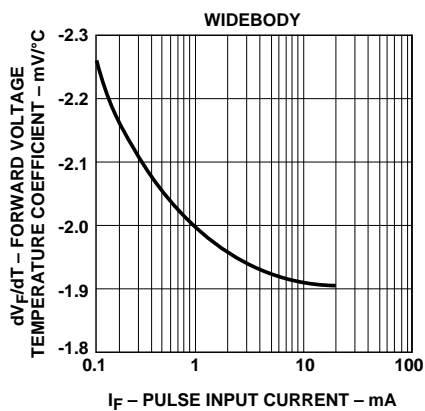
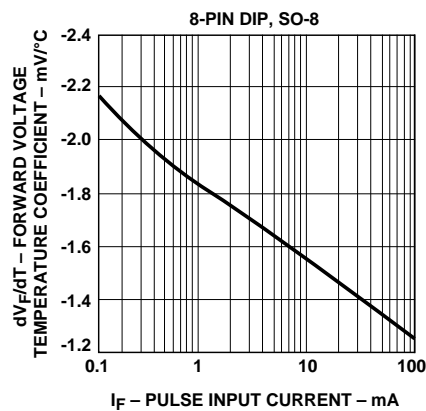
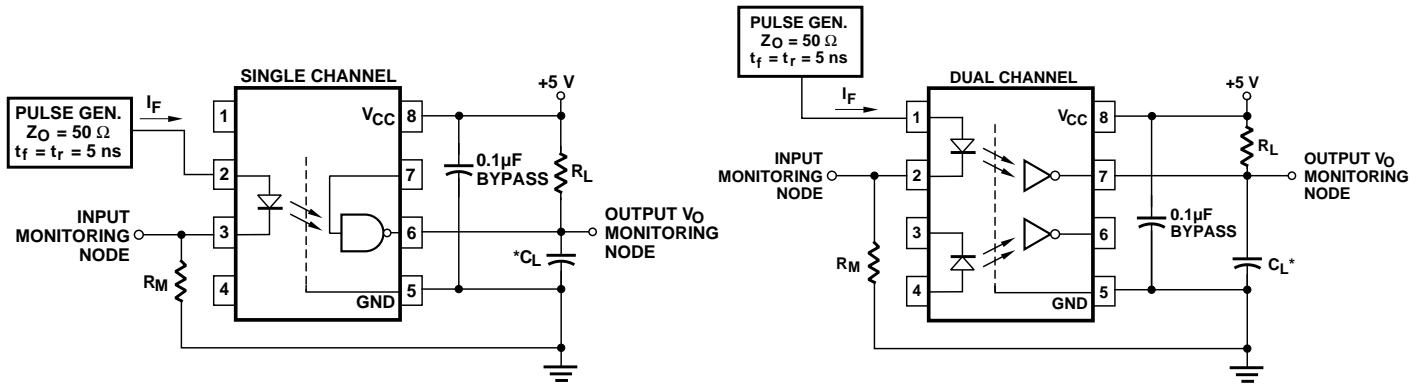


Figure 7. Typical Temperature Coefficient of Forward Voltage vs. Input Current.



*CL IS APPROXIMATELY 15 pF WHICH INCLUDES PROBE AND STRAY WIRING CAPACITANCE.

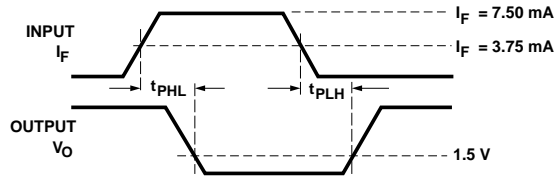


Figure 8. Test Circuit for t_{PHL} and t_{PLH} .

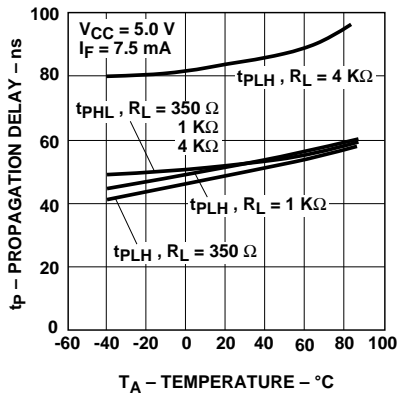


Figure 9. Typical Propagation Delay vs. Temperature.

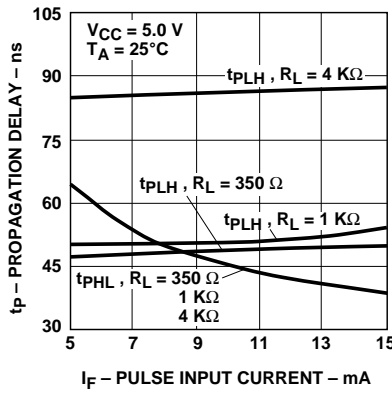


Figure 10. Typical Propagation Delay vs. Pulse Input Current.

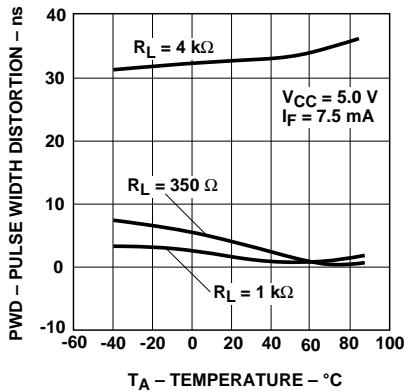


Figure 11. Typical Pulse Width Distortion vs. Temperature.

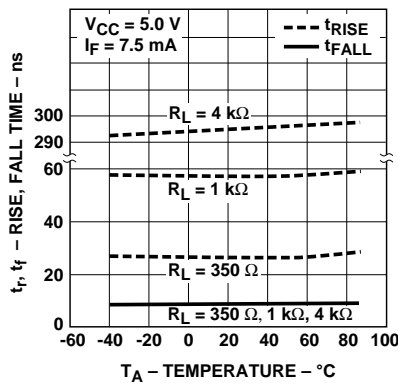


Figure 12. Typical Rise and Fall Time vs. Temperature.

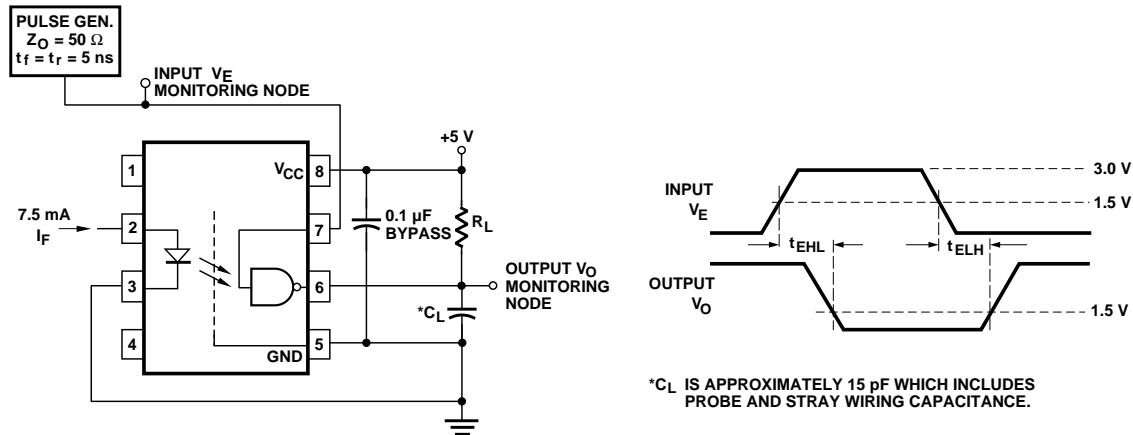


Figure 13. Test Circuit for t_{EHL} and t_{ELH} .

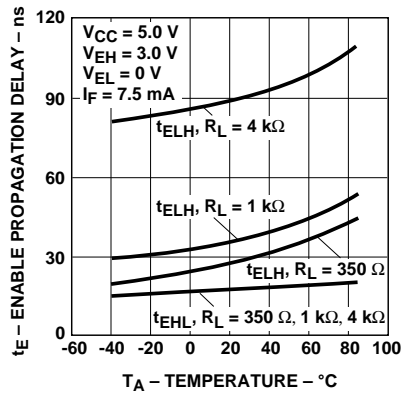


Figure 14. Typical Enable Propagation Delay vs. Temperature.

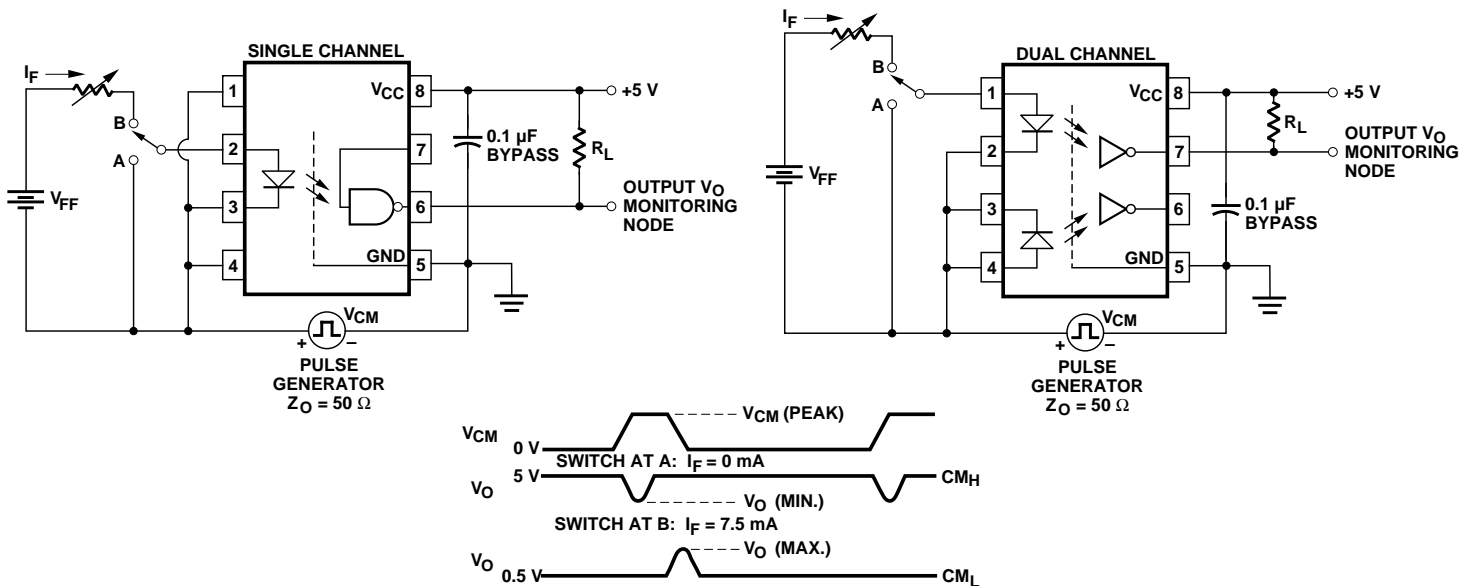


Figure 15. Test Circuit for Common Mode Transient Immunity and Typical Waveforms.

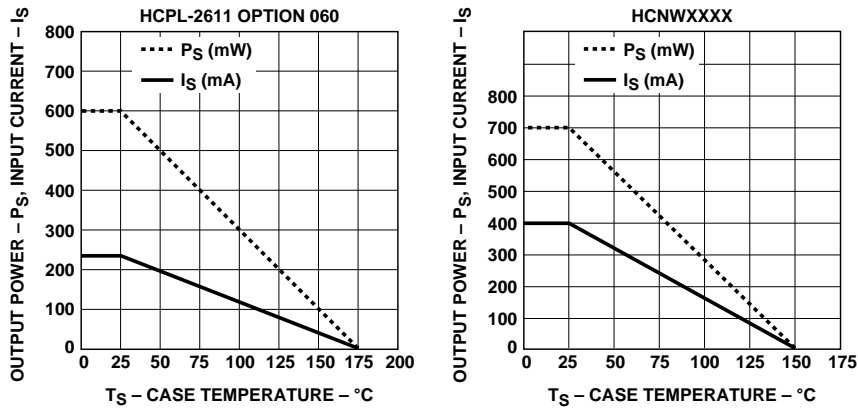


Figure 16. Thermal Derating Curve, Dependence of Safety Limiting Value with Case Temperature per VDE 0884.

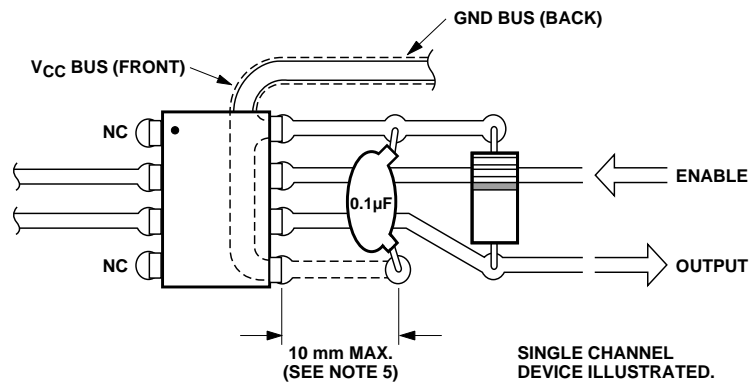
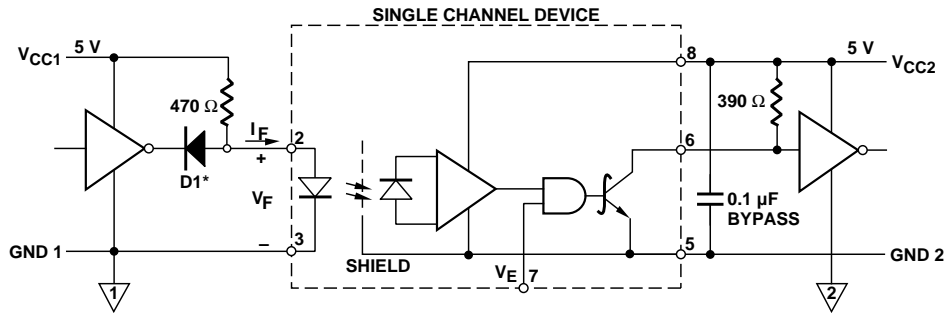


Figure 17. Recommended Printed Circuit Board Layout.



*DIODE D1 (1N916 OR EQUIVALENT) IS NOT REQUIRED FOR UNITS WITH OPEN COLLECTOR OUTPUT.

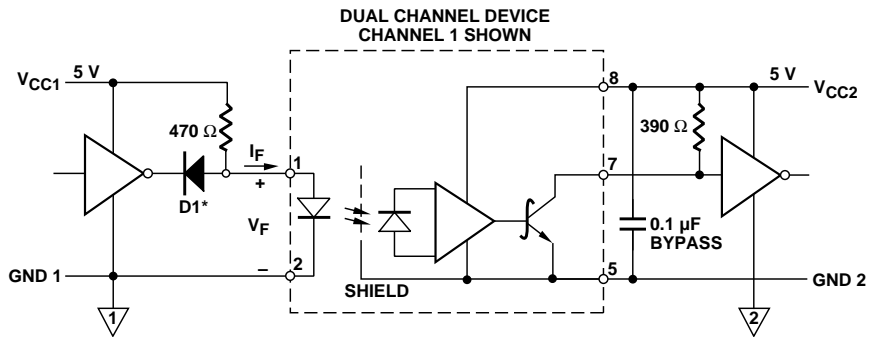


Figure 18. Recommended TTL/LSTTL to TTL/LSTTL Interface Circuit.

Propagation Delay, Pulse-Width Distortion and Propagation Delay Skew

Propagation delay is a figure of merit which describes how quickly a logic signal propagates through a system. The propagation delay from low to high (t_{PLH}) is the amount of time required for an input signal to propagate to the output, causing the output to change from low to high. Similarly, the propagation delay from high to low (t_{PHL}) is the amount of time required for the input signal to propagate to the output causing the output to change from high to low (see Figure 8).

Pulse-width distortion (PWD) results when t_{PLH} and t_{PHL} differ in value. PWD is defined as the difference between t_{PLH} and t_{PHL} and often determines the maximum data rate capability of a transmission system. PWD can be expressed in percent by dividing the PWD (in ns) by the minimum pulse width (in ns) being transmitted. Typically, PWD on the order of 20-30% of the minimum pulse width is tolerable; the exact figure depends on the particular application (RS232, RS422, T-1, etc.).

Propagation delay skew, t_{PSK} , is an important parameter to consider in parallel data applica-

tions where synchronization of signals on parallel data lines is a concern. If the parallel data is being sent through a group of optocouplers, differences in propagation delays will cause the data to arrive at the outputs of the optocouplers at different times. If this difference in propagation delays is large enough, it will determine the maximum rate at which parallel data can be sent through the optocouplers.

Propagation delay skew is defined as the difference between the minimum and maximum propagation delays, either t_{PLH} or t_{PHL} , for any given group of optocouplers which are operating under the same conditions (i.e., the same drive current, supply voltage, output load, and operating temperature). As illustrated in Figure 19, if the inputs of a group of optocouplers are switched either ON or OFF at the same time, t_{PSK} is the difference between the shortest propagation delay, either t_{PLH} or t_{PHL} , and the longest propagation delay, either t_{PLH} or t_{PHL} .

As mentioned earlier, t_{PSK} can determine the maximum parallel data transmission rate. Figure 20 is the timing diagram of a typical parallel data application with both the clock and the data lines being sent through optocouplers. The figure shows data and clock

signals at the inputs and outputs of the optocouplers. To obtain the maximum data transmission rate, both edges of the clock signal are being used to clock the data; if only one edge were used, the clock signal would need to be twice as fast.

Propagation delay skew represents the uncertainty of where an edge might be after being sent through an optocoupler. Figure 20 shows that there will be uncertainty in both the data and the clock lines. It is important that these two areas of uncertainty not overlap, otherwise the clock signal might arrive before all of the data outputs have settled, or some of the data outputs may start to change before the clock signal has arrived. From these considerations, the absolute minimum pulse width that can be sent through optocouplers in a parallel application is twice t_{PSK} . A cautious design should use a slightly longer pulse width to ensure that any additional uncertainty in the rest of the circuit does not cause a problem.

The t_{PSK} specified optocouplers offer the advantages of guaranteed specifications for propagation delays, pulsewidth distortion and propagation delay skew over the recommended temperature, input current, and power supply ranges.

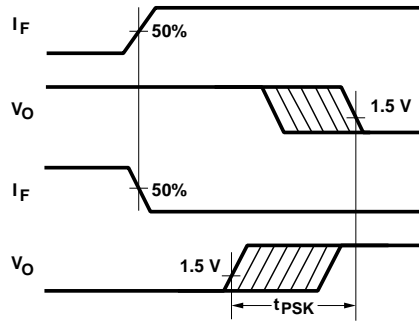


Figure 19. Illustration of Propagation Delay Skew - t_{PSK} .

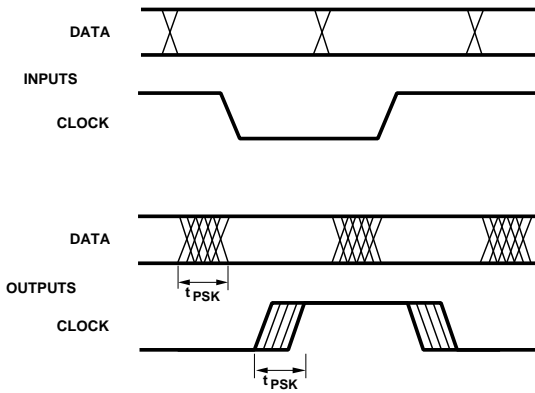


Figure 20. Parallel Data Transmission Example.

www.hp.com/go/isolator

For technical assistance or the location of your nearest Hewlett-Packard sales office, distributor or representative call:

Americas/Canada: 1-800-235-0312 or 408-654-8675

Far East/Australasia: Call your local HP sales office.

Japan: (81 3) 3335-8152

Europe: Call your local HP sales office.

Data subject to change.

Copyright © 1998 Hewlett-Packard Co.

Obsoletes 5965-3594E

Printed in U.S.A. 5968-1084E (7/98)

1N/FDLL 914/A/B / 916/A/B / 4148 / 4448



DO-35



LL-34

THE PLACEMENT OF THE EXPANSION GAP
HAS NO RELATIONSHIP TO THE LOCATION
OF THE CATHODE TERMINAL

COLOR BAND MARKING

DEVICE	1ST BAND	2ND BAND
FDLL914	BLACK	BROWN
FDLL914A	BLACK	GRAY
FDLL914B	BROWN	BLACK
FDLL916	BLACK	RED
FDLL916A	BLACK	WHITE
FDLL916B	BROWN	BROWN
FDLL4148	BLACK	BROWN
FDLL4448	BROWN	BLACK

High Conductance Fast Diode

Sourced from Process D3.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
W_{IV}	Working Inverse Voltage	75	V
I_O	Average Rectified Current	200	mA
I_F	DC Forward Current	300	mA
i_f	Recurrent Peak Forward Current	400	mA
$i_{(surge)}$	Peak Forward Surge Current Pulse width = 1.0 second Pulse width = 1.0 microsecond	1.0 4.0	A A
T_{stg}	Storage Temperature Range	-65 to +200	°C
T_J	Operating Junction Temperature	175	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

- 1) These ratings are based on a maximum junction temperature of 200 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max	Units
		1N/FDLL 914/A/B / 4148 / 4448	
P_D	Total Device Dissipation Derate above 25°C	500	mW
		3.33	mW/°C
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	300	°C/W

1N/FDLL 914/A/B / 916/A/B / 4148 / 4448

High Conductance Fast Diode

(continued)

1N/FD/L 914/A/B / 916/A/B / 4148 / 4448

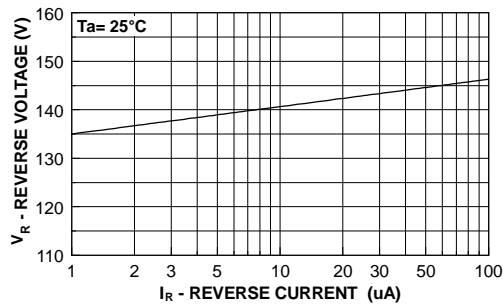
Electrical Characteristics

TA = 25°C unless otherwise noted

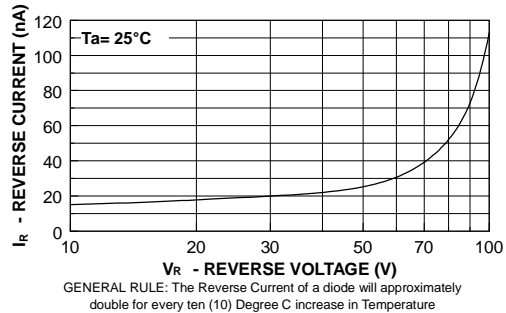
Symbol	Parameter	Test Conditions	Min	Max	Units	
B _V	Breakdown Voltage	I _R = 100 μA I _R = 5.0 μA	100 75		V V	
I _R	Reverse Current	V _R = 20 V V _R = 20 V, T _A = 150°C V _R = 75 V		25 50 5.0	nA μA μA	
V _F	Forward Voltage	1N914B / 4448 1N916B 1N914 / 916 / 4148 1N914A / 916A 1N916B 1N914B / 4448	I _F = 5.0 mA I _F = 5.0 mA I _F = 10 mA I _F = 20 mA I _F = 30 mA I _F = 100 mA	620 630 720 730 1.0 1.0 1.0	mV mV V V V V	
C _O	Diode Capacitance	1N916/A/B / 4448 1N914/A/B / 4148	V _R = 0, f = 1.0 MHz V _R = 0, f = 1.0 MHz		2.0 4.0	pF pF
T _{RR}	Reverse Recovery Time	I _F = 10 mA, V _R = 6.0 V (60 mA), I _{tr} = 1.0 mA, R _L = 100 Ω		4.0	nS	

Typical Characteristics

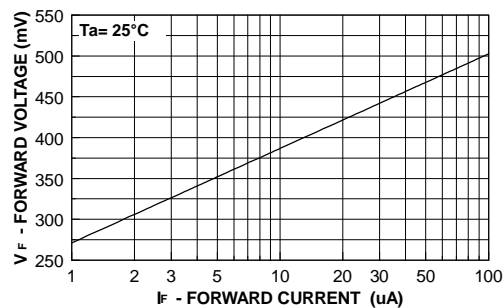
REVERSE VOLTAGE vs REVERSE CURRENT
BV - 1.0 to 100 μA



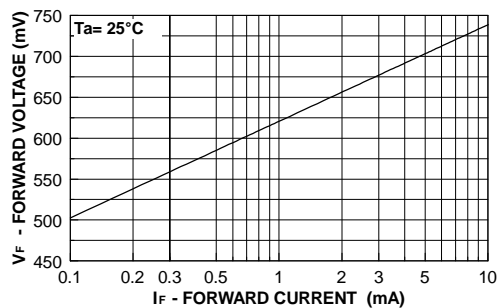
REVERSE CURRENT vs REVERSE VOLTAGE
IR - 10 to 100 V



FORWARD VOLTAGE vs FORWARD CURRENT
VF - 1 to 100 μA



FORWARD VOLTAGE vs FORWARD CURRENT
VF - 0.1 to 100 mA



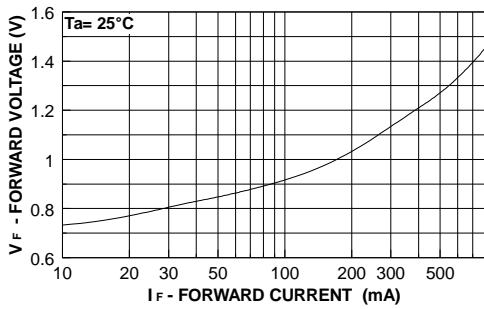
High Conductance Fast Diode

(continued)

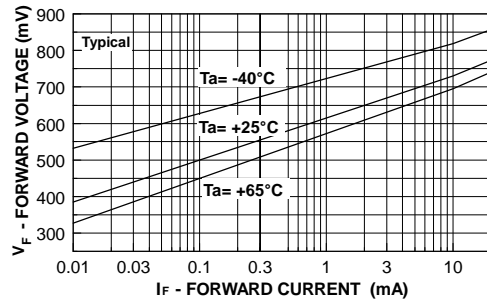
1N/FD/LL 914/A/B / 916/A/B / 4148 / 4448

Typical Characteristics (continued)

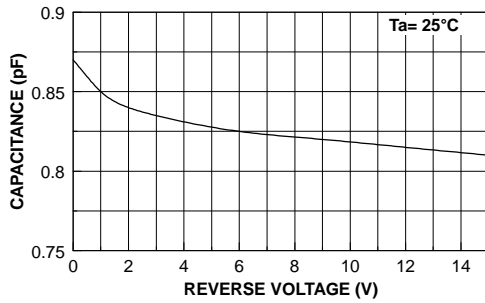
FORWARD VOLTAGE vs FORWARD CURRENT
VF - 10 to 800 mA



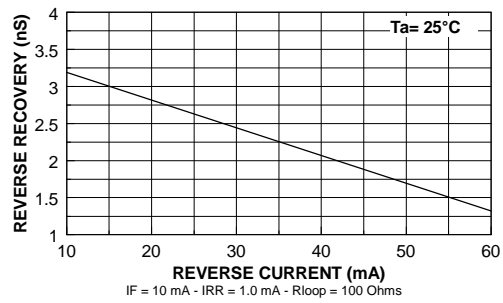
VF - 0.01 - 20 mA (-40 to +65 Deg C)
FORWARD VOLTAGE vs
AMBIENT TEMPERATURE



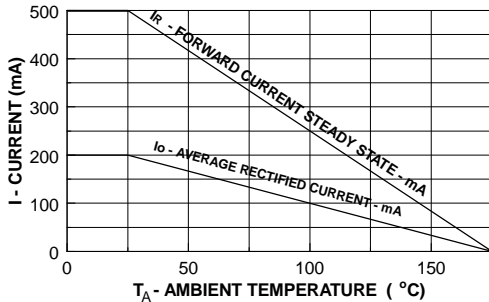
CAPACITANCE vs REVERSE VOLTAGE
VR = 0.0 to 15 V



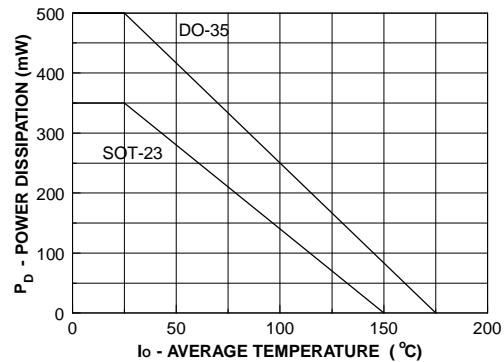
REVERSE RECOVERY TIME vs
REVERSE CURRENT



Average Rectified Current (Io) &
Forward Current (IF) versus
Ambient Temperature (TA)



POWER DERATING CURVE



TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	ISOPLANAR™
CoolFET™	MICROWIRE™
CROSSVOLT™	POP™
E ² CMOS™	PowerTrench™
FACT™	QS™
FACT Quiet Series™	Quiet Series™
FAST®	SuperSOT™-3
FASTr™	SuperSOT™-6
GTO™	SuperSOT™-8
HiSeC™	TinyLogic™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

1N746A - 1N759A Series Half Watt Zeners

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

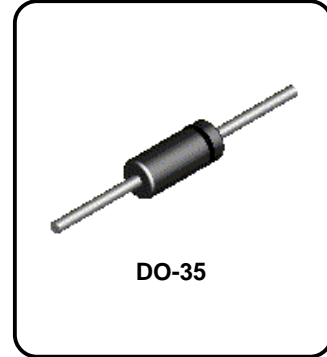
Tolerance: A = 5%

Parameter	Value	Units
Storage Temperature Range	-65 to +200	°C
Maximum Junction Operating Temperature	+ 175	°C
Lead Temperature (1/16" from case for 10 seconds)	+ 230	°C
Total Device Dissipation	500	mW
Derate above 25°C	3.33	mW/°C

*These ratings are limiting values above which the serviceability of the diode may be impaired.

NOTES:

- 1) These ratings are based on a maximum junction temperature of 200 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.



Electrical Characteristics

TA = 25°C unless otherwise noted

Device	V _Z (V)	Z _Z (Ω)	@	I _{ZT} (mA)	I _{R1} (μA)	@	V _R (V)	I _{R2} (μA)	@	V _R (V)	T _C (%/°C)	I _{ZM} * (mA)
1N746A	3.3	28		20	10		1.0	30		1.0	- 0.070	110
1N747A	3.6	24		20	10		1.0	30		1.0	- 0.065	100
1N748A	3.9	23		20	10		1.0	30		1.0	- 0.060	95
1N749A	4.3	22		20	2.0		1.0	30		1.0	+/- 0.055	85
1N750A	4.7	19		20	2.0		1.0	30		1.0	+/- 0.030	75
1N751A	5.1	17		20	1.0		1.0	20		1.0	+/- 0.030	70
1N752A	5.6	11		20	1.0		1.0	20		1.0	+ 0.038	65
1N753A	6.2	7.0		20	0.1		1.0	20		1.0	+ 0.045	60
1N754A	6.8	5.0		20	0.1		1.0	20		1.0	+ 0.050	55
1N755A	7.5	6.0		20	0.1		1.0	20		1.0	+ 0.058	50
1N756A	8.2	8.0		20	0.1		1.0	20		1.0	+ 0.062	45
1N757A	9.1	10		20	0.1		1.0	20		1.0	+ 0.068	40
1N758A	10	17		20	0.1		1.0	20		1.0	+ 0.075	35
1N759A	12	30		20	0.1		1.0	20		1.0	+ 0.077	38

*I_{ZM} (Maximum Zener Current Rating) Values shown are based on the JEDEC rating of 400 milliwatts. Where the actual zener voltage (V_Z) is known at the operating point, the maximum zener current may be increased and is limited by the derating curve.

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	ISOPLANAR™
CoolFET™	MICROWIRE™
CROSSVOLT™	POP™
E ² CMOS™	PowerTrench™
FACT™	QS™
FACT Quiet Series™	Quiet Series™
FAST®	SuperSOT™-3
FASTr™	SuperSOT™-6
GTO™	SuperSOT™-8
HiSeC™	TinyLogic™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

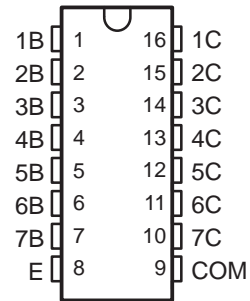
ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500-mA Rated Collector Current (Single Output)
- High-Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible With Various Types of Logic
- Relay Driver Applications
- Designed to Be Interchangeable With Sprague ULN2001A Series

D OR N PACKAGE
(TOP VIEW)

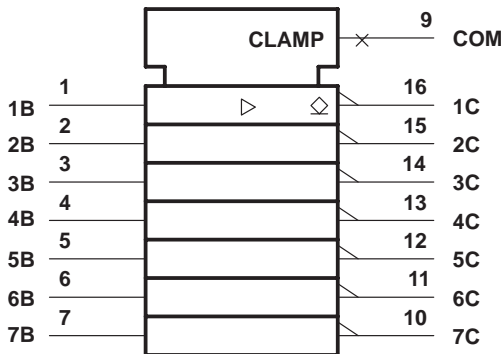


description

The ULN2001A, ULN2002A, ULN2003A, and ULN2004A are monolithic high-voltage, high-current Darlington transistor arrays. Each consists of seven npn Darlington pairs that feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single Darlington pair is 500 mA. The Darlington pairs may be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-V (otherwise interchangeable) versions, see the SN75465 through SN75469.

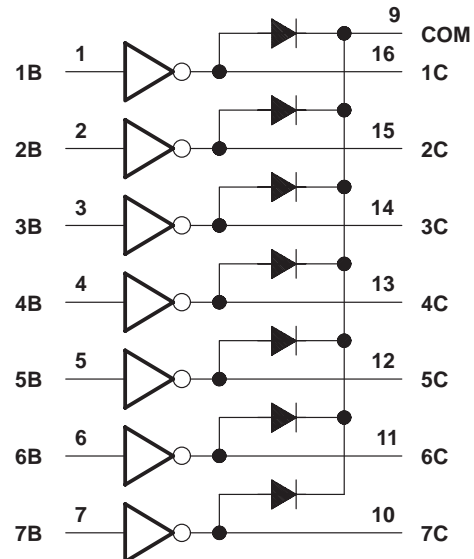
The ULN2001A is a general-purpose array and can be used with TTL and CMOS technologies. The ULN2002A is specifically designed for use with 14- to 25-V PMOS devices. Each input of this device has a zener diode and resistor in series to control the input current to a safe limit. The ULN2003A has a 2.7-k Ω series base resistor for each Darlington pair for operation directly with TTL or 5-V CMOS devices. The ULN2004A has a 10.5-k Ω series base resistor to allow its operation directly from CMOS devices that use supply voltages of 6 to 15 V. The required input current of the ULN2004A is below that of the ULN2003A, and the required voltage is less than that required by the ULN2002A.

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

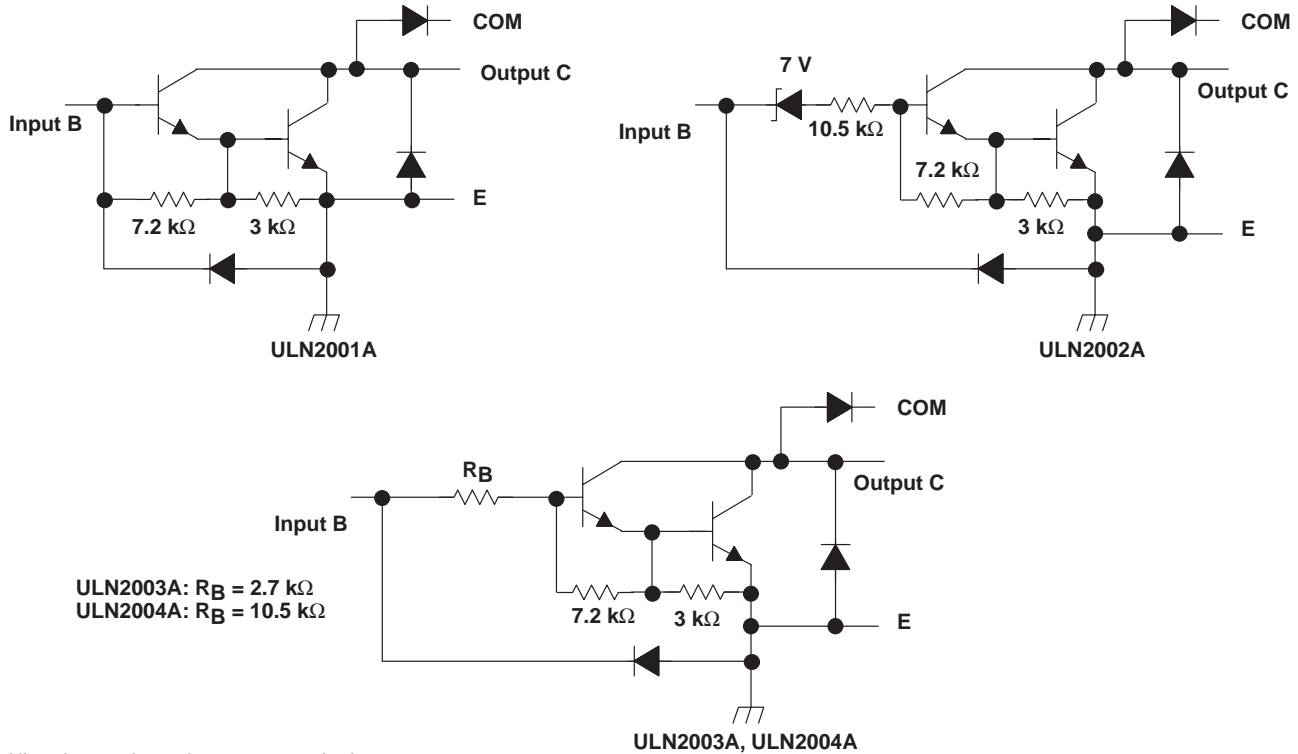
logic diagram



ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

schematics (each Darlington pair)



All resistor values shown are nominal.

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	50 V
Input voltage, V_I (see Note 1)	30 V
Peak collector current (see Figures 14 and 15)	500 mA
Output clamp current, I_{OK}	500 mA
Total emitter-terminal current	-2.5 A
Continuous total power dissipation	See Dissipation Rating Table
Operating free-air temperature range, T_A	-20°C to 85°C
Storage temperature range, T_{stg}	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to the emitter/substrate terminal E, unless otherwise noted.

DISSIPATION RATING TABLE

PACKAGE	$T_A = 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$ POWER RATING
D	950 mW	7.6 mW/°C	494 mW
N	1150 mW	9.2 mW/°C	598 mW

ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

electrical characteristics, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2001A			ULN2002A			UNIT	
			MIN	TYP	MAX	MIN	TYP	MAX		
$V_{I(on)}$	On-state input voltage	6	$V_{CE} = 2\text{ V}, I_C = 300\text{ mA}$			13			V	
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	$I_I = 250\ \mu\text{A}, I_C = 100\text{ mA}$			0.9	1.1	0.9	1.1	V
			$I_I = 350\ \mu\text{A}, I_C = 200\text{ mA}$			1	1.3	1	1.3	
			$I_I = 500\ \mu\text{A}, I_C = 350\text{ mA}$			1.2	1.6	1.2	1.6	
V_F	Clamp forward voltage	8	$I_F = 350\text{ mA}$			1.7	2	1.7	2	V
I_{CEX}	Collector cutoff current	1	$V_{CE} = 50\text{ V}, I_I = 0$			50			μA	
		2	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	$I_I = 0$	100			100		
							500			
$I_{I(off)}$	Off-state input current	3	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}, I_C = 500\ \mu\text{A}$			50	65	50	65	μA
I_I	Input current	4	$V_I = 17\text{ V}$			0.82			1.25	mA
I_R	Clamp reverse current	7	$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$			100			100	μA
			$V_R = 50\text{ V}$			50			50	
h_{FE}	Static forward current transfer ratio	5	$V_{CE} = 2\text{ V}, I_C = 350\text{ mA}$			1000				
C_i	Input capacitance		$V_I = 0, f = 1\text{ MHz}$			15	25	15	25	pF

electrical characteristics, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2003A			ULN2004A			UNIT	
			MIN	TYP	MAX	MIN	TYP	MAX		
$V_{I(on)}$	On-state input voltage	6	$V_{CE} = 2\text{ V}$	$I_C = 125\text{ mA}$					5	V
				$I_C = 200\text{ mA}$					6	
				$I_C = 250\text{ mA}$					7	
				$I_C = 275\text{ mA}$					7	
				$I_C = 300\text{ mA}$					8	
				$I_C = 350\text{ mA}$					8	
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	$I_I = 250\ \mu\text{A}, I_C = 100\text{ mA}$			0.9	1.1	0.9	1.1	V
			$I_I = 350\ \mu\text{A}, I_C = 200\text{ mA}$			1	1.3	1	1.3	
			$I_I = 500\ \mu\text{A}, I_C = 350\text{ mA}$			1.2	1.6	1.2	1.6	
I_{CEX}	Collector cutoff current	1	$V_{CE} = 50\text{ V}, I_I = 0$			50			μA	
		2	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	$I_I = 0$	100			100		
							500			
V_F	Clamp forward voltage	8	$I_F = 350\text{ mA}$			1.7	2	1.7	2	V
$I_{I(off)}$	Off-state input current	3	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}, I_C = 500\ \mu\text{A}$			50	65	50	65	μA
I_I	Input current	4	$V_I = 3.85\text{ V}$			0.93	1.35			mA
			$V_I = 5\text{ V}$					0.35	0.5	
			$V_I = 12\text{ V}$					1	1.45	
I_R	Clamp reverse current	7	$V_R = 50\text{ V}$			50			μA	
			$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$			100				100
C_i	Input capacitance		$V_I = 0, f = 1\text{ MHz}$			15	25	15	25	pF



ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

switching characteristics, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH} Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	μs
t_{PHL} Propagation delay time, high-to-low-level output			0.25	1	μs
V_{OH} High-level output voltage after switching	$V_S = 50\text{ V}$, See Figure 10	$I_O \approx 300\text{ mA}$,	$V_S - 20$		mV

PARAMETER MEASUREMENT INFORMATION

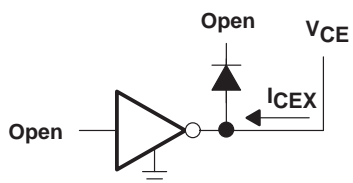


Figure 1. I_{CEX} Test Circuit

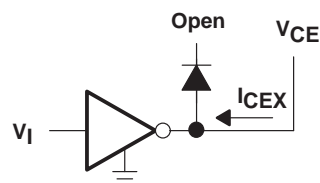


Figure 2. I_{CEX} Test Circuit

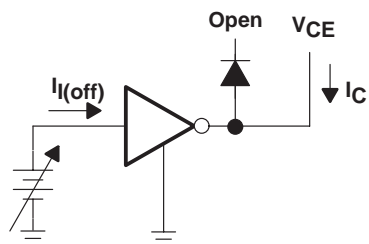


Figure 3. $I_{1(off)}$ Test Circuit

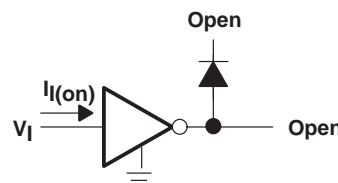
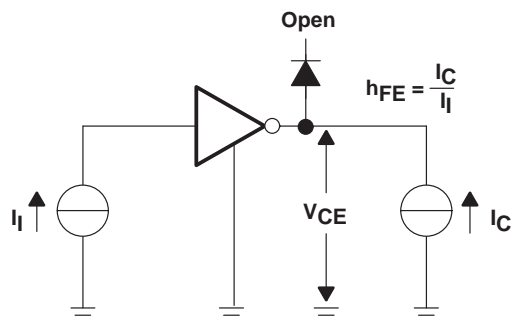


Figure 4. I_1 Test Circuit



NOTE: I_1 is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE} .

Figure 5. h_{FE} , $V_{CE(sat)}$ Test Circuit

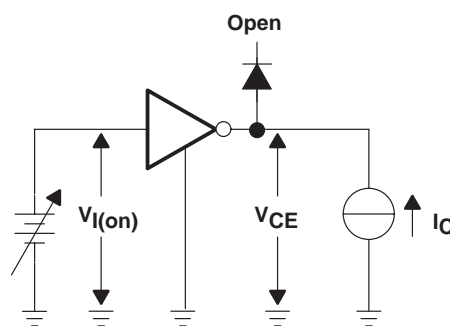


Figure 6. $V_{I(on)}$ Test Circuit

PARAMETER MEASUREMENT INFORMATION

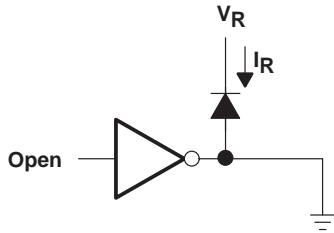


Figure 7. I_R Test Circuit

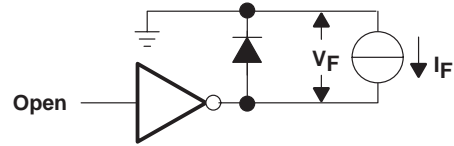
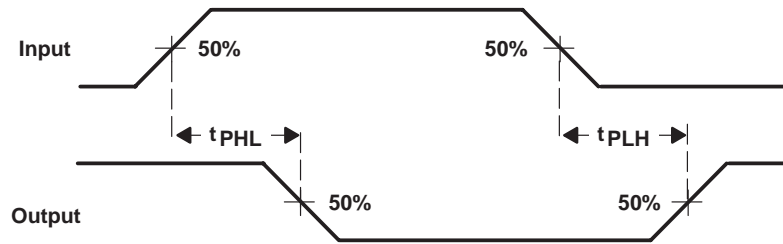
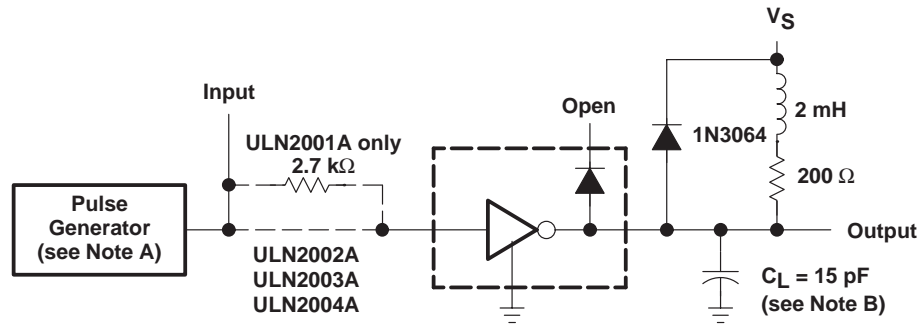


Figure 8. V_F Test Circuit

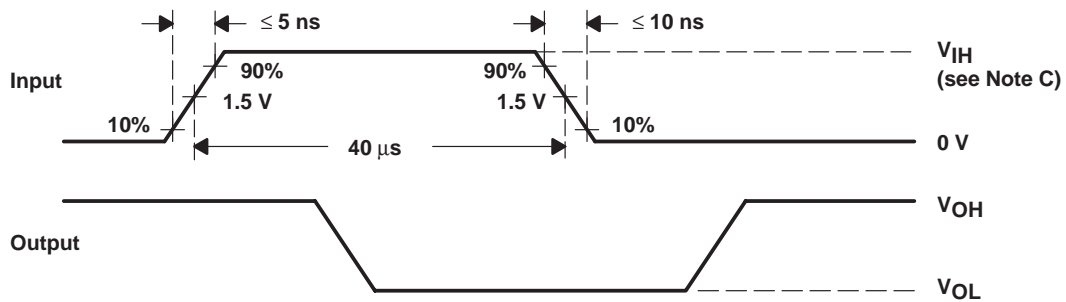


VOLTAGE WAVEFORMS

Figure 9. Propagation Delay Time Waveforms



TEST CIRCUIT



VOLTAGE WAVEFORMS

- NOTES: A. The pulse generator has the following characteristics: PRR = 12.5 kHz, $Z_O = 50\ \Omega$.
 B. C_L includes probe and jig capacitance.
 C. For testing the ULN2001A and the ULN2003A, $V_{IH} = 3\text{ V}$; for the ULN2002A, $V_{IH} = 13\text{ V}$; for the ULN2004A, $V_{IH} = 8\text{ V}$.

Figure 10. Latch-Up Test Circuit and Voltage Waveforms

ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER SATURATION VOLTAGE
vs
COLLECTOR CURRENT
(ONE DARLINGTON)

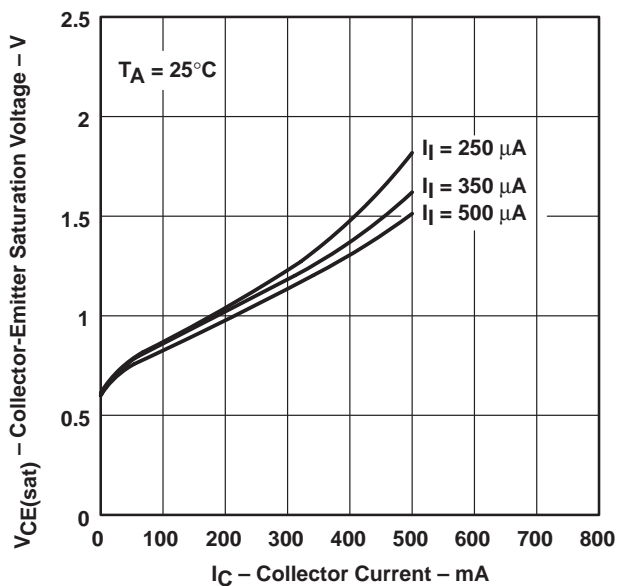


Figure 11

COLLECTOR-EMITTER SATURATION VOLTAGE
vs
TOTAL COLLECTOR CURRENT
(TWO DARLINGTONS PARALLELED)

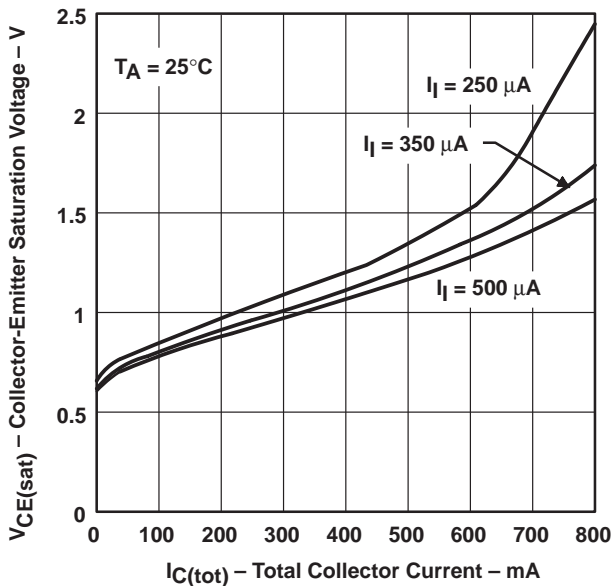


Figure 12

COLLECTOR CURRENT
vs
INPUT CURRENT

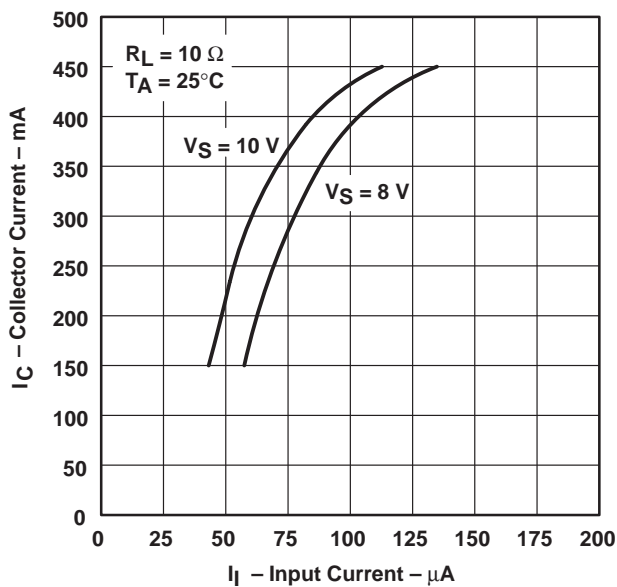
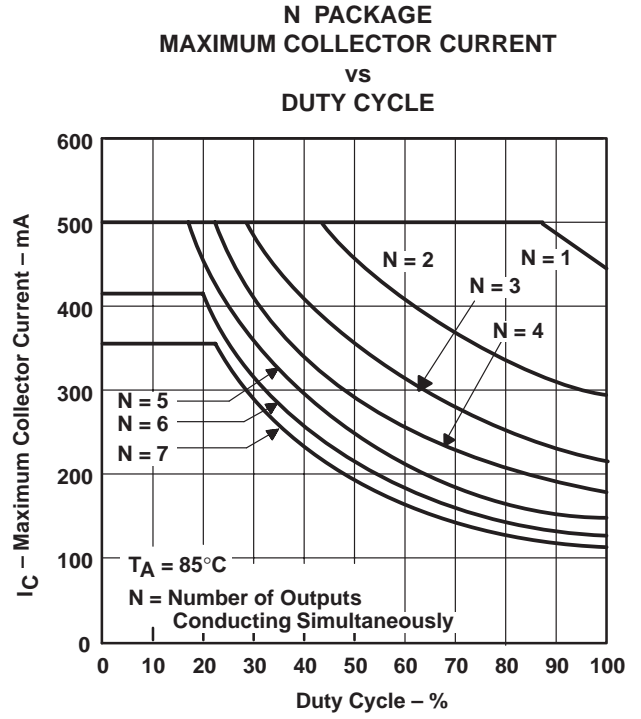
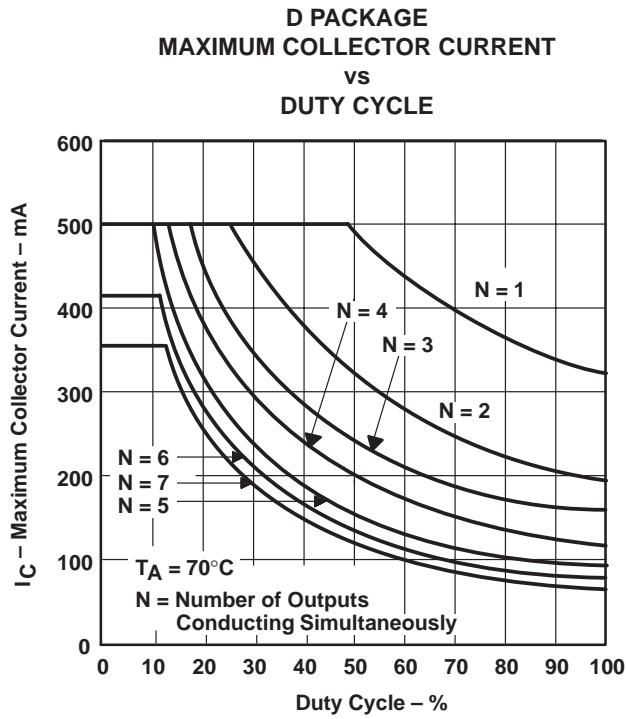


Figure 13



THERMAL INFORMATION



ULN2001A, ULN2002A, ULN2003A, ULN2004A DARLINGTON TRANSISTOR ARRAYS

SLRS027 – DECEMBER 1976 – REVISED APRIL 1993

APPLICATION INFORMATION

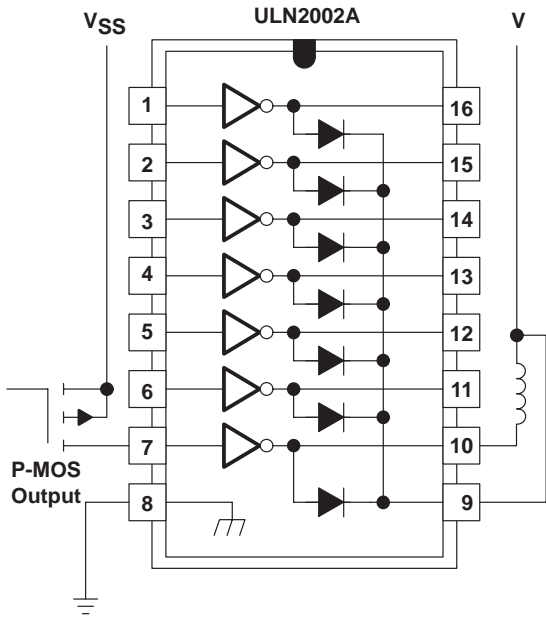


Figure 16. P-MOS to Load

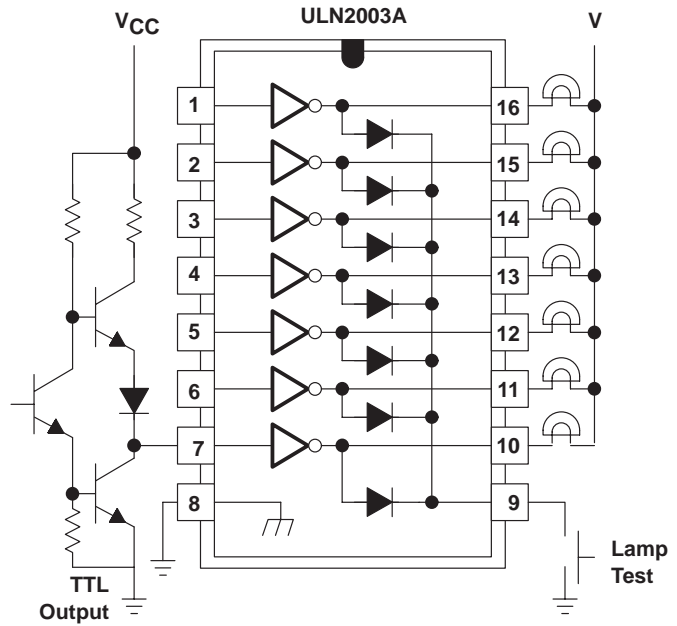


Figure 17. TTL to Load

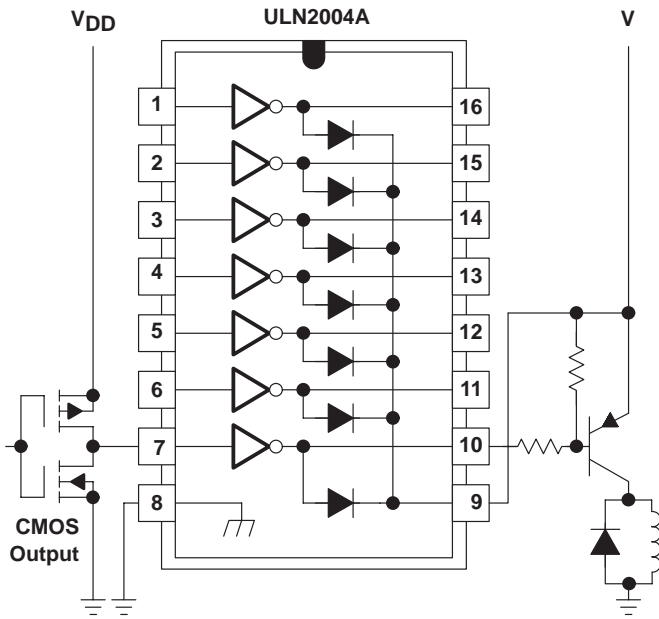


Figure 18. Buffer for Higher Current Loads

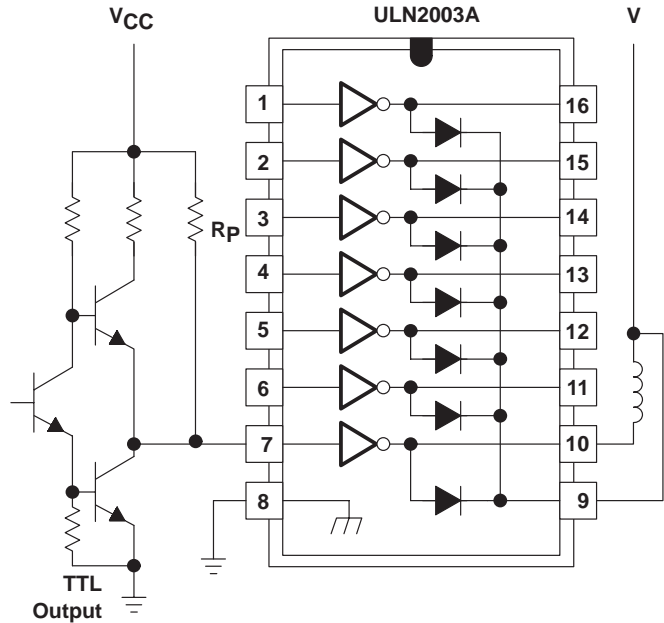


Figure 19. Use of Pullup Resistors to Increase Drive Current

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.