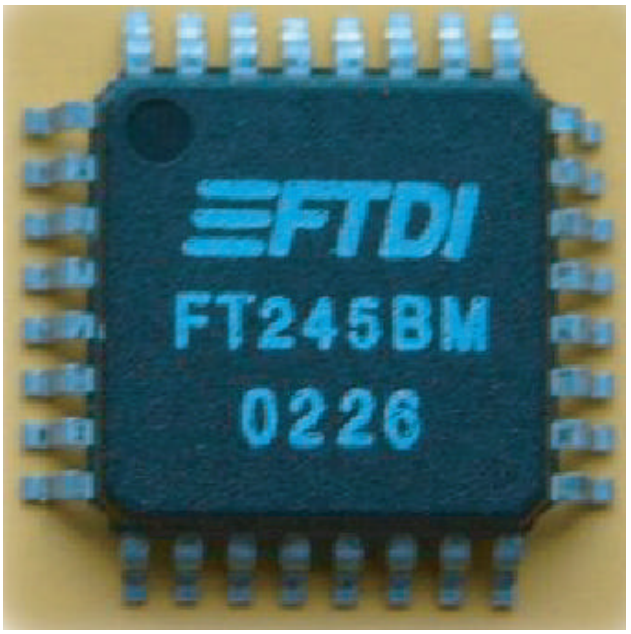
PRINCIPALES CARACTERÍSTICAS DEL FT245BM

Descripción general



El FT245BM se trata de un dispositivo que proporciona un método efectivo y de bajo coste para la transferencia de datos entre un periférico y un PC hasta una velocidad de 8 millones de bits (1 Megabyte) por segundo. Se trata simplemente de un diseño FIFO que garantiza una fácil interfaz con cualquier microprocesador o microcontrolador a través de sus puertos de entrada/salida.

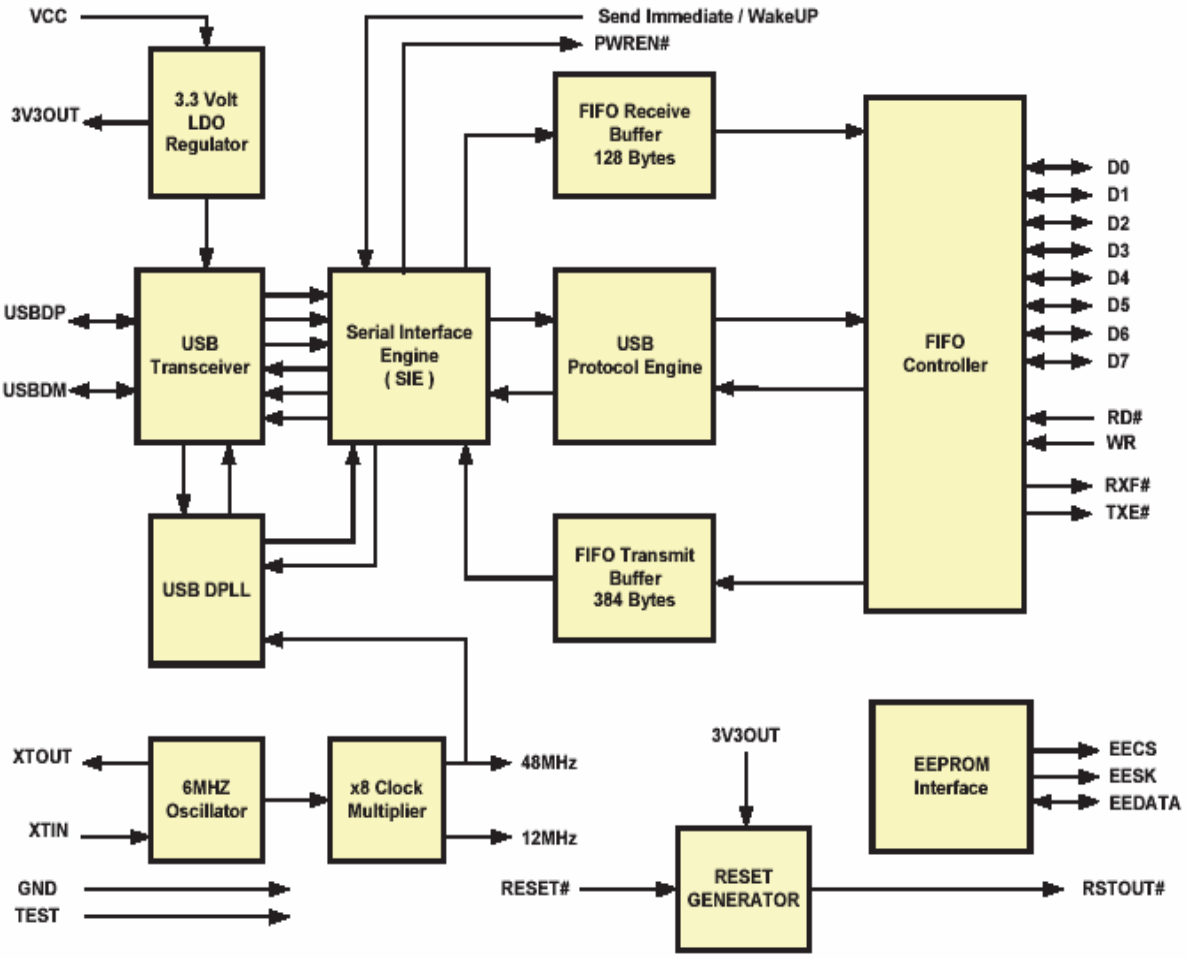
Para enviar datos desde los periféricos al ordenador PC, simplemente se escriben datos de un byte de ancho en el módulo cuando **TXE#** está a nivel bajo. Si el buffer de transmisión del dato se encuentra lleno, o bien está ocupado almacenando un byte previo, el dispositivo pone **TXE#** a nivel alto para impedir que nuevos datos sean escritos hasta que alguno de los datos de la FIFO haya sido transferido a través del USB al PC.

Cuando el PC envía datos al periférico a través de USB, el dispositivo tendrá **RXF#** a nivel bajo para hacer saber al periférico que al menos un byte de datos está disponible. Entonces el periférico lee datos hasta que **RXF#** se pone a nivel alto, indicando que no hay más datos disponibles para leer.

Cuando se usan los drivers **FTDI's virtual COM**, el periférico parece conectado a través de un puerto COM estándar para el software de aplicación. Las órdenes para imponer una determinada velocidad de transferencia son ignoradas, y el dispositivo siempre transfiere datos a su mayor velocidad sin tener en cuenta el índice de velocidad de la aplicación. Una alternativa son los drivers FTDI's D2XX, que permiten al software de la aplicación acceder al dispositivo "directamente".

El dispositivo FTD245BM es la segunda generación de los dispositivos FTDI USB FIFO. Este dispositivo añade una serie de mejoras con respecto a su predecesor el FT8U245AM. Estas mejoras pueden verse en el data-sheet del producto que adjuntamos también en el proyecto como apéndices al mismo.

Diagrama de Bloques (simplificado)



Descripción de los bloques funcionales

A continuación daremos una pequeña descripción de la función que tiene cada uno de los bloques funcionales que aparecen en el diagrama de bloques de la figura de arriba:

- Regulador LDO 3.3 V

El regulador LDO 3.3V genera una tensión de 3.3 V que son un voltaje de referencia para controlar los buffers de salida del transmisor-receptor USB. Esto requiere un condensador de desacoplo externo que se une al pin **3V3OUT** de salida del regulador. Esto proporciona también tensión al pin **RSTOUT#**. La principal función de este bloque es dar energía al transmisor-receptor USB y a la celda generadora de Reset mejor que una fuente lógica externa. Sin embargo, también un circuito externo que requiera una tensión nominal de 3.3 V a una corriente no mayor de 5 mA puede ser absorbida desde el pin **3V3OUT** si hiciera falta.

- Transmisor-receptor USB

El transmisor-receptor USB proporciona la interfaz física de máxima velocidad al cable USB.

- USB DPLL

La celda USB DPLL se acopla al dato de entrada NRZI USB y proporciona un reloj y señales de dato independientes al bloque SIE.

- Oscilador de 6 MHz

Este oscilador genera una señal de reloj de 6 MHz de entrada al reloj multiplicador x8 desde un oscilador cerámico o de cristal externo.

- Reloj multiplicador x8

Este reloj toma la señal de 6 MHz de entrada del oscilador y genera una señal de reloj de 12 MHz para el SIE, la máquina de protocolo USB y el bloque

de control de la FIFO. También genera una señal de reloj de 48 MHz para el USB DPLL.

- Máquina de interfaz serie (SIE)

La SIE realiza la conversión de datos de USB de serie a paralelo, y de paralelo a serie.

- Máquina de protocolo USB

Este bloque controla el flujo de datos del dispositivo unido vía USB. Dicho bloque controla el flujo de los datos del dispositivo USB desde el punto final de control del dispositivo USB.

- Buffer receptor FIFO (128 bytes)

Los datos enviados desde el servidor USB a la FIFO son almacenados en el buffer receptor FIFO y son borrados del mismo leyendo el contenido de la FIFO usando **RD#**.

- Buffer transmisor FIFO (384 bytes)

Los datos escritos en la FIFO usando **WR#** son almacenados en este buffer. El servidor saca los datos de la FIFO enviando una petición vía USB desde el dispositivo conectado.

- Controlador FIFO

El controlador FIFO controla la transferencia de datos entre los pines de la interfaz externa de la FIFO y los buffer transmisor y receptor de la FIFO.

- Generador de reset

El generador de reset proporciona un reset de confianza a la circuitería interna del dispositivo en el encendido. Una entrada RESET# y una salida RSTOUT# adicionales son proporcionadas para permitir a otros dispositivos resetear el FT245BM o viceversa. Durante el reset, RSTOUT# tiene una alta impedancia, ya que de otra manera saldría de los 3.3v proporcionados por el regulador interno.

También puede ser usado para resetear otros dispositivos. RSTOUT# se mantendrá en alta impedancia durante aproximadamente 5 ms después de que Vcc se haya incrementado por encima de 3.5v Y el dispositivo oscilador está funcionando Y RESET# está a nivel alto. RESET# deber conectado a Vcc a menos que sea un requisito resetear el dispositivo desde una lógica externa o un generador de reset externo.

- Interfaz EEPROM

Aunque el FT245BM trabajará normalmente sin la EEPROM opcional, una EEPROM externa 93C46 (93C56 o 93C66), puede ser usada para diferentes aplicaciones, como USB VID, PID… También se requiere dicha EEPROM para aplicaciones donde varios FT245BM son conectados a un único PC. Otros parámetros controlados por la EEPROM incluyen el Wake-Up remoto, el modo de transferencia isócrona,…

Esquema de los pines del dispositivo

A continuación mostramos el esquema de los pines del dispositivo FT245BM. En la figura 1, se encuentra en su forma de empaquetado LQFP, mientras en la figura 2 se trata de un símbolo esquemático de los pines

Figure 1
Pin-Out
(LQFP-32 Package)

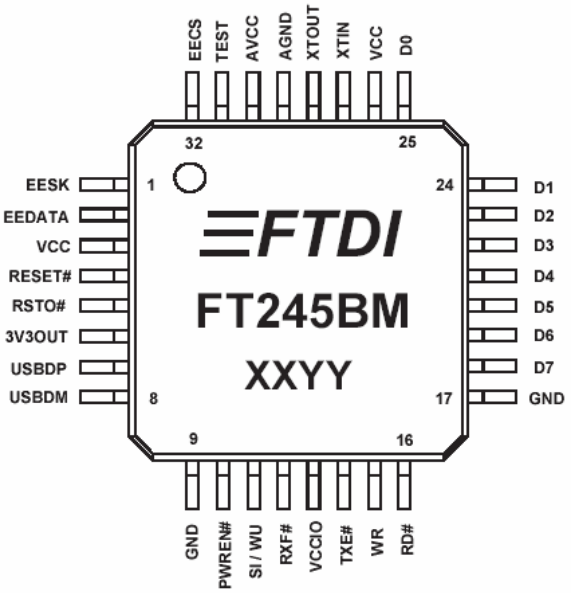
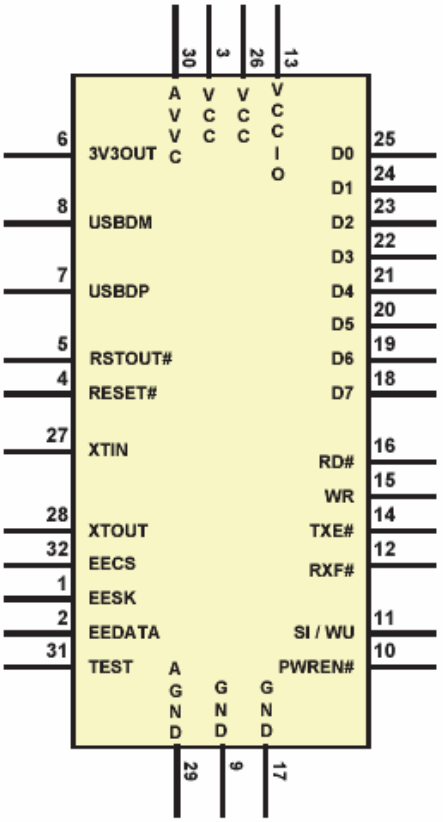


Figure 2
Pin-Out
(Schematic Symbol)



Descripción de las señales

En las siguientes tablas encontramos la función que desempeña cada una de las patitas del dispositivo. Se encuentran divididos por grupos.

GRUPO DE BUS DE DATOS DE LA FIFO

D7-D0 (Patitas 18-25) Þ Bits de Bus de datos FIFO

GRUPO DE INTERFAZ DE CONTROL DE LA FIFO

RD# (Patita 16) Þ A nivel bajo es la señal para la lectura

WR (Patita 15) Þ A nivel alto es la señal para la escritura

TXE# (Patita 14) ⇒ Permite la lectura a través del FT245BM

RXF# (Patita 12) ⇒ Permite la escritura a través del FT245BM

GRUPO DE INTERFAZ CON USB

USBDP (Patita 7) Þ Señal positiva de datos USB

USBDM (Patita 8) Þ Señal negativa de datos USB

GRUPO DE INTERFAZ CON EEPROM

EECS (Patita 32) Þ Chip select de la EEPROM

EESK (Patita 1) Þ Señal de reloj de la EEPROM

EEDATA (Patita 2) Þ Los datos de entrada salida se conectan directamente a los datos de entrada/salida de la EEPROM a través de una resistencia de 2K2. También envía los datos fuera de la EEPROM a V_{cc} a través de una resistencia de 10K para su correcto funcionamiento. Se encuentra en tri-estado durante el reset del dispositivo.

GRUPO DE CONTROL DE ENERGÍA

PWREN# (Patita 10) Þ Pasa a nivel bajo después de que el dispositivo ha sido configurado vía USB, luego está a nivel alto, mientras USB está suspendido. Puede ser usado para controlar la fuente para lógica externa usando un MOSFET de canal-p. Permite la interfaz Pull-Down en la EEPROM cuando se usa PWREN# de esta manera.

SI/WU (Patita 11) Þ La señal Send Inmediate/WakeUp combina dos funciones en una patita. Si USB está en modo suspendido (PWREN# = 1) y se habilita un wakeup remoto en la EEPROM, poniendo esta patita a nivel bajo se produce un "resume" en el bus USB. Normalmente, esto puede ser usado para activar el PC. Durante el funcionamiento normal (PWREN# = 0), si esta patita se pone a nivel bajo, cualquier dato en el buffer RX del dispositivo será enviado a través de USB en la siguiente petición de "Bulk-in" del driver sin tener en cuenta el tamaño del paquete pendiente. Esto se puede usar para optimizar la velocidad de transferencia USB para algunas aplicaciones. Si no se va a usar, conviene unir esta patita a fuente.

GRUPO DE FUENTE Y TIERRA

3V3OUT (Patita 6) ⇒ Señal de salida del regulador de tensión

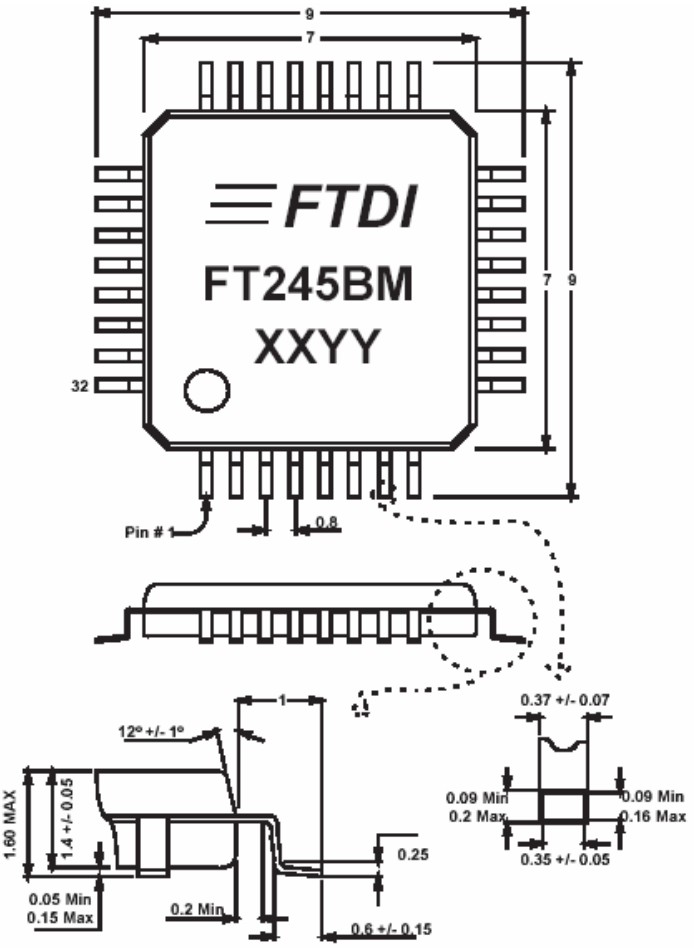
VCC (Patitas 3 y 26) ⇒ Señal de fuente

VCCIO (Patita 13) Þ Señal de fuente para las patitas de interfaz FIFO

GND (Patitas 9 y 17) Þ Señal de tierra

AVCC (Patita 30) Þ Señal de fuente para el multiplicador de reloj x8 interno

AGND (Patita 29) Þ Señal de tierra para el multiplicador de reloj x8 interno

Dimensiones de empaquetado

Incluimos también en esta pequeña introducción al FT245BM las medidas del dispositivo, que han sido de gran importancia en el diseño de la placa.