

APLICACIÓN EN UNSHADES (MODO SELECTMAP)

MODO SELECTMAP

El modo SelectMAP es la opción más rápida de configuración. Los datos en bloques de bytes de ancho son escritos en la FPGA con un flag de BUSY controlando el flujo de los datos.

Una fuente externa suministra una cadena de bytes, **CCLK**, una señal de chip select (**CS#**) y una señal de escritura (**WRITE#**). Si **BUSY** se pone a nivel alto por la FPGA, los datos deben ser mantenidos hasta que **BUSY** se ponga a nivel bajo.

Los datos también pueden ser leídos usando el modo SelectMAP. Si **WRITE#** no está activado, los datos de configuración son leídos desde la FPGA como parte de una operación de readback.

En el modo SelectMAP pueden asociarse múltiples dispositivos VIRTEX en paralelo. Los pines de datos (**D7:D0**), **CCLK**, **WRITE#**, **BUSY#**, **PROGRAM#**, **DONE** e **INIT#** pueden ser conectados en paralelo entre todas las FPGAs. Los datos se encuentran organizados con el bit menos significativo en el pin **D0** y el bit más significativo en **D7**. Los pines **CS#** son mantenidos separados, asegurando así que cada FPGA puede ser elegida por separado. **WRITE#** debe estar a nivel bajo antes de cargar el primer bitstream y vuelto a nivel alto después de que el dispositivo ha sido programado. Hay que usar **CS#** para seleccionar la FPGA apropiada para la carga del bitstream y enviar los datos de configuración. Al terminar el bitstream se deselecciona el dispositivo cargado, y seleccionamos la siguiente FPGA poniendo su correspondiente **CS#** a nivel alto. Para la señal **CCLK** utilizaremos un oscilador externo o cualquier otra señal generada externamente. La señal **BUSY#** puede ser ignorada para frecuencias por debajo de 50 MHz. Una vez que todos los dispositivos han sido programados, **DONE** se pone a nivel alto.

Después de la configuración, los pines del puerto SelectMAP pueden ser usados como pines de entrada/salida del usuario. Para impedir esto se requieren señales de restricción proporcionadas por PROHIBIT.

Varias FPGAs de Virtex pueden ser configuradas usando el modo SelectMAP, y utilizadas para iniciar simultáneamente. Para configurar varios dispositivos de esta manera, unimos las señales individuales de **CCLK**, datos, **WRITE#** y **BUSY**. Cada uno de los dispositivos son cargados luego por separados colocando su correspondiente CS a nivel alto por turnos, y escribiendo en cada dispositivo los datos correspondientes.

Operación WRITE

Las operaciones de escritura envían paquetes de configuración a la FPGA. La secuencia de las operaciones para un ciclo de escritura múltiple, es la siguiente:

1. **WRITE#** y **CS#** se ponen a nivel bajo. Cuando **CS#** es activado en sucesivos **CCLKs**, **WRITE#** debe mantenerse bien a nivel bajo o a nivel alto. De otra manera se producirá una señal de abandono de la instrucción.
2. Se llevan los datos a **D7:D0**. Para impedir incongruencias la fuente de datos no debe estar activada mientras **CS#** se encuentra nivel bajo, y **WRITE#** a nivel alto. De la misma manera, mientras **WRITE#** está a nivel alto, **CS#** no debe ser activado más de una vez.
3. En el flanco de subida de **CCLK**: si **BUSY** está a nivel bajo, los datos son aceptados en esta señal de reloj, pero si está **BUSY** a nivel alto (debido a una operación de escritura previa), los datos no serán aceptados. Estos datos serán aceptados en el momento que **BUSY** pase a nivel bajo, por lo que los datos deben ser mantenidos hasta que esto ocurra.
4. Se repiten los pasos 2 y 3 hasta que los datos han sido enviados.
5. Se desactivan las señales **CS#** y **WRITE#**.

Secuencia de configuración del dispositivo Virtex

La configuración de los dispositivos Virtex es un proceso de tres fases. Primero la configuración de la memoria es borrada. Después, los nuevos datos de configuración

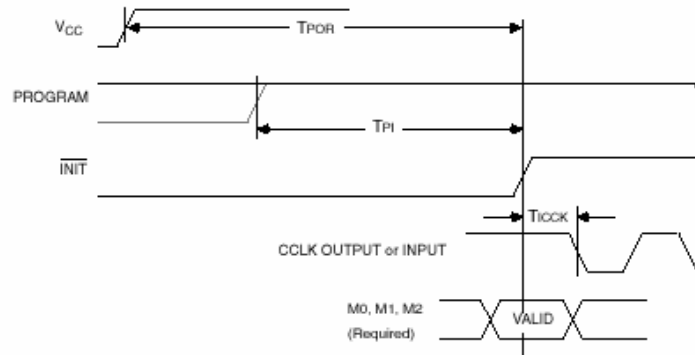
ADAPTADOR BASADO EN MICROCONTROLADOR PARA COMUNICACIONES CON EL PUERTO USB APLICACIÓN EN UNSHADES (MODO SELECT MAP)

son cargados en la memoria, y finalmente, la lógica es activada por una operación de inicio.

La configuración se inicia automáticamente en el encendido a menos que sea retrasado por el usuario. El proceso de configuración también puede ser iniciado activando la señal

PROGRAM# El final de la fase de borrado de la memoria es indicada por la señal **INIT#** que se pone a nivel alto y el acabado completo de la secuencia de configuración, es indicada por la señal **DONE**

a nivel alto. En la gráfica y tabla adjuntas se analizan todos los tiempos que influyen en la configuración del dispositivo.



Señales de configuración en el encendido

Características de tiempo en el encendido

Description	Symbol	Value	Units
Power-on Reset	T _{POR}	2.0	ms, max
Program Latency	T _{PL}	100.0	μs, max
CCLK (output) Delay	T _{ICCK}	0.5	μs, min
		4.0	μs, max
Program Pulse Width	T _{PROGRAM}	300	ns, min

Retraso de la configuración

INIT# puede ser mantenido a nivel bajo usando un driver a colector abierto. Un colector abierto es necesario ya que **INIT#** es un pin bidireccional a colector abierto que es mantenido a nivel bajo por la FPGA mientras la configuración de la memoria está siendo borrada. Aumentando el tiempo en el que el pin se encuentra a nivel bajo provoca que la secuencia de configuración debe esperar. De esta manera, la configuración se retrasa impidiendo entrar en la fase en la que los datos son cargados.

Secuencia de Inicio (Start-up)

La secuencia de inicio por defecto es aquella en la que un ciclo de **CCLK** después de que **DONE** se pone a nivel alto, la señal GTS (Global Tri-State) es liberada. Esto permite a las salidas del dispositivo encenderse como sea necesario.

Un ciclo de reloj más tarde, la señal GSR (Global Set/Reset) y la GWE (Global Write Enable) son liberadas. Esto permite a los elementos internos almacenados empezar a cambiar de estado en respuesta a la lógica y a la señal de reloj.

El timing relativo de estos elementos puede ser cambiado. Además, los sucesos GTS, GSR y GWE pueden hacerse dependientes de los pines **DONE** de múltiples dispositivos todos pasando a nivel alto, forzando a estos dispositivos a empezar en sincronismo.

La secuencia puede ser parada en cualquier momento hasta que el cierre ha sido logrado en alguno o en todas las DLLs.

Formato de datos en bloques

Los dispositivos Virtex están configurados para la carga de datos en bloques. Dependiendo del dispositivo utilizado este bloque de datos será de un tamaño diferente.

Lectura (Readback)

Los datos de configuración almacenados en el dispositivo Virtex pueden ser leídos (readback) para su verificación. Junto con los datos de configuración, también es posible la lectura de todos los flip-flops/latches o los bloques de RAM. Esa capacidad es utilizada para depuración del sistema en tiempo real.

APLICACIÓN DE LA TARJETA EN UNSHADES

Como aplicación para la tarjeta en UNSHADES, hemos realizado un programa que permite realizar una serie de operaciones con la FPGA de UNSHADES utilizando el protocolo SelectMap.