

TRABAJO FIN DEL MASTER  
EN ELECTRONICA  
TRATAMIENTO DE LA SEÑAL  
Y COMUNICACIONES

**DISEÑO DE UN OSCILADOR  
PROGRAMABLE  
BASADO EN QFG**

**AUTOR: GABRIEL GALLEGO HORNOS**  
TUTOR: RAMON GONZALEZ CARVAJAL  
Departamento de Ingeniería Electrónica  
Área de Conocimiento: Tecnología Electrónica

## **AGRADECIMIENTO**

Quiero hacer constar mí mas profunda gratitud a mi tutor Ramón González Carvajal por la inestimable ayuda prestada para la elaboración del presente trabajo. He de agradecer igualmente sus valiosos consejos, su total disponibilidad siempre que he necesitado su ayuda y su interés por la consecución de los objetivos marcados en este Trabajo Fin del Máster.

# INDICE

## 0.- INTRODUCCION

- 0.1.- El Inversor CMOS..... (Pág.06 )
- 0.2.- Manejo de cargas capacitivas grandes..... (Pág.07 )
- 0.3.- Diseño del buffer simple..... (Pág.08 )

## 1.- OBJETIVO DEL TRABAJO..... (Pág.10)

## 2.- DIFERENTES TECNICAS DE ANALISIS CON TRANSISTORES MOS

- 2.1.- Circuito ring VCO de tres etapas con Current-Starved..... (Pág.14)
- 2.2.- Caracterización del oscilador..... (Pág.16)
- 2.3.- Circuito VC01 de tres etapas sin Current-Starved..... (Pág.16)
- 2.4.- Grafica del comportamiento del Oscilador..... (Pág.17)

## 3.- COMPARATIVA

- 3.1.- Etapa de 5 inversores..... (Pág.18)
- 3.2.- Etapa de 7 inversores..... (Pág.20)
- 3.3.- Etapa de 9 inversores..... (Pág.22)

## 4.- ANALISIS Y SIMULACIONES CON TRANSISTORES DE PUERTA FLOTANTE (FG)

- 4.1.- Introducción ..... (Pág.26)
- 4.2.- Circuito ring VCO de tres etapas ..... (Pág.26)
- 4.3.- Rango de variación de  $v_p$  y  $v_n$  con la Frecuencia ..... (Pág.30)
- 4.4.- Rango de variación de  $v_p$  y  $v_n$  con Istarved ..... (Pág.30)
- 4.5.- Valores bajos de Istarved... ..... (Pág.33)
- 4.6.- Circuito de 5 etapas con transistores FG ..... (Pág.36)
- 4.7.- Valores de  $V_n$  desde 0 a 3.3v cada 0.1 .. (Pág.39)
- 4.8.- Valores de  $V_p$  desde 0 a 3.3v cada 0.1.... (Pág.40)
- 4.9.- Valores para salida oscilador en  $V_{DD}/2...$  (Pág.41)

## 5.- ANALISIS Y SIMULACIONES CON TRANSISTORES QUASI FLOATING-GATE (QFG)

- 5.1.- Introducción..... (Pág.47)
- 5.2.- Rango de variación de  $v_p$  y  $v_n$  con la Frecuencia..... (Pág.48)
- 5.3.- Valores para salida oscilador en  $V_{DD}/2.....$  (Pág.53)

5.4.- Análisis de la Densidad Espectral de Potencia (PSD).....	(Pág.55)
5.5.- Calculo y comparación del THD.....	(Pág.60)
5.5.1.- VCO no programable.....	(Pág.60)
5.5.2.- VCO programable con Istarved.....	(Pág.62)
5.5.3.- VCO con transistores FG.....	(Pág.64)
5.5.4.- VCO con transistores QFG.....	(Pág.66)
<b>6.- RESUMEN-CONCLUSIONES.....</b>	<b>(Pág.68)</b>

## 0.- INTRODUCCION

En la actualidad, el diseño físico es una actividad que ha evolucionado a la par de la tecnología de fabricación de circuitos integrados. En el pasado reciente, el diseño de circuitos en tecnología MOS no consideraba diversas no-idealidades debido al uso de transistores de gran canal, es decir, mucha de la tarea del diseñador consistía en el diseño denominado *TOP-down* y, en muy pocas situaciones, se involucraba en el diseño a nivel transistor. La razón es simple, los modelos *simplificados* o *aproximados* en programas de simulación de circuitos de propósitos generales, como SPICE, reproducían bien el desempeño de los circuitos y/o sistemas. Con la evolución de la tecnología, diversos factores físicos ahora están presentes y el desarrollo de modelos compactos de alta con fiabilidad es una necesidad. Conforme esta aumenta, los modelos matemáticos usados para el diseño de tales sistemas deben ser modificados no solo para corroborar el desempeño del sistema, sino también para optimizarlo. En la práctica, tanto el modelado del transistor MOS como el desarrollo de modelos matemáticos constituyen enormes campos de aplicación, los cuales no serán descritos en este documento por cuestiones de espacio. Pero, si se mostrara una metodología *simple* que permita observar como a partir de una celda básica, de naturaleza digital, es posible incrementar las funciones de un circuito. Estos circuitos, están necesariamente incluidos en todo sistema de señal mezclada, es decir, en aquellos desarrollos compuestos de circuitería analógica y mayoritariamente digital.

El desempeño en el dominio del tiempo de un circuito inversor es función de dos parámetros fundamentales denominados *tiempo de carga* y *tiempo de descarga*. Manteniendo control de estos parámetros el diseño de un **oscilador de anillo (OA)** es inmediato. En la actualidad, un OA se usa para diversos propósitos, por ejemplo, para evaluar y/o monitorear variaciones en los procesos de fabricación y, básicamente, en aquellas aplicaciones en las que se requiera una fuente generadora de pulsos de reloj. En la práctica, el OA más simple se obtiene conectando en serie un número impar de inversores, en el que el nodo de salida del último inversor es conectado al nodo de entrada del primero (ver Fig. 0.1). Este arreglo particular puede ser considerado una red de comunicación de un solo sentido, en la que la señal generada por un inversor es la señal excitadora del siguiente inversor y así sucesivamente.

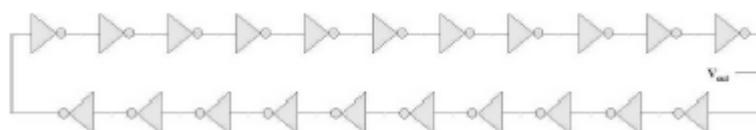


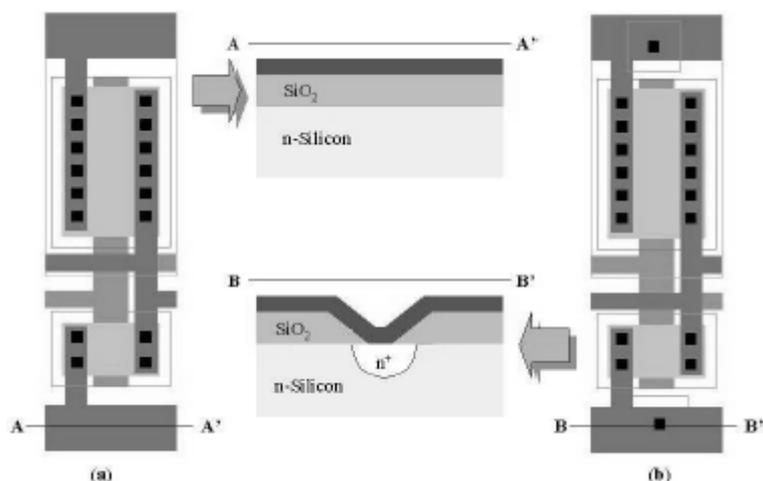
Fig.: 0.0.1

La importancia del inversor CMOS radica en su bajo consumo de potencia, el cual en la década de los 60 se redujo, respecto a los circuitos bipolares de aquella época, en 6 órdenes de magnitud. Por lo tanto, cuando se usa este circuito el interés principal radica en su desempeño lógico y no tanto en su consumo de potencia [En tecnologías submicrométricas la densidad de integración es tan alta que el mínimo consumo de potencia es una especificación del diseño]. Por lo tanto, para cada par de inversores ( $i$  y  $j$ ) conectados en serie es posible que  $i$  reciba una señal lógica denotada por "1" y cuando este genera una respuesta que es enviada a  $j$ , la señal generada por este último será necesariamente un "1". Por lo cual se puede concluir que esta red envía un "0" de  $i$  a  $j$ . Adicionalmente, considerando que un OA es un sistema inestable no es posible diseñarlo con un número par de inversores, ya que este hecho lo haría un sistema estable, en otras palabras, la inestabilidad es el causante de su característica oscilatoria.

Una desventaja de esta clase de OA es que su frecuencia de oscilación es completamente dependiente del retardo intrínseco del inversor, por lo que la frecuencia de oscilación no puede ser controlada por medios externos. En la práctica, a partir del diseño a nivel *layout* no solo se puede estimar el valor de las capacitancias parasitas propias del transistor MOS, sino también es posible determinar la parasita debida a las líneas de polisilicio, las cuales son usadas para propósitos de interconexión. La existencia de tales parasitas dan lugar a cuantificar los tiempos en que estas se *cargan* o *descargan* a determinado potencial. Por ejemplo, en tecnologías VLSI (del inglés *Very Large Scale of Integration*) CMOS, pozo N, 1.2 $\mu$ m, la capacitancia de entrada para un inversor puede ser del orden de 3fF. Aun cuando esta sea muy pequeña, ella permite la oscilación de la red.

### 0.1. El Inversor CMOS

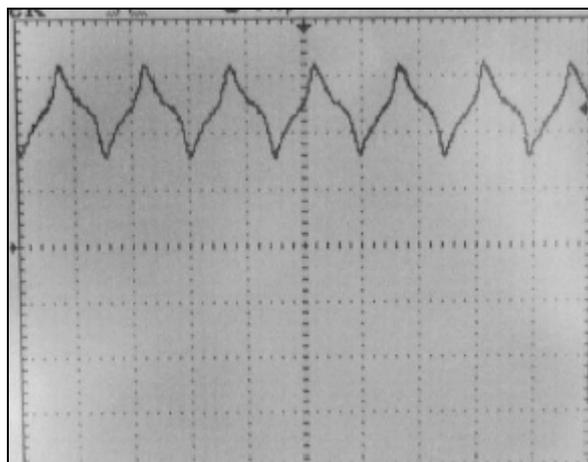
La Fig.0.1.1 muestra el patrón geométrico del inversor básico para desarrollar diseño digital con alineación horizontal. Esta celda conduce una corriente  $I_{BIAS}$ , sin embargo, cuando se requiere un mayor manejo de corriente, el diseño de la celda permite la conexión fácil de celdas idénticas y obtener una corriente  $mI_{BIAS}$ , donde  $m$  representa el número de celdas conectadas en paralelo. Por ejemplo, si se consideran las celdas mostradas en la Fig. 0.1.1 y se hace un acercamiento entre ellas, se puede ver que estas se conectan directamente mediante líneas de polisilicio y de metal. Por lo tanto, no es necesario generar un contacto adicional entre celdas. Este procedimiento también ocurre en las líneas a través de las cuales se alimenta cada una de las celdas.



**Fig.:0.1.1 Inversor CMOS sin conexión a subtrato (a). Cuando el contacto a subtrato es incluido se minimizan los efectos parásitos (b)**

## 0.2.- Manejo de cargas capacitivas grandes

La respuesta experimental presenta tiempos de carga y descarga grandes, de manera que es fundamental considerar un circuito que permita la recuperación de  $\Phi$  sin que ello implique un consumo importante de potencia. Los efectos capacitivos que dieron lugar a la señal mostrada en la Fig. 0.2.1 pueden ser atribuidos a una carga equivalente  $CL$ , por lo tanto, si esta es de un gran valor es fundamental que la señal  $\Phi$  sea capaz de cargar dicha capacitancia, en un tiempo  $\Delta t$ , al menos al 95% del valor de  $VDD$ . A ese potencial se le denotara simplemente  $\Delta V$ . La solución natural a ese requerimiento es un circuito compuesto de dos inversores conectados en serie.



**Fig.:0.2.1. Respuesta de un OA compuesto por 21 inversores**

En diseño de sistemas digitales, los circuitos responsables del manejo de cargas capacitivas grandes se les denomina *buffer*. Este circuito es sencillo y no contribuye al consumo de potencia, excepto la debida a la corriente de corto-circuito  $I_{meas}$ . Sin embargo, esta solución es aplicable sólo si el manejo de una carga capacitiva grande no requiere de una operación a alta frecuencia, ya que la respuesta

del circuito sería en consecuencia lenta. Por lo tanto, para mejorar el desempeño del *buffer* es recomendable incrementar el número de inversores. En la práctica, la cantidad necesaria de inversores se obtiene al minimizar el retardo de la señal generado por la carga  $C_L$ , el cual está dado por

$$t_D = C_L \cdot \frac{\Delta V}{I_{meas}}. \quad (0.1)$$

De (1) se puede concluir que incrementando  $I_{meas}$  el retardo se minimiza, equivalentemente el mismo efecto ocurre aumentando la geometría de los transistores del inversor. Aún mas, existe un procedimiento en el que aumentando gradualmente la geometría de cada uno de los inversores, el último es de tal dimensión que tiene la capacidad de manejar grandes cargas capacitivas, con una característica adicional: su retardo sería el dominante en toda la cadena de inversores que componen al *buffer*. Por lo tanto, para el manejo de  $C_L$  ¿cuántos inversores deben ser dimensionados de modo que el retardo  $t_D$  sea mínimo?

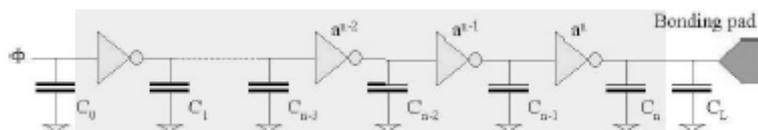
### 0.3.- Diseño del buffer simple

Suponer que se tiene una cadena de  $n$  inversores conectados en serie escalados por un parámetro  $a$  que permite minimizar  $t_D$ . Este *buffer*, mostrado en la Fig. 0.3.1, presenta una capacitancia  $C_k$  (donde  $k=1, 2, \dots, n$ ) que es el resultado de varias contribuciones. Una de ellas es la capacitancia debida a los drenajes de los transistores que forman el inversor, es decir, es una capacitancia de *salida*. Mientras que otra contribución es originada por la conexión de compuerta de ambos transistores a un nodo común, en otras palabras, es la capacitancia de *entrada* del siguiente inversor ( $C_{k+1}$ ). Por lo tanto, la capacitancia de drenaje y compuerta del  $k$ -ésimo inversor pueden definirse por  $a^k C_g$  y  $a^k C_d$ , respectivamente. En consecuencia, es fácil mostrar que  $C_k = a^k C_d + a^k C_g$ . De acuerdo a este procedimiento la capacitancia de carga estará dada por

$$C_L = a^{n+1} \cdot C_g. \quad (0.2)$$

Luego, si se requiere que el retardo de cada inversor sea de igual magnitud, el retardo total puede representarse mediante el siguiente modelo

$$t_{total} = (n + 1) \cdot t_D \cdot \frac{C_d + a \cdot C_g}{C_d + C_g}. \quad (0.3)$$



**Fig.-0.3.1. Un buffer consiste en una cadena de inversores donde  $C_1 = C_d + aC_g, C_2 = a(C_d + aC_g), C_3 = a^2(C_d + aC_g)$  y así sucesivamente**

Para determinar el valor necesario de inversores es condición suficiente despejar ese parámetro de (0.2). Si bien es cierto que ese resultado es función únicamente de  $a$ , también es cierto que al sustituirlo en (0.3) resulta una expresión para  $t_{total}$ , la cual deberá ser minimizada ( $dt_{total}/da=0$ ) y de ese procedimiento se obtiene el valor optimo de  $a$  y en consecuencia el correspondiente a  $n$ . La ecuación resultante está dada por

$$a \cdot [\ln(a) - 1] = \frac{C_d}{C_g}$$

(0.4)

Un caso especial resulta cuando se satisface la relación  $C_d \ll C_g$ , con lo cual el resultado es  $a=e=2.718$ . Considerando el diseño de inversor mostrado anteriormente, se tiene una razón capacitiva de  $319 \times 10^{-3}$ , con lo cual el factor de escalamiento es el mencionado mas arriba. A manera de ejemplo, suponer que para una carga particular  $C_L$  la cantidad de inversores del *buffer* requerido es  $n=2$ . Independientemente de la geometría del primer inversor, el segundo tendrá una geometría 2.718 más grande que el primero, es decir, si el ancho del transistor NMOS del primer inversor es  $W1$ , el ancho del transistor NMOS del segundo inversor será necesariamente  $W2=2.718W1$ . Si hubiera necesidad de un tercer inversor la geometría sería  $W3=(2.718)2W1=7.387W1$ . Como se puede observar, no resulta práctico diseñar cada uno de los inversores del *buffer*, sobre todo cuando el número de inversores es muy alto. Por lo tanto, si el primer inversor es la celda básica mostrada en la Fig.0.1.1, el segundo pudiera ser el formado por la conexión en paralelo de 3 celdas básicas, mientras que el tercer inversor puede ser la conexión en paralelo de 7 u 8 celdas. Es decir, a partir de una sola celda es posible diseñar el *buffer* requerido.

$C_L$ (pF)	n	Inverters
1-2	2	12
3-7	3	39
8-19	4	120
20	5	363

**TABLA 0.3.1. Numero de inversores y celdas básicas para manejar una carga  $C_L$**

La Tabla 0.3.1 muestra la cantidad de inversores escalados necesarios para manejar una carga  $CL$ , e indica la cantidad de celdas básicas para su implementación. Los datos que se proporcionan son para la celda básica mostrada en la Fig. 0.1.1 y para la tecnología descrita.

## 1.- OBJETIVO

Un oscilador controlado por voltaje (VCO), es uno de los bloques básicos más importantes en los circuitos analógicos y digitales, por ejemplo en los circuitos PLL y en los generadores de señales de reloj.

Hay muchas formas de implementar los circuitos basados en VCO,s. Uno de ellos es el circuito en anillo VCO, usado comúnmente como generador de reloj.

Este Trabajo Fin de Máster, tiene como Objetivo analizar el circuito VCO con transistores QFG y compararlo con otros circuitos VCO no programables, programables con *istarved* y programables con transistores FG.

**Los circuitos de QFG son circuitos wide-band sin la degradación del GB, efectos que se asociaron a las técnicas de FG. Estos circuitos se basan en transistores con sus terminales de la puerta conectados muy "débil" con uno de los railes de la energía a través de una resistencia de valor muy grande. Este resistencia fija el punto de funcionamiento de la C.C. del terminal de la puerta de entrada en los transistores MOS a uno de los railes de la energía. Este punto de funcionamiento reduce al mínimo los requisitos de la fuente del circuito. Las resistencias de valores muy grandes permiten que los terminales de la puerta se realicen como (casi) terminales flotantes para las frecuencias de la señal de sólo 0.02 hertzios hasta las frecuencias en la gama de gigahertz. Los circuitos QFG pueden funcionar con voltajes de fuente cerca del voltaje umbral de un transistor.**

En primer lugar vamos a analizar en teoría el cto The Current-Starved VCO que nos servirá de base para implementarlo en CADENCE con distintas opciones de configuración en cuanto al número de etapas inversoras y posteriormente realizar las pruebas variando tanto la corriente como la tensión en este último caso utilizando transistores de puerta flotante FG y QFG lo que nos añade dos grados más de libertad ( $v_p$  y  $v_n$ ) para poder variar la frecuencia de oscilación y caracterizar el cto.

La Fig. 1.1 muestra un Oscilador en Anillo con control de la frecuencia de oscilación (cto The current-Starved VCO). Los transistores M2 y M3 forman el inversor básico, mientras que M1 y M4 operan como fuentes de corriente. Estos últimos controlan la

corriente que fluye por el inversor, con lo cual este se ve forzado a operar con ese flujo de corriente. Estrictamente hablando, controlar el flujo de corriente representa tener control de los tiempos de carga y descarga o, lo que es lo mismo, tener control de la frecuencia de oscilación,  $f_{osc}$ .

El transistor M5 es una fuente de corriente controlada por el voltaje  $V_{inVCO}$ . La corriente que fluye por M6 es reflejada por M4, ya que ellos constituyen un espejo de corriente básico. Como es de suponer, la rama de corriente M1-M4 es un inversor controlado por corriente y este es el arreglo que se dispone en serie tantas veces como sea necesario para formar el lazo de oscilación.

En este modelo se asume que M5 opera en su región de saturación, con lo que el OA abandonara su estado de oscilación para voltajes de control dados por  $(V_{inVCO} - V_{TN} < V_{Dsat})$ , siendo  $V_{TN}$  y  $V_{Dsat}$  los voltajes de encendido y de saturación del transistor M5, respectivamente

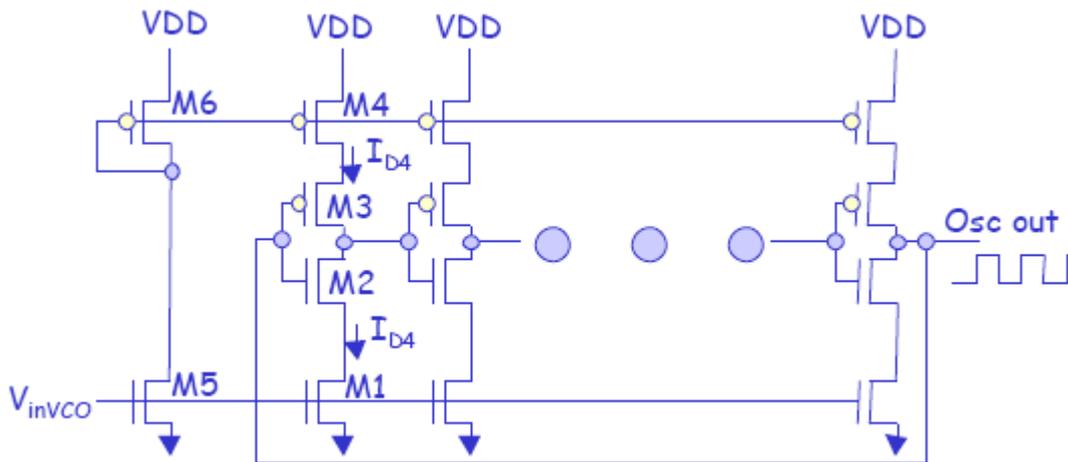


Fig.- 1.1.Current-Starved VCO

Para determinar las ecuaciones de diseño de este circuito, vamos a considerar el esquema simplificado de una de las ramas inversoras del circuito mostrado en la Fig.1.1

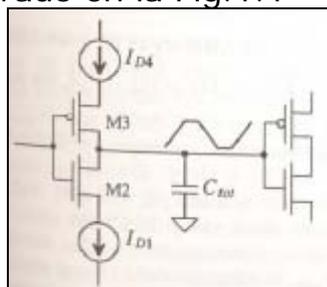


Fig.:1.2.- Vista simplificada de una rama del cto Current-Starved

La capacidad total entre los drenadores de M2 y M3 está dada por:

$$C_{tot} = C_{out} + C_{in} = C'_{ox}(W_p L_p + W_n L_n) + \frac{3}{2} C'_{ox}(W_p L_p + W_n L_n) \quad (1.1)$$

que puede ser simplificada a

$$C_{tot} = \frac{5}{2} C'_{ox}(W_p L_p + W_n L_n) \quad (1.2)$$

el tiempo que tarda en cargar  $C_{tot}$  desde cero hasta  $V_{SP}$  con la corriente constante por  $I_{D4}$  esta dado por

$$t_1 = C_{tot} \frac{V_{SP}}{I_{D4}} \quad (1.3)$$

mientras que el tiempo que tarda en descargar  $C_{tot}$  desde Vdd a  $V_{SP}$  esta dado por

$$t_2 = C_{tot} \frac{VDD - V_{SP}}{I_{D1}} \quad (1.4)$$

si hacemos  $I_{D4} = I_{D1} = I_D$  ( lo cual podemos poner  $I_{Dcenter}$  cuando  $V_{inVCO} = VDD/2$  ), entonces la suma de t1 y t2 es

$$t_1 + t_2 = \frac{C_{tot} \cdot VDD}{I_D} \quad (1.5)$$

La frecuencia de oscilación para el circuito Current-Starved VCO para N (en número impar mayor o igual a 3), ramas de inversores es

$$f_{osc} = \frac{1}{N(t_1 + t_2)} = \frac{I_D}{N \cdot C_{tot} \cdot VDD} \quad (1.6)$$

lo cual es igual a

$$= f_{center} (\Theta V_{inVCO} = VDD/2 \text{ y } I_D = I_{Dcenter})$$

La ecuación (1.6) nos da la frecuencia centrada del Oscilador en anillo VCO cuando  $I_D = I_{Dcenter}$

El oscilador VCO deja de funcionar cuando  $V_{inVCO} < V_{THN}$ , lo que podemos definir

$$V_{min} = V_{THN} \text{ y } f_{min} = 0$$

La frecuencia máxima de oscilación esta determinada por  $I_D$  cuando  $V_{inVCO} = VDD$ , por lo tanto

$$V_{max} = VDD$$

La salida del cto current-starver de la fig.- 1.1 normalmente esta moderada a través de uno o dos inversores. Incluir una capacitancia de carga grande en la salida del oscilador controlado por voltaje significativamente puede afectar a la frecuencia de oscilación o aminorar la ganancia del oscilador lo suficiente como para perder la oscilación enteramente

La corriente media extraída por el VCO es:

$$I_{avg} = N \frac{VDD \cdot C_{tot}}{T} = N \cdot VDD \cdot C_{tot} \cdot f_{osc} \quad (1.7)$$

o

$$I_{avg} = I_D \quad (1.8)$$

La potencia media disipada por el VCO es

$$P_{avg} = VDD \cdot I_{avg} = VDD \cdot I_D \quad (1.9)$$

Si incluimos también la potencia disipada en el espejo de corriente formado por los transistores M5 y M6 la potencia es duplicada a la dada por la ecuación (1.9), asumiendo que  $I_D = I_{D5} = I_{D6}$ . Para potencias bajas de disipación debemos tener cuidado con una  $I_D$  baja lo cual es equivalente declarar que para una potencia baja de disipación debemos de usar una frecuencia baja de oscilación

## 2.- DIFERENTES TECNICAS DE ANALISIS

### 2.1.- Circuito ring VCO de tres etapas

Para el estudio partimos inicialmente de un circuito ring VCO de tres etapas inversoras con transistores MOS, programable en cuanto a la fuente de corriente Istarved

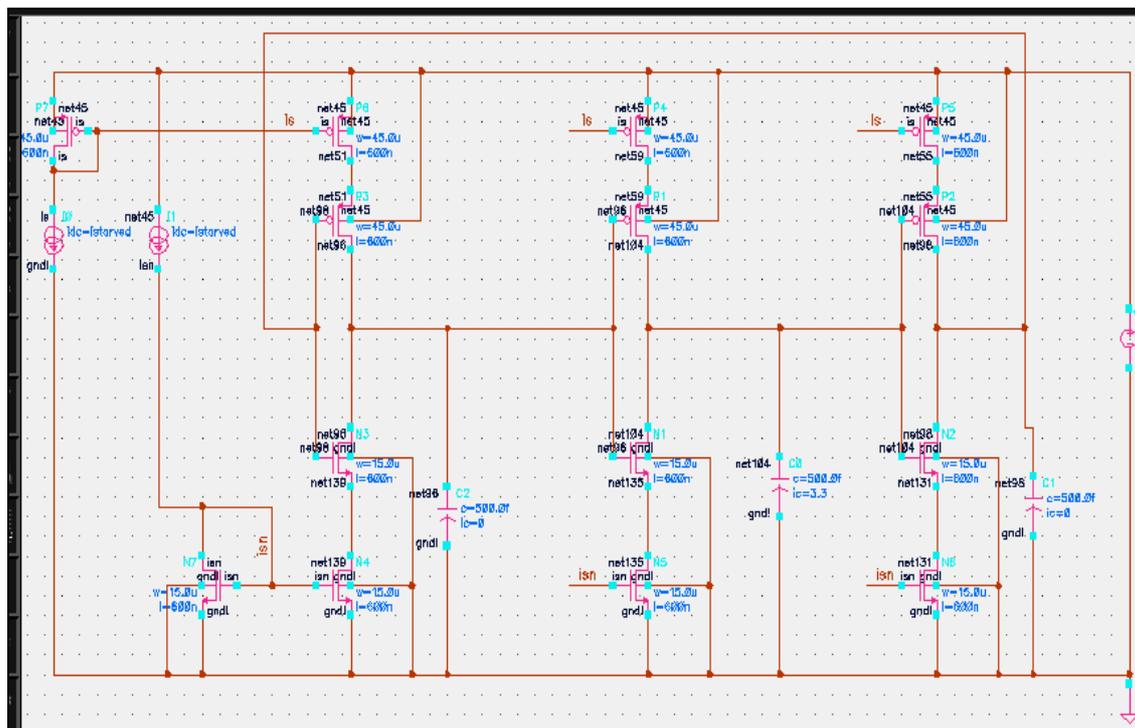


Fig.: 2.1.1 Circuito current-starved VCO de tres etapas

En el cto de la Fig.- 2.1.1 pueden apreciarse las tres etapas de inversores conectadas en anillo y los transistores añadidos tanto p como n en cada rama para programar la corriente Istarved. Los transistores p y n del principio del esquema son lo que forman el espejo de corriente

El análisis de cada uno de los circuitos que vamos a analizar lo realizamos en CADENCE, donde previamente hemos realizado el shematic de cada uno de ellos con la características de los transistores en cuanto a dimensiones estudiadas previamente para la salida que queremos obtener y de la tecnología AMI 0.5 $\eta$ m.

Para la simulación del circuito vamos a utilizar la opción Analog Artist de Cadence escogiendo un análisis transitorio en el eje de tiempos de 20n, y vamos a probar distintas respuestas a distintos valores de entrada de Istarved.

La variable Istarved la designamos en la opción Variables de Cadente dando un valor inicial de 10mA, así como en el shematic marcamos los puntos donde queremos ver la respuesta del circuito,

en nuestro caso marcados de "net96, net94, net104", que serán los Outputs de la opción Analog Artist de Cadente

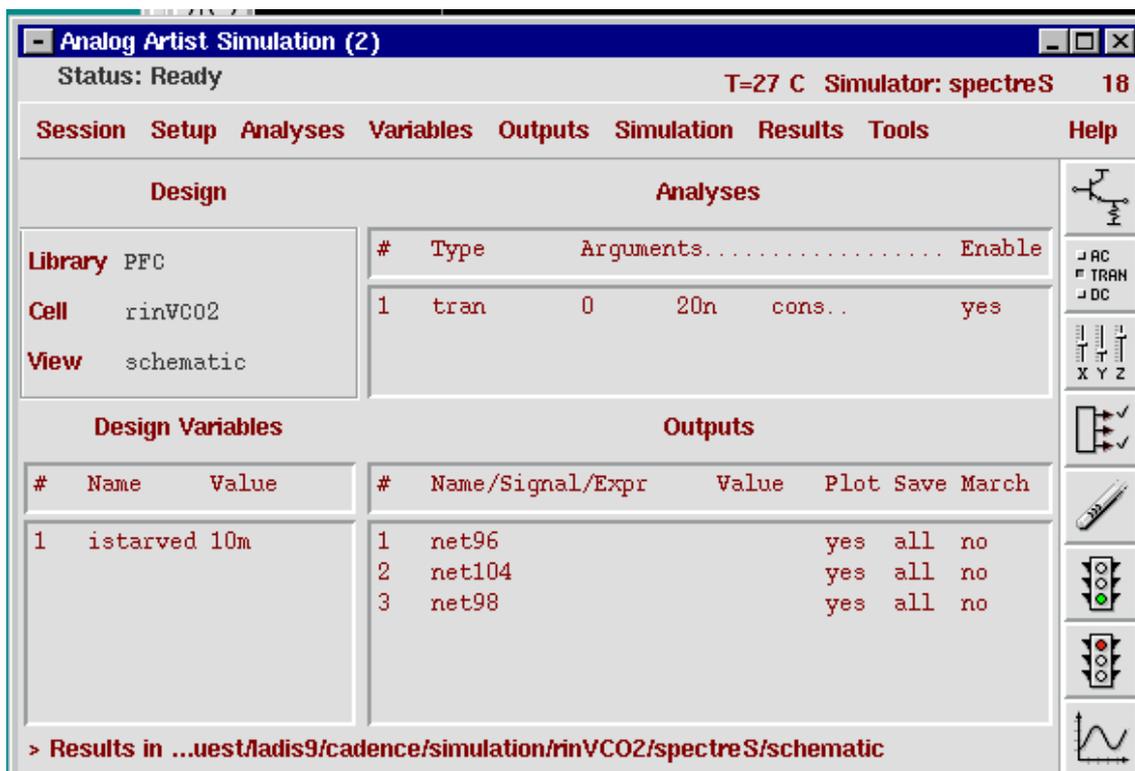


Fig.:2.1.2 Simulación del cto en CADENCE

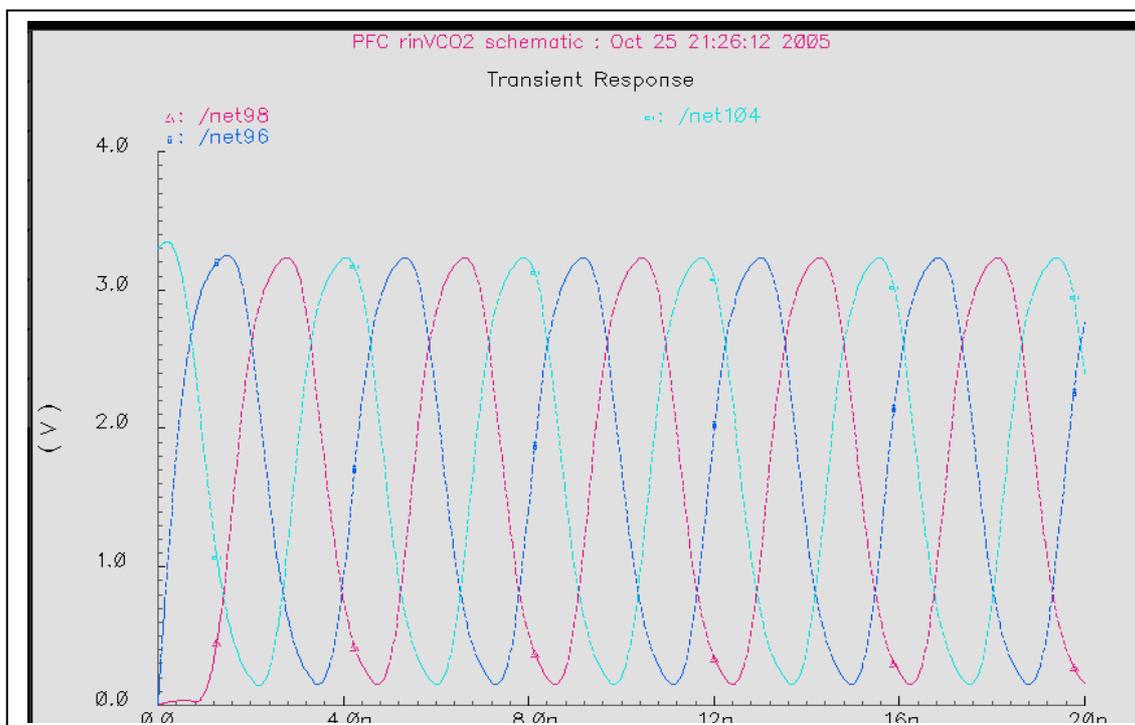


Fig.: 2.1.3 Salida oscilador con Istarved=10mA

Las salidas net98 salida última etapa inversora, net96 salida primera etapa inversora, net104 salida etapa central. Puede apreciarse como para  $t=0$  la salida de la primera etapa net96 es cero

voltios mientras que la salida de la etapa intermedia net104 es 3,3v, cumpliendo así el funcionamiento del inversor.

La frecuencia del circuito varía desde casi 1uA hasta 10mA a partir de 10 mA no se nota el efecto porque esas corrientes provocan  $V_{gs}$  en los transistores mayores que  $V_{DD}$ . Como eso no es posible, la  $g_m$  de los transistores no aumenta, ni tampoco aumenta la frecuencia de oscilación.

Los transistores que no forman parte de las etapas inversoras, se añaden para programar la corriente. Esa corriente se programa en el espejo de corriente que genera el valor de tensión  $i_s$  e  $i_{sn}$  que es copiado a las puertas de los transistores que programan la fuente de corriente

## 2.2.- Caracterización del oscilador

- (1) Comparando la frecuencia de oscilación en función de la de un cto oscilador con Istarved y de otro sin Istarved
- (2) Comparando el comportamiento del oscilador con otros de:
  1. 5 etapas de inversores
  2. 7 etapas de inversores
  3. 9 etapas de inversores

## 2.3.- Circuito VC01 de tres etapas sin Istarved

En este circuito, hemos eliminado los transistores que programan la corriente Istarved

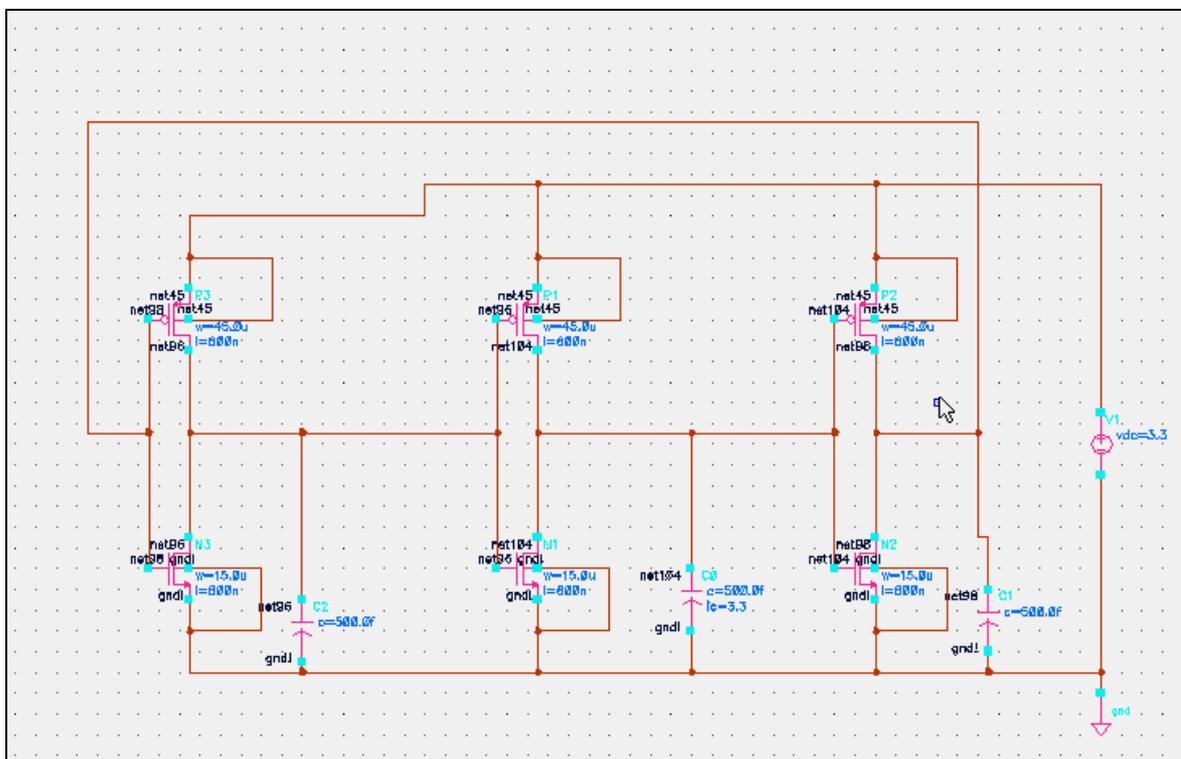
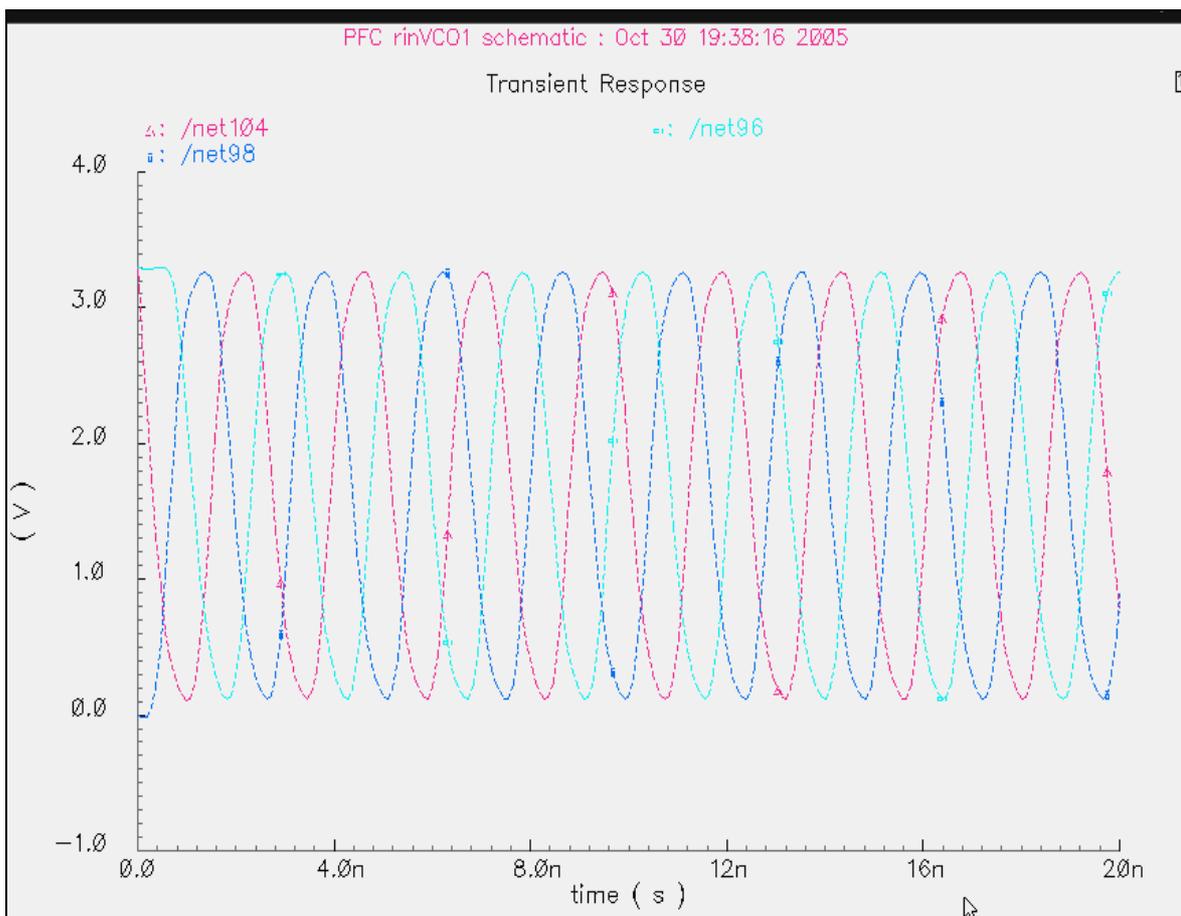


Fig.: 2.3.1 Circuito VC01 de tres etapas sin Istarved

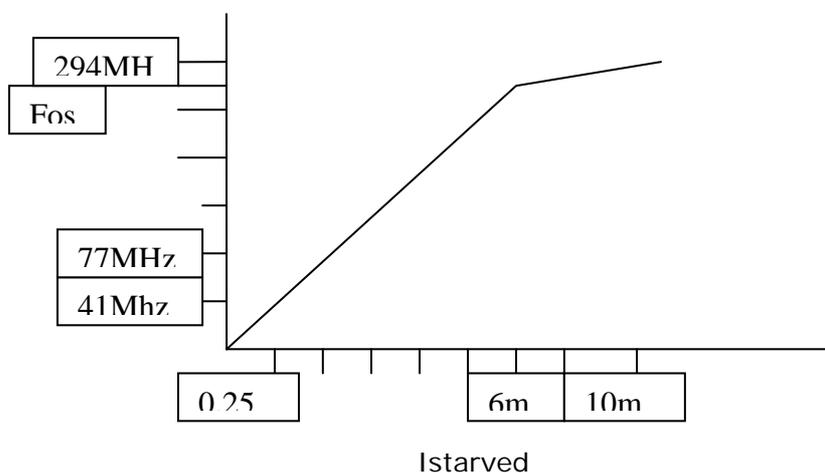


**Fig.: 2.3.2 Salida de circuito VC01**

Como podemos comprobar frecuencia de oscilación del cto sin Istarved es mayor que el circuito con Istarved en su máximo valor de 10mA

## 2.4.- Grafica del comportamiento del oscilador

Una grafica nos aclara más el funcionamiento del oscilador

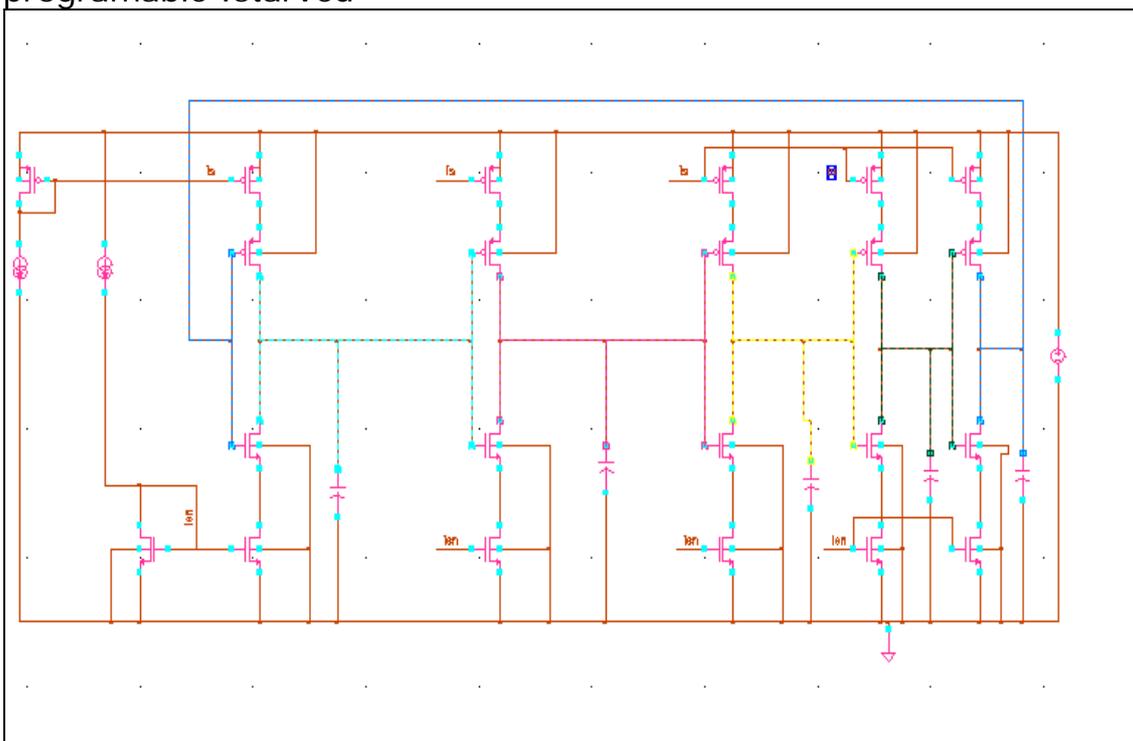


El comportamiento que presenta es prácticamente lineal hasta  $I_{starved}=4-5mA$ , . A partir de este valor hasta 10mA la FREC de oscilación se mantiene prácticamente cte entorno a los 290 MHz  
 Los valores caracterizados son:

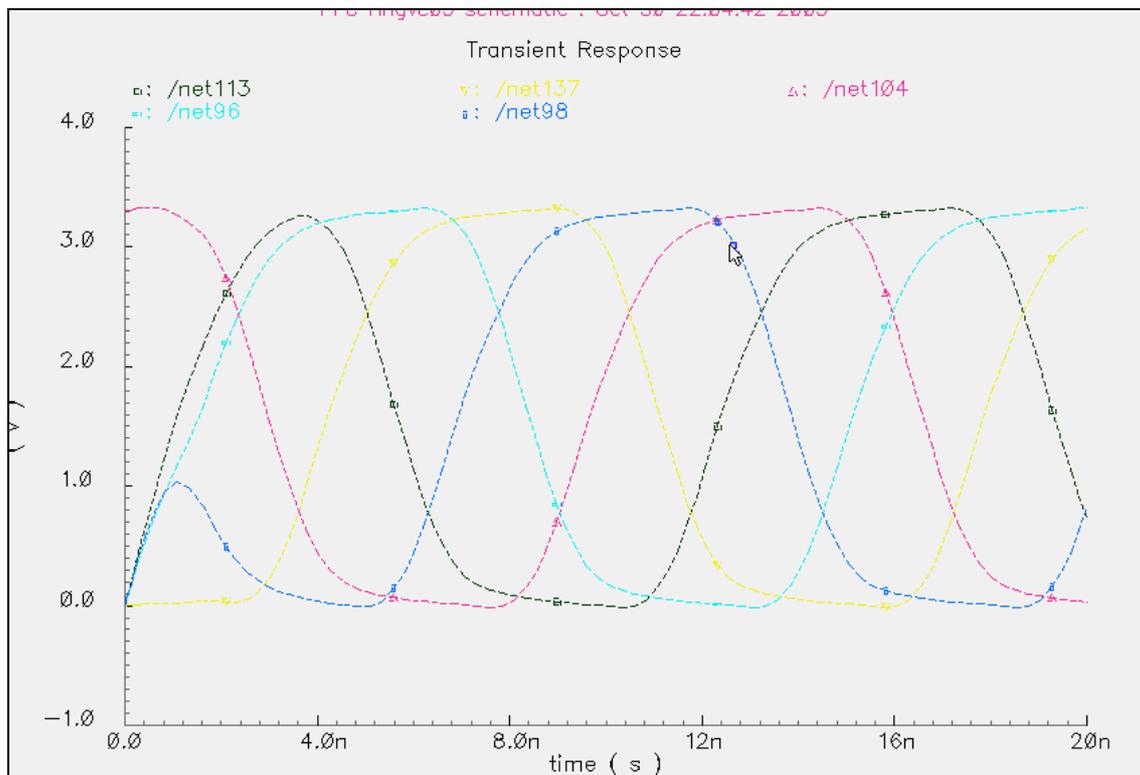
<b>Istarved</b>	<b>Foscilacion</b>
0.25mA	41MHz
0.5mA	77MHz
1mA	133 MHz
2mA	188MHz
4mA	250Mhz
6mA	277Mhz
8mA	285Mhz
10mA	290Mhz

### 3.1 Etapa de 5 inversores

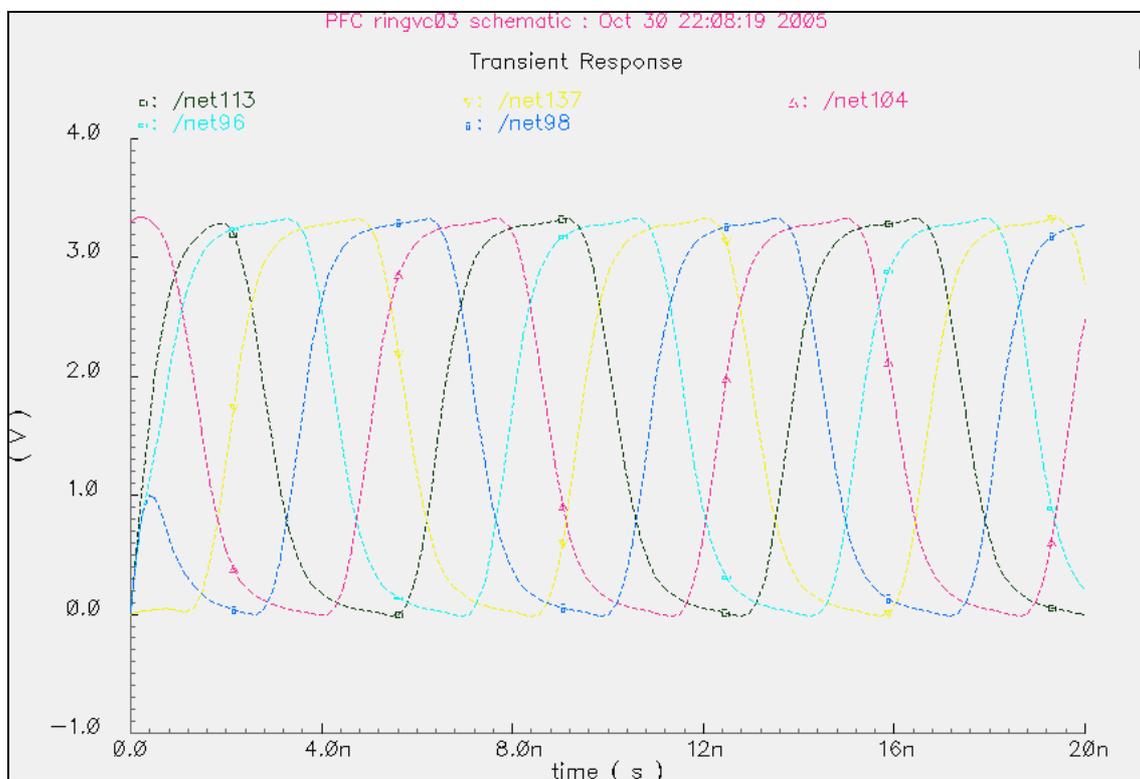
En el siguiente circuito de la Fig.:3.1.1, podemos apreciar que se han añadido dos etapas inversoras mas manteniendo la corriente programable  $I_{starved}$



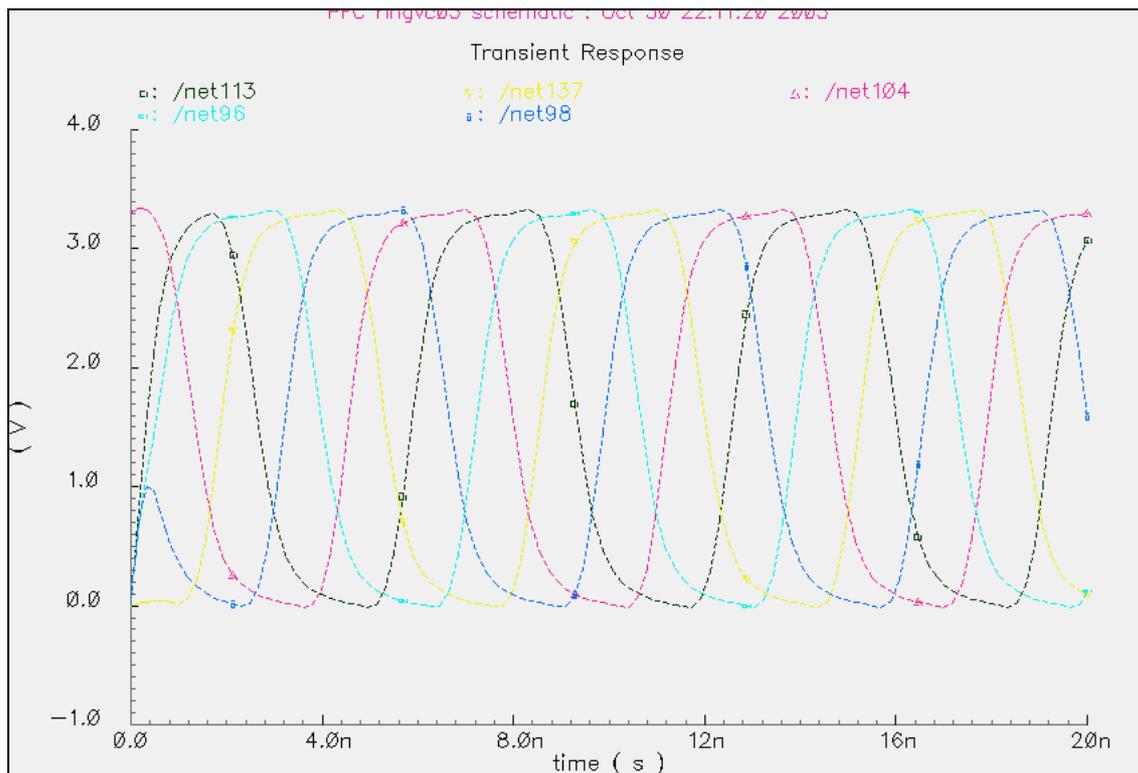
**Fig.:3.1.1 Etapa de 5 inversores**



**Fig.:3.1.2 Salida para Istarved=1mA**



**Fig.:3.1.3 Salida para Istarved=5mA**



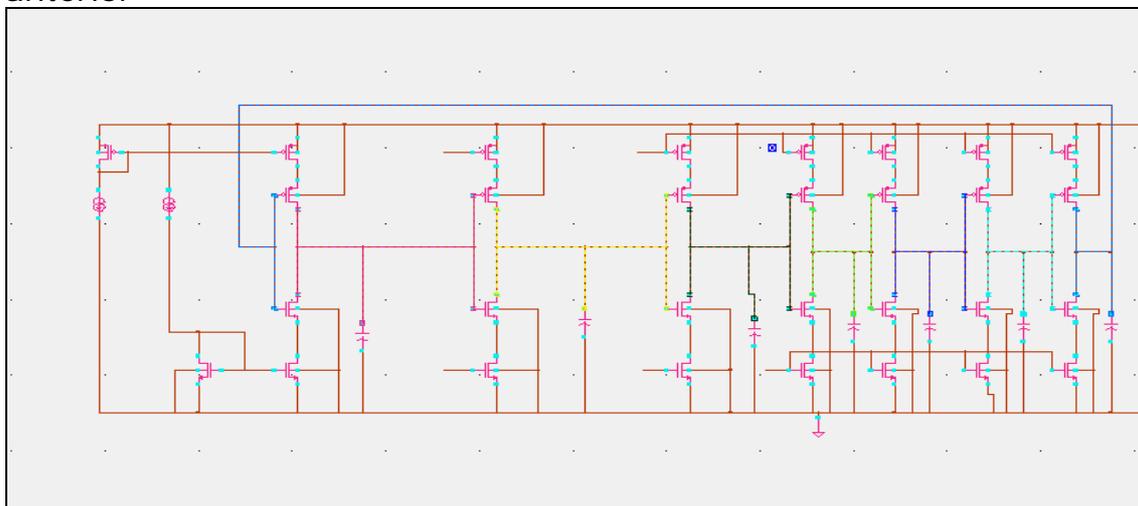
**Fig.:3.1.4 Salida para  $I_{starved}=10mA$**

Se observa que la frecuencia de oscilación ha disminuido de acuerdo y como era de esperar a la formula  $F_{oc} = G_m / 2NC_g(1 + G_mR_v)$ , siendo N el numero de etapas que en esta caso es 5

De igual forma debido el tiempo de retraso en las etapas la salida en la última etapa net98 no comienza de forma regular debido a las condiciones iniciales de los condensadores .

### 3.2.- Etapa de 7 Inversores

Añadimos dos etapas más de inversores al mismo circuito anterior



### Fig.:3.2.1 Etapa de 7 Inversores

Para  $I_{starved}=1mA$  (La salida de la última etapa es net298, salida primera etapa net96)

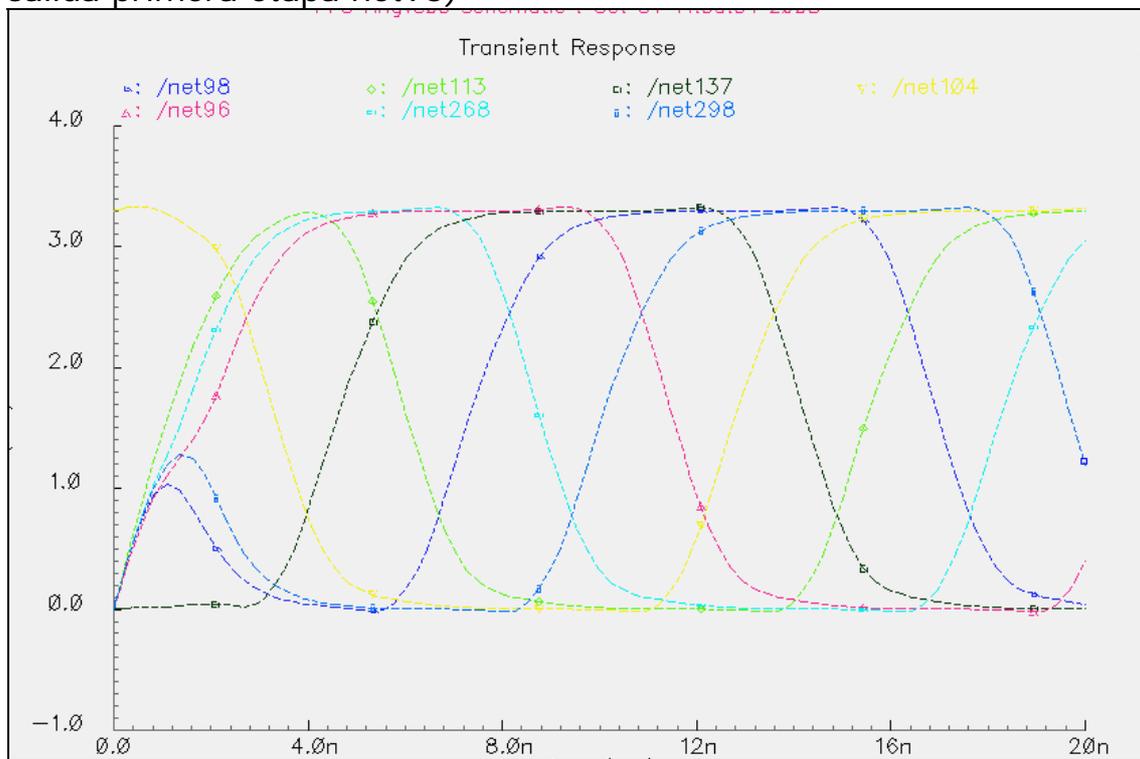


Fig.:3.2.2 Para  $I_{starved}=1mA$

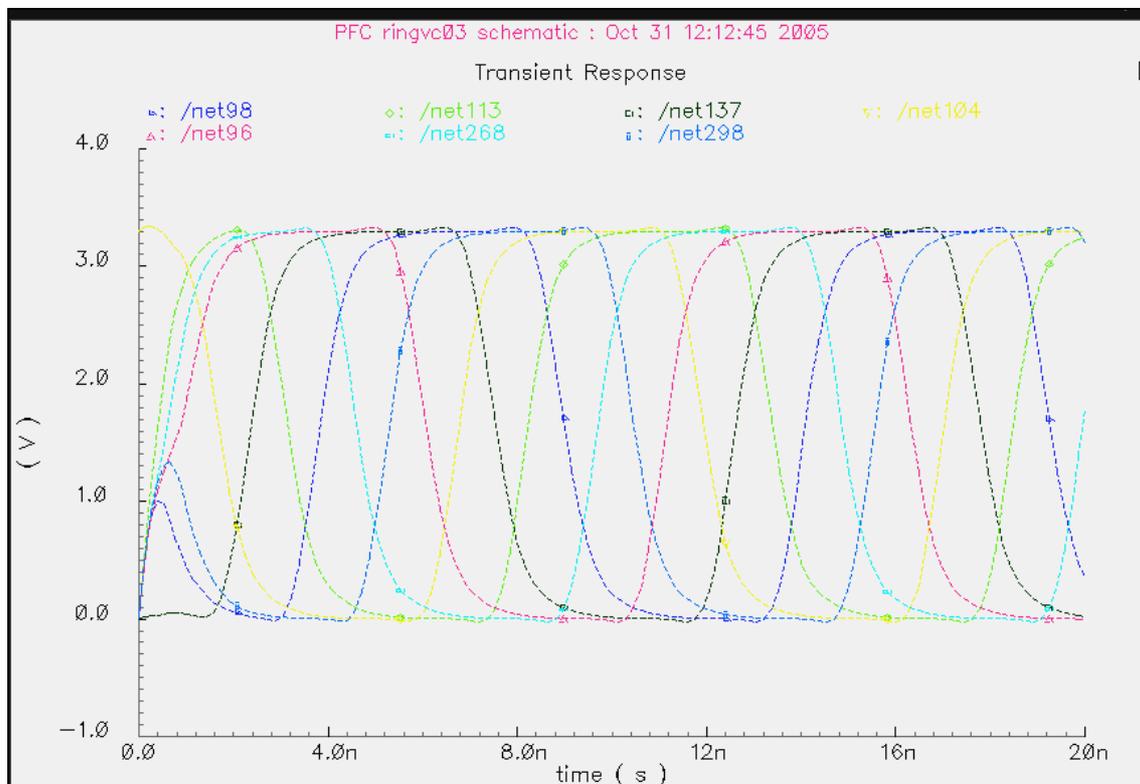


Fig.:3.2.3 Para  $I_{starved}=5mA$

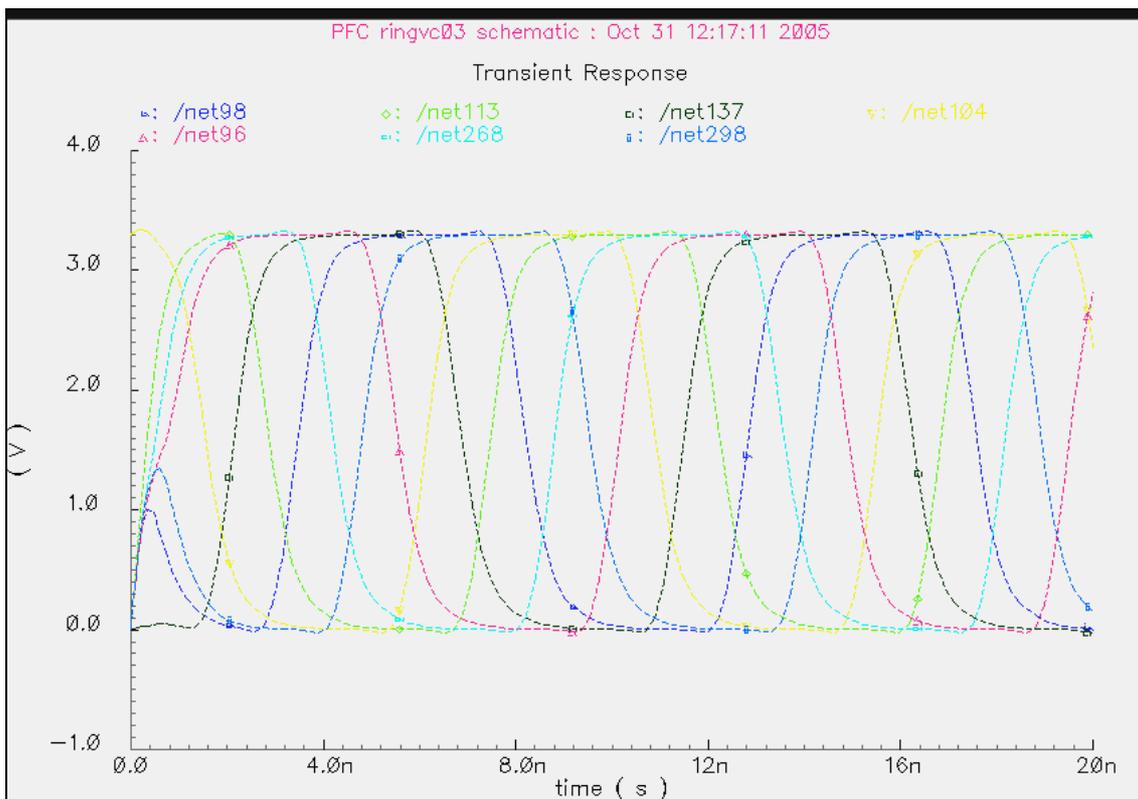
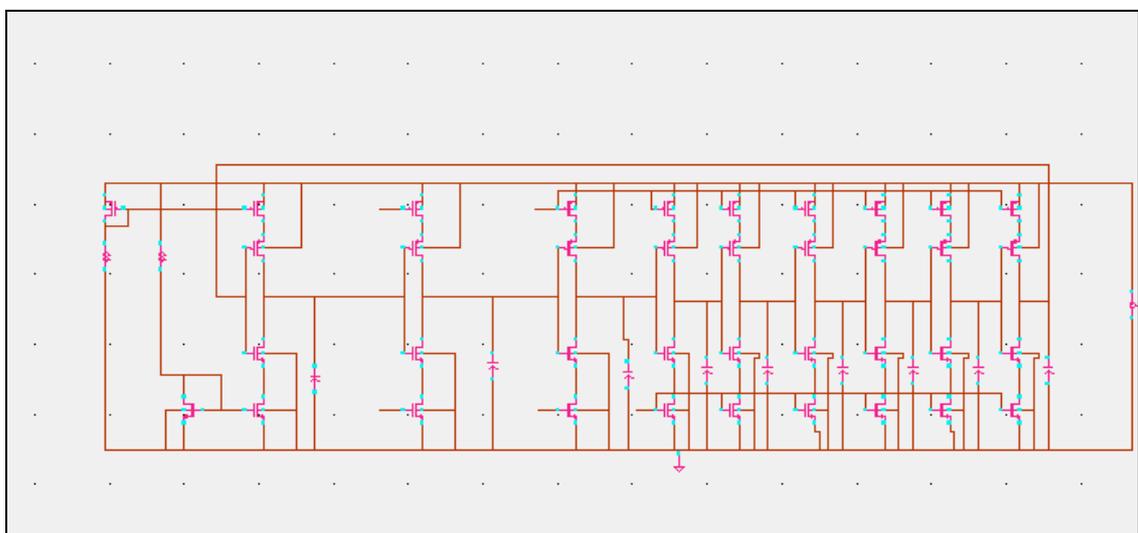


Fig.:3.2.4 Para Istarved=10mA

### 3.3.- Etapa de 9 inversores



Istarved=1mA (La salida de la última etapa es net251, entrada última etapa es net205, salida primera etapa es net96)

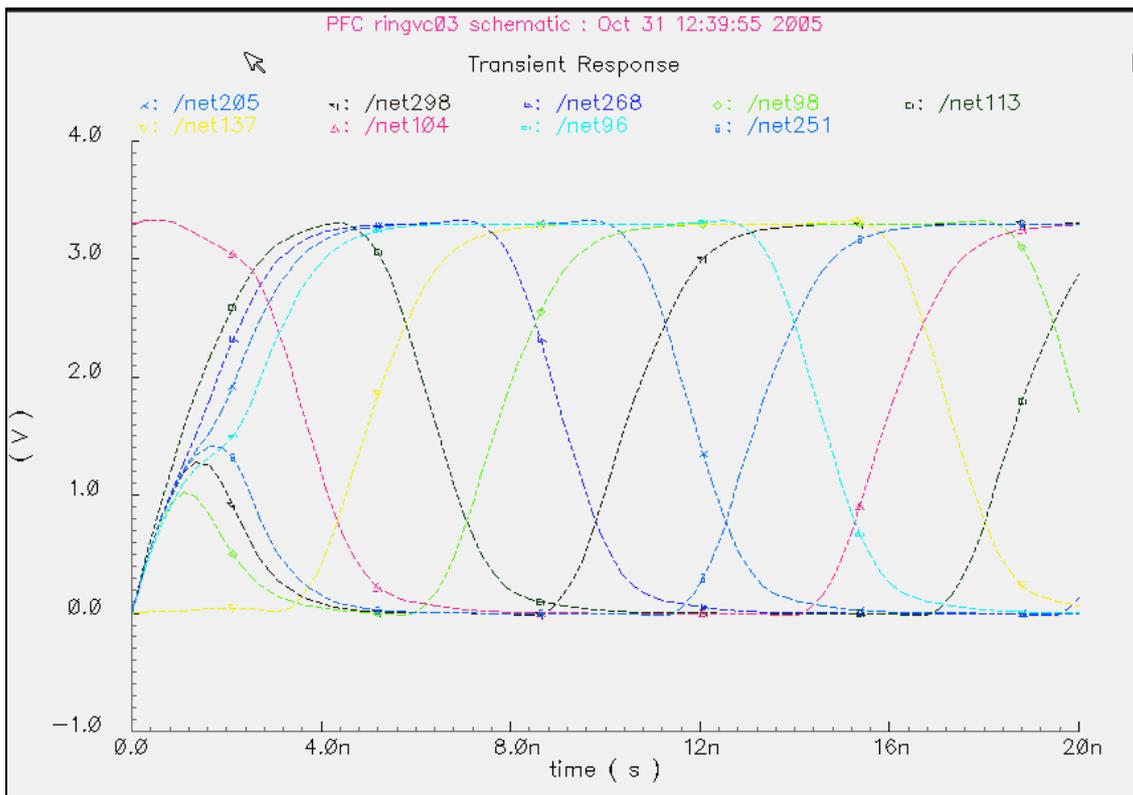


Fig.:3.3.1 Para Istarved=1mA

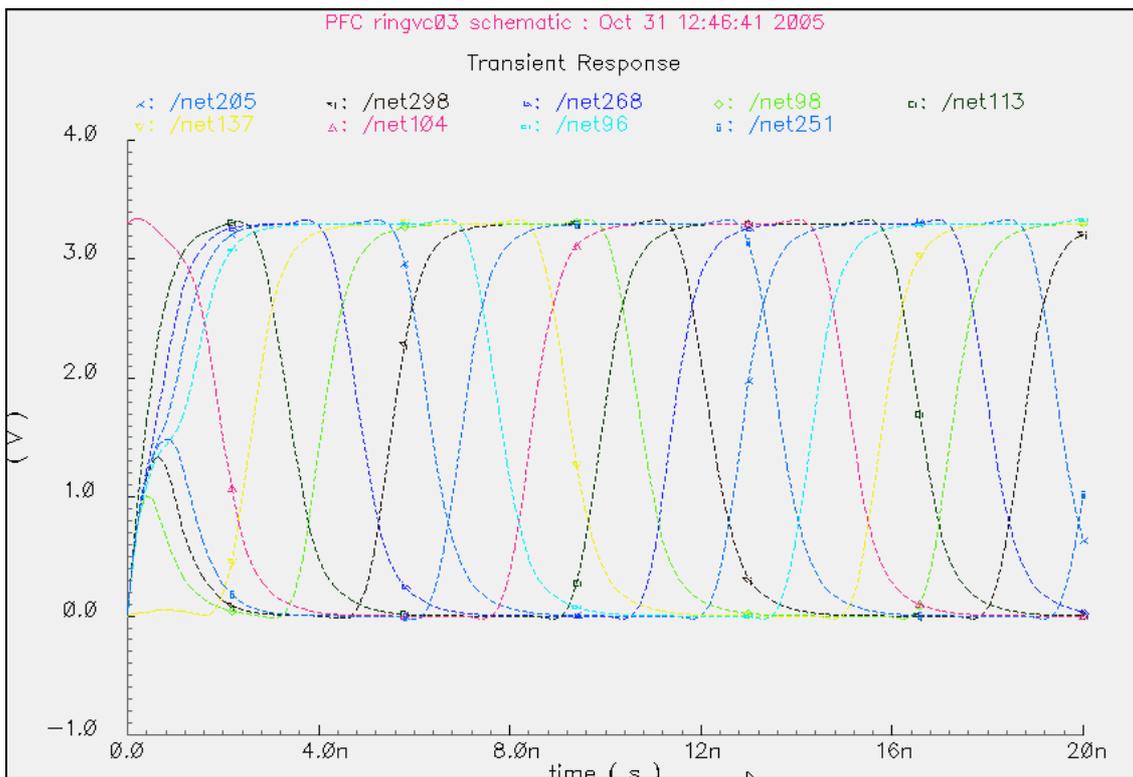
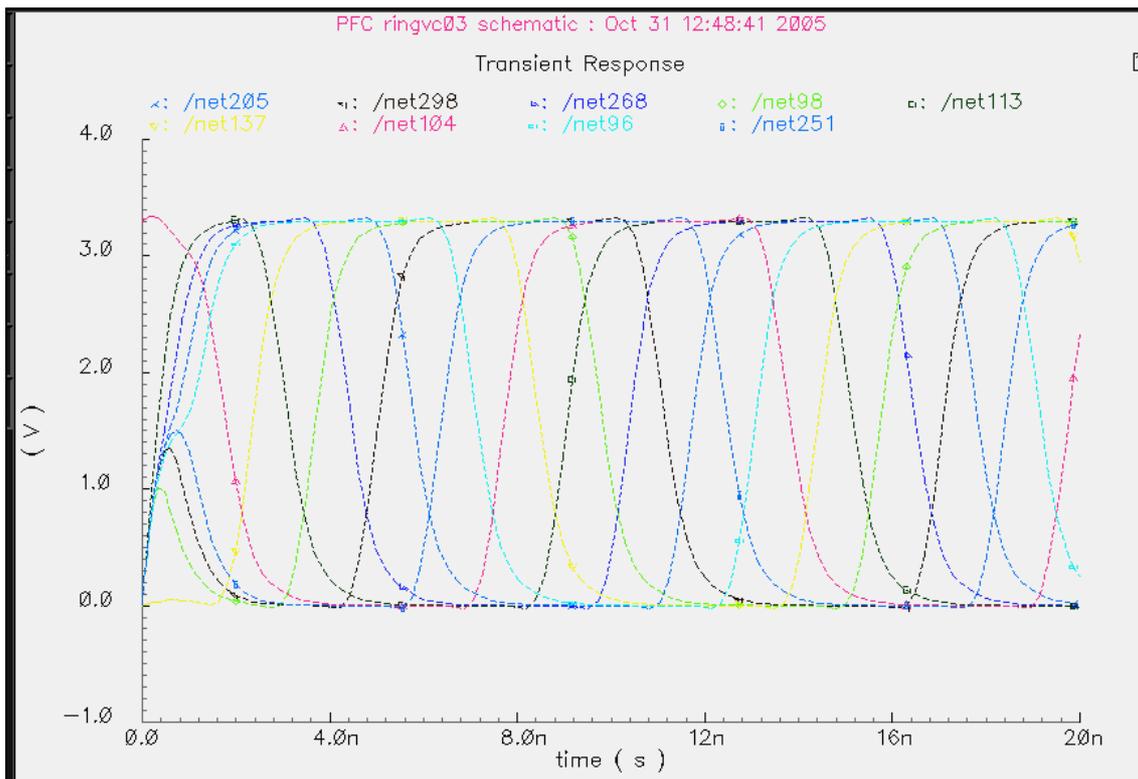
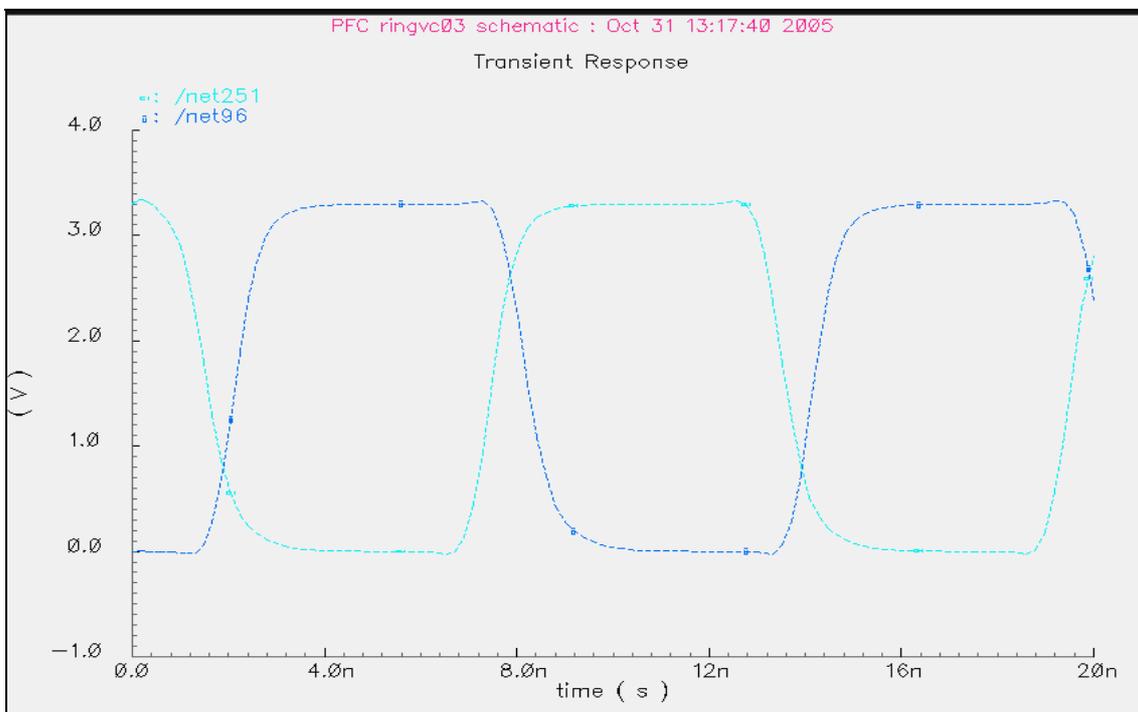


Fig.:3.3.2 Para Istarved=5mA



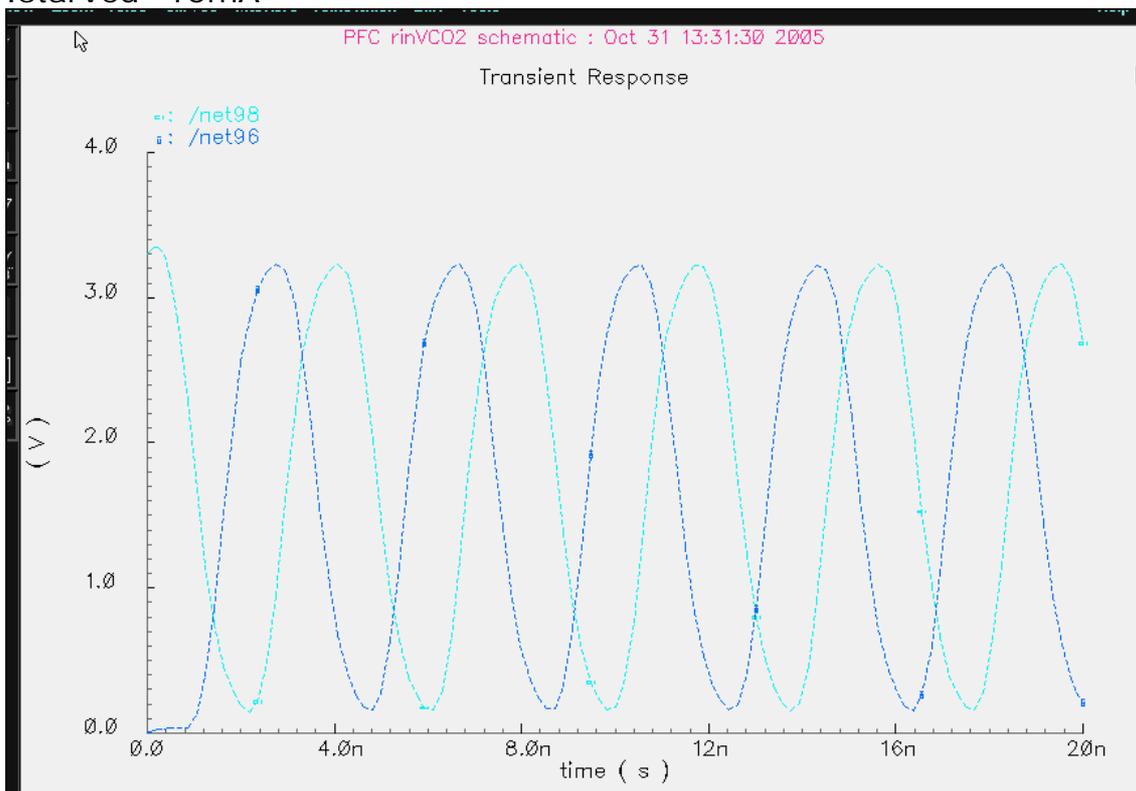
**Fig.3.3.3 Para Istarved=10mA**

Representamos a continuación la salida de la última etapa net 251 y la salida de la primera net96 etapa de 9 inversores. Istarved =10mA. El último condensador tiene condiciones iniciales 3.3v



**Fig.:3.3.4 Salida para Istarved = 10mA**

Vamos a compararlo con la etapa de 3 inversores e  $I_{starved}=10mA$



**Fig.:3.3.5 Salida de tres etapas de 3 inversores e  $I_{starved}=10mA$**

La salida de la última etapa es net98, la salida de la primera etapa es net96

Como se puede apreciar la frecuencia de oscilación ha disminuido en el de 9 etapas frente al de 3 considerablemente pero la forma de onda del de 9 etapas se asemeja más a la onda cuadrada de un inversor.

## **4.- ANALISIS Y SIMULACIONES CON TRANSISTORES DE PUERTA FLOTANTE (FG)**

### **4.1.- Introducción**

A continuación, vamos a realizar simulaciones análogas a las anteriores pero con transistores de puerta flotante (FG) y current starved (Istarved) con el objetivo de tener mayor grado de libertad.

El mayor grado de libertad, para variar la frecuencia de oscilación, lo vamos a conseguir manipulando  $v_n$  y  $v_p$  (tensiones que controlan la  $g_m$  de la transistores).

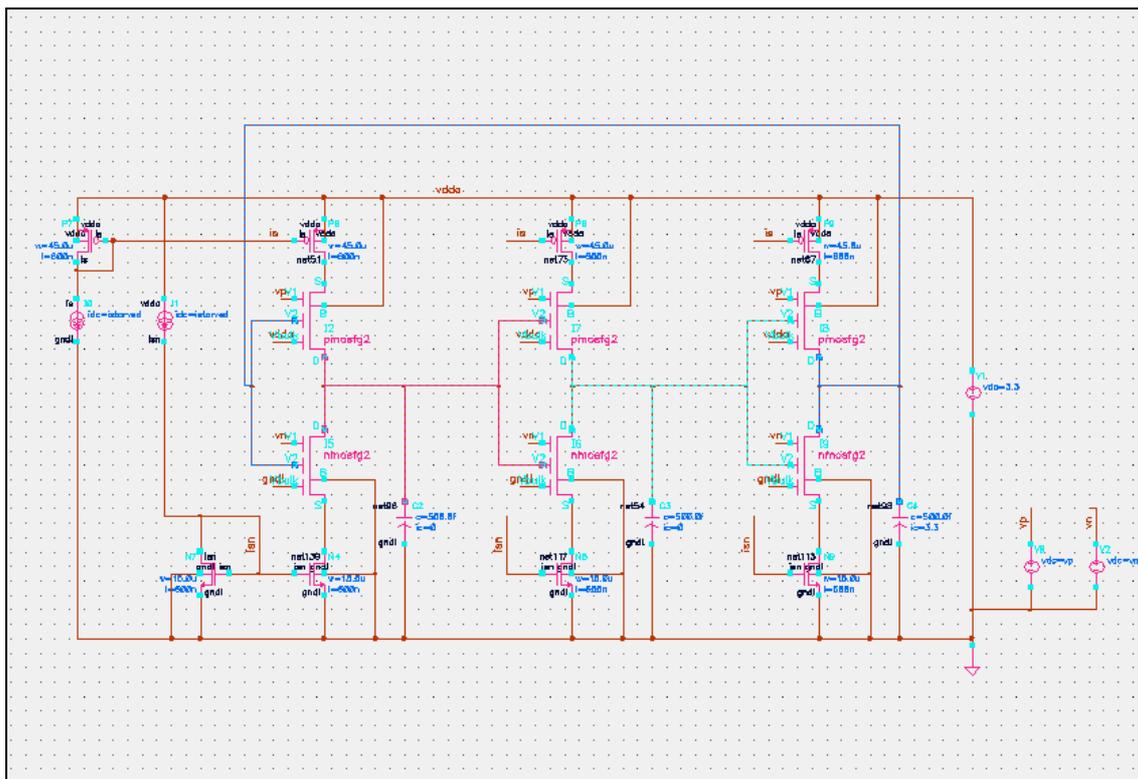
Vamos a analizar:

- (1) Rango de variación de  $v_n$  y  $v_p$  que hace variar la frecuencia para cada valor de Istarved
- (2) Rango de  $v_n$  y  $v_p$  para cada valor de Istarved la oscilación sale casi senoidal
- (3) Comprobación que para valores bajos de Istarved donde la frecuencia es pequeña la forma de onda sale muy digital

Las puertas flotantes de los transistores tienen dos entradas  $V_1$  y  $V_2$ . A cada una de ellas se le ha asociado una capacidad de 0.5p. El tercer Terminal Cbulk, simula las capacidades parasitas y debe de tener el 10% de la suma de las capacidades (en este caso 10% de  $0.5p+0.5p$ ), es decir, 0.1p. El Terminal Cbulk se conecta a tierra.

### **4.2.- Circuito ring VCO de tres etapas de inversores**

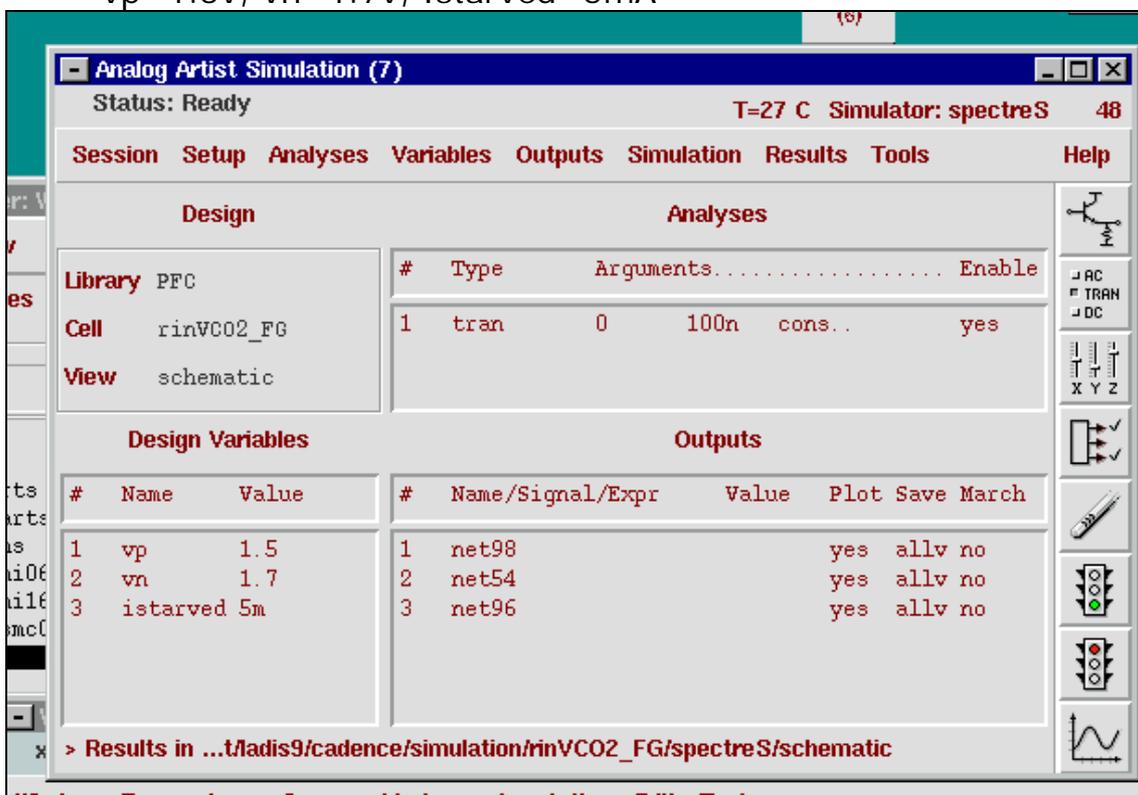
El circuito con el que vamos a realizar el estudio es de tres etapas inversoras con los transistores de puerta flotante (FG) y current starved ( Istarved) .Circuito VC02\_FG



**Fig.:4.2.1 Circuito ring VCO de tres etapas de inversores**

El análisis lo hacemos en CADENCE, designando las variables vp, vn e Istarved. Los valores iniciales que les vamos a asignar son:

- $vp=1.5v$ ,  $vn=1.7v$ ,  $Istarved=5mA$



**Fig.:4.2.2 El análisis lo hacemos en CADENCE**

Salida correspondiente a las condiciones anteriores del circuito  
 VC02\_FG

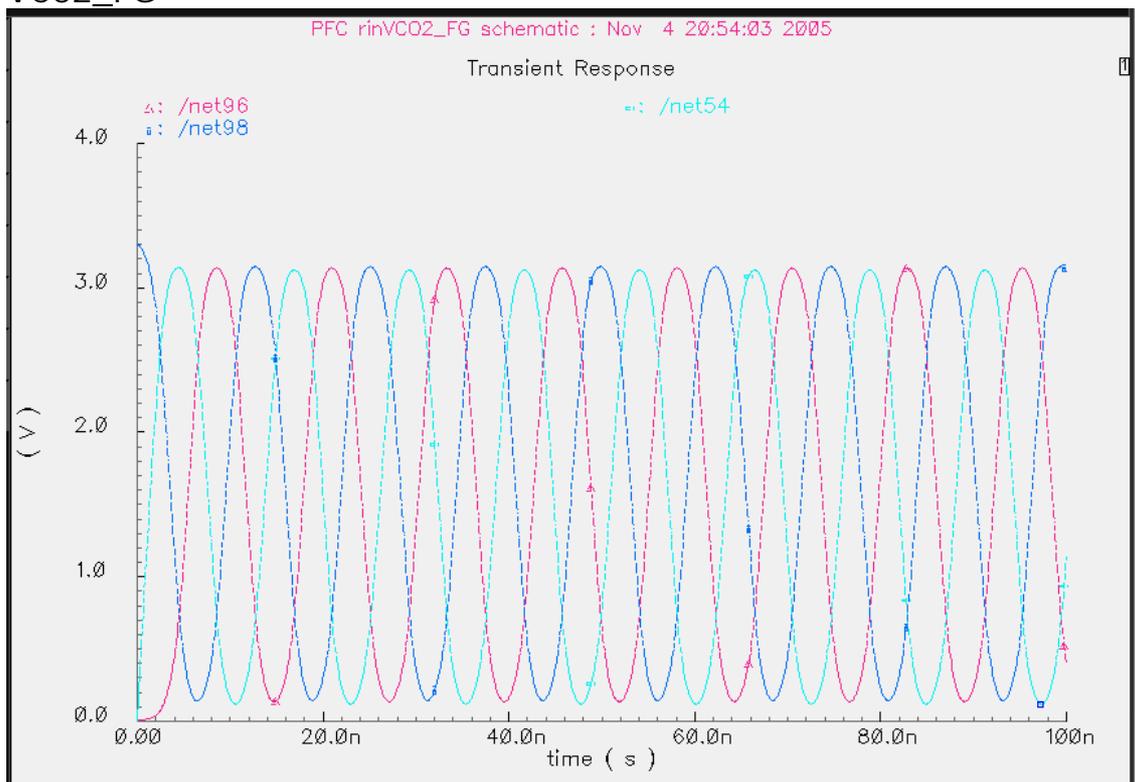


Fig.:4.2.3 Salida para  $v_p=1.5v$ ,  $v_n=1.7v$ ,  $I_{starved}=5mA$

Analog Artist Simulation (1)  
 Status: Ready T=27 C Simulator: spectreS 5

Session Setup Analyses Variables Outputs Simulation Results Tools Help

**Design**

Library PFC  
 Cell rinVC032\_FG  
 View schematic

**Analyses**

#	Type	Arguments.....	Enable
1	tran	0 20n	yes

**Design Variables**

#	Name	Value
1	vp	1.7
2	vn	1.5
3	istarved	2.5m

**Outputs**

#	Name/Signal/Expr	Value	Plot	Save	March
1	net98		yes	allv	no
2	net96		yes	allv	no
3	net54		yes	allv	no

> Results in .../adis9/cadence/simulation/rinVC032\_FG/spectreS/schematic

Fig.:4.2.4 Salida con  $V_p=1.7$ ,  $V_n=1.5$  y  $I_{starved}=2.5m$

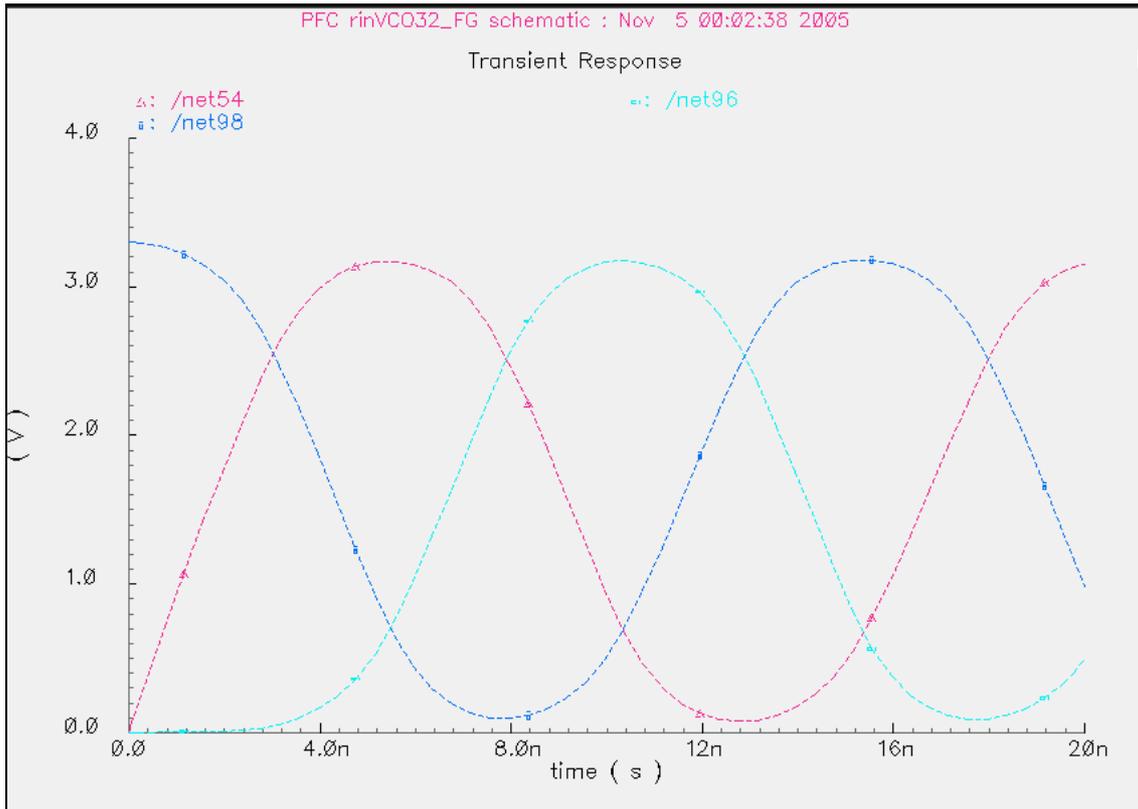


Fig.:4.2.5 Salida para el eje de tiempo de 0 a 20n

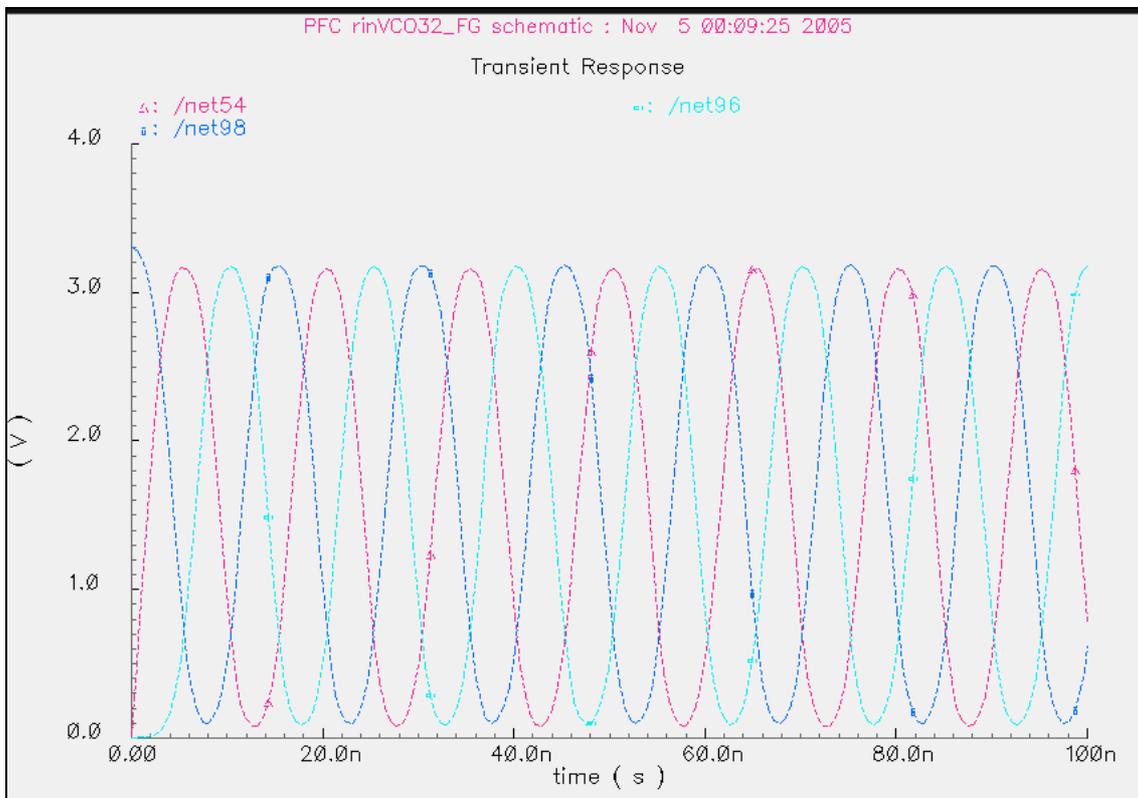


Fig.:4.2.6 Salida de 0 a 100n (net98:salida última etapa, net96:sal pri etapa, net54:sal etapa inter)

### 4.3.- Rango de Variación de vn y vp con la frecuencia

- (1) Rango de variación de vn y vp que hace variar la frecuencia para cada valor de Istarved

Tabla de valores de Vp, Vn y Istarved para tres etapas

VP	VN	Istarved	F.oscilacion
1.7	1.5	1m	50.42Mhz
		2.5m	68.83
		5m	75.21
		<b>10m</b>	<b>80.19</b>
		15m	82.19
		20m	84.16
		40m	83.65
1.5	1.7	1m	51.96
		2.5m	70.77
		5m	78.97
		<b>10m</b>	<b>86.32</b>
		15m	87.49
		20m	88.43
		40m	92.20Mhz

Podemos observar que para Istarved=10m (máxima frecuencia de oscilación), las tensiones en Vp y Vn tienen que ser 1.5 y 1.7 respectivamente para obtener mayor frecuencia de Oscilación

### 4.4.- Rango de variación de vn y vp con Istarved

(2) Rango de vn y vp para cada valor de Istarved la oscilación sale casi senoidal

Vamos a cambiar ahora el rango de Vp y Vn para cada valor de Istarved

Istarved	Vp	Vn	F.oscilacion
1m	0.5	0.7	48.47Mhz
	1	1.2	50.60
	1.3	1.5	50.95
	1.5	1.7	51.96

5m	0.5	0.7	76.65
	1	1.2	79.65
	1.3	1.5	79.24
	1.5	1.7	79.12
10m	0.5	0.7	83.89
	1	1.2	85.94
	1.3	1.5	85.92
	1.5	1.7	87.23
	<b>1.7</b>	<b>1.9</b>	<b>85.34</b>
	<b>1.9</b>	<b>2.1</b>	<b>84.33</b>

Igualmente variando ahora  $v_p$  y  $v_n$  manteniendo  $I_{starved}$  cte, podemos observar que para valores bajos de  $v_p$  y  $v_n$  las amplitudes de onda quedan muy cortadas respecto a  $3.3v$ , acortándose bastante la diferencia conforme  $v_n$  y  $v_p$  aumentan a los valores de  $V_p=1.5$  y  $V_n=1.7$ .

Las formas de onda son senoidales en toda la gama de valores tanto de  $I_{starved}$  como de  $V_p$  y  $V_n$ .

Con  $I_{starved}=10m$  subiendo la tensión en  $V_p$  mayor que 1.5 y en  $V_n$  mayor que 1.7, la frecuencia de oscilación baja, así como las amplitudes de la formas de onda ya no son simétricas como puede observarse en la siguiente grafica

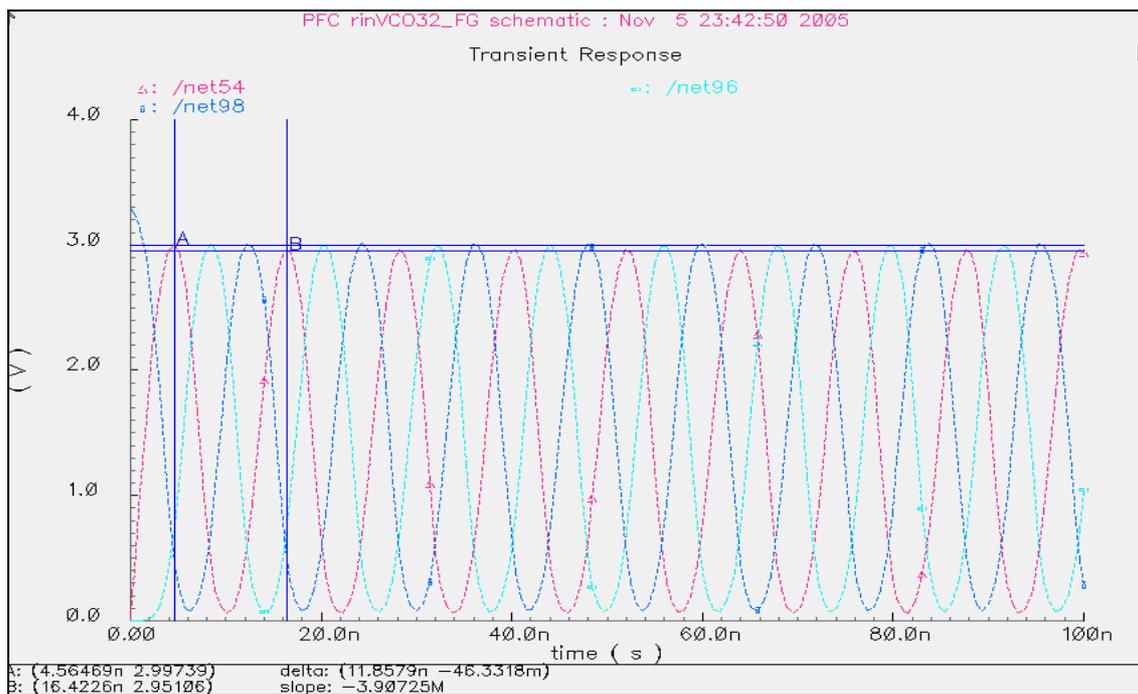


Fig.:4.4.1 Salida para  $V_p=1.9$  y  $V_n=2.1$  y  $I_{starved}=10m$  F.Oscil=84.33Mhz

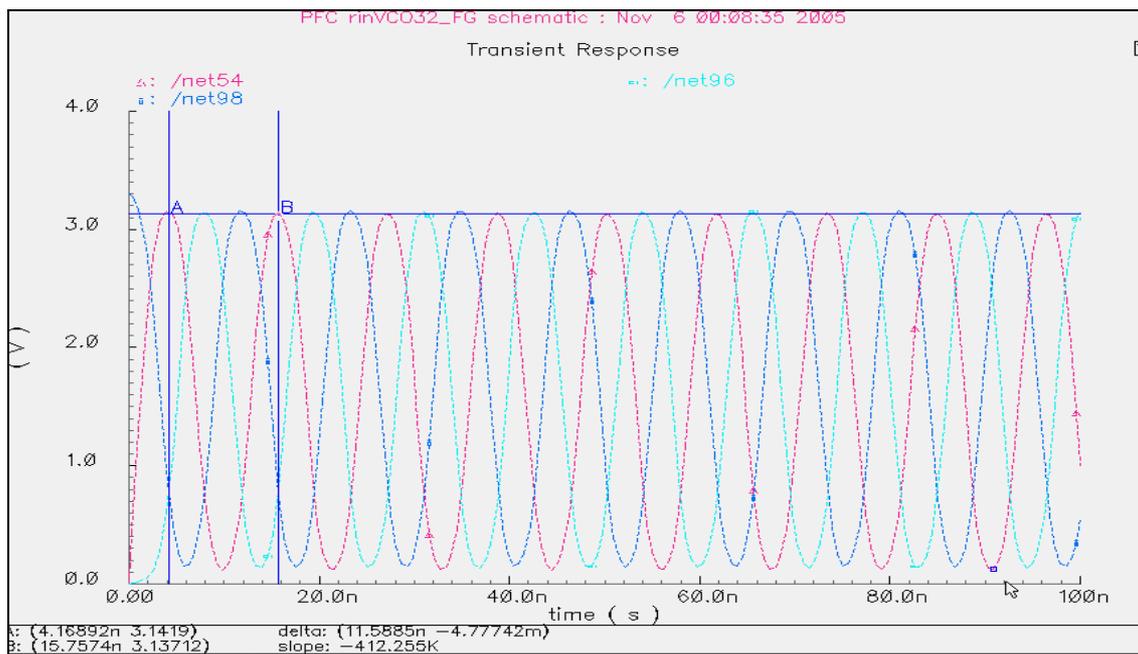


Fig.: 4.4.2 Salida para  $V_p=1.5$  ,  $V_n=1.7$  y  $I_{starved}=10m$  F.oscil=87.23Mhz

### 4.5.- Valores bajos de Istarved

Comprobación que para valores bajos de Istarved donde la frecuencia es pequeña la forma de onda sale muy digital

Veamos a continuación la salida de las formas de onda para valores muy bajos de Istarved, manteniendo  $V_p=1.5$  y  $V_n=1.7$

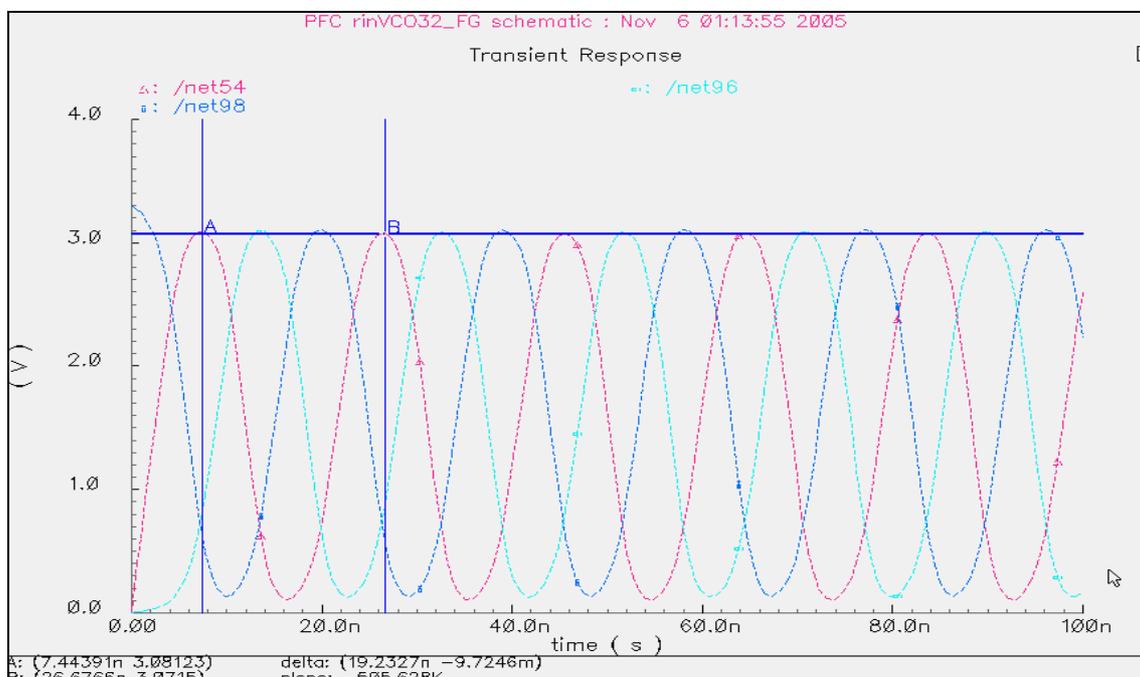


Fig.:4.5.1.- Para Istarved =1mA F.Oscilacion=51.96Mhz

Comparación Para 3etapas sin Tres FG

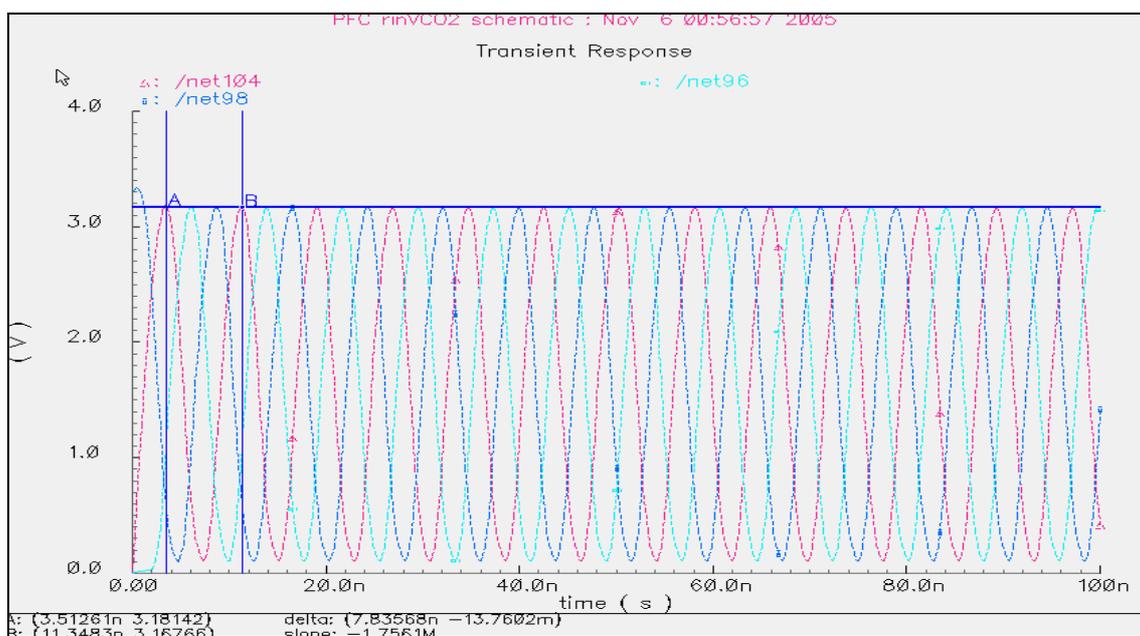
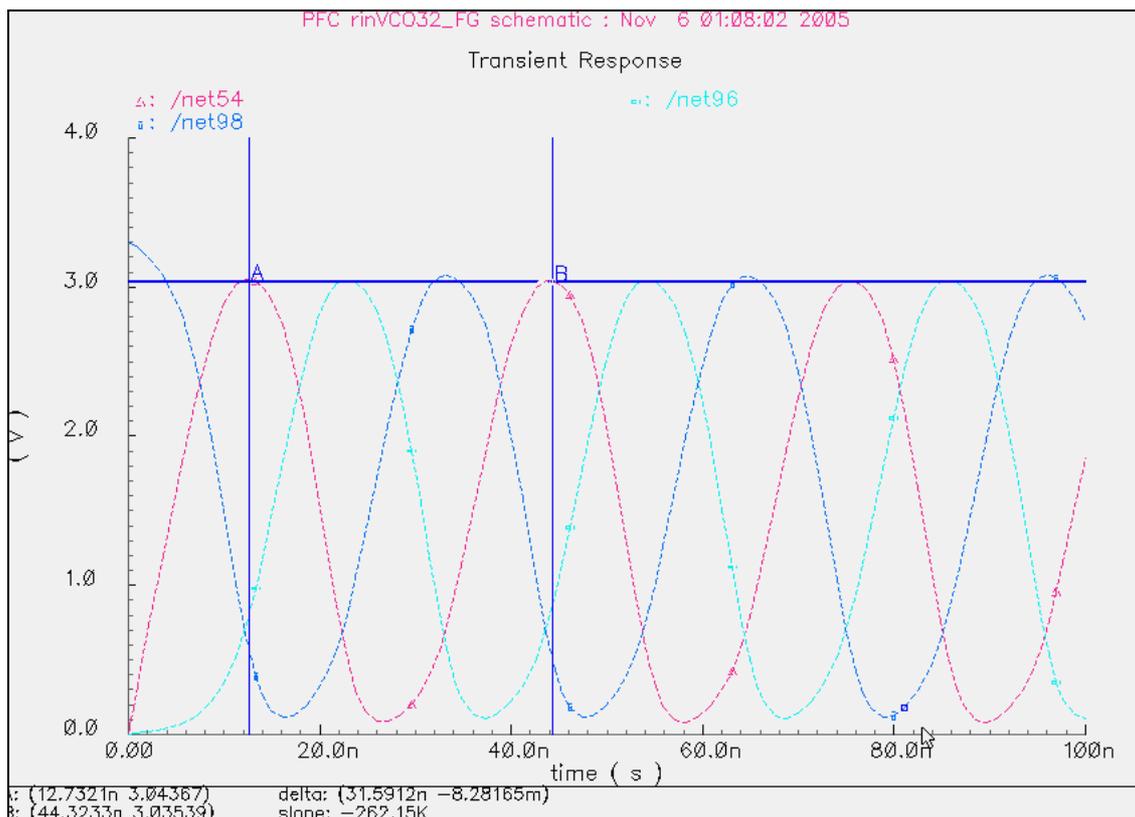
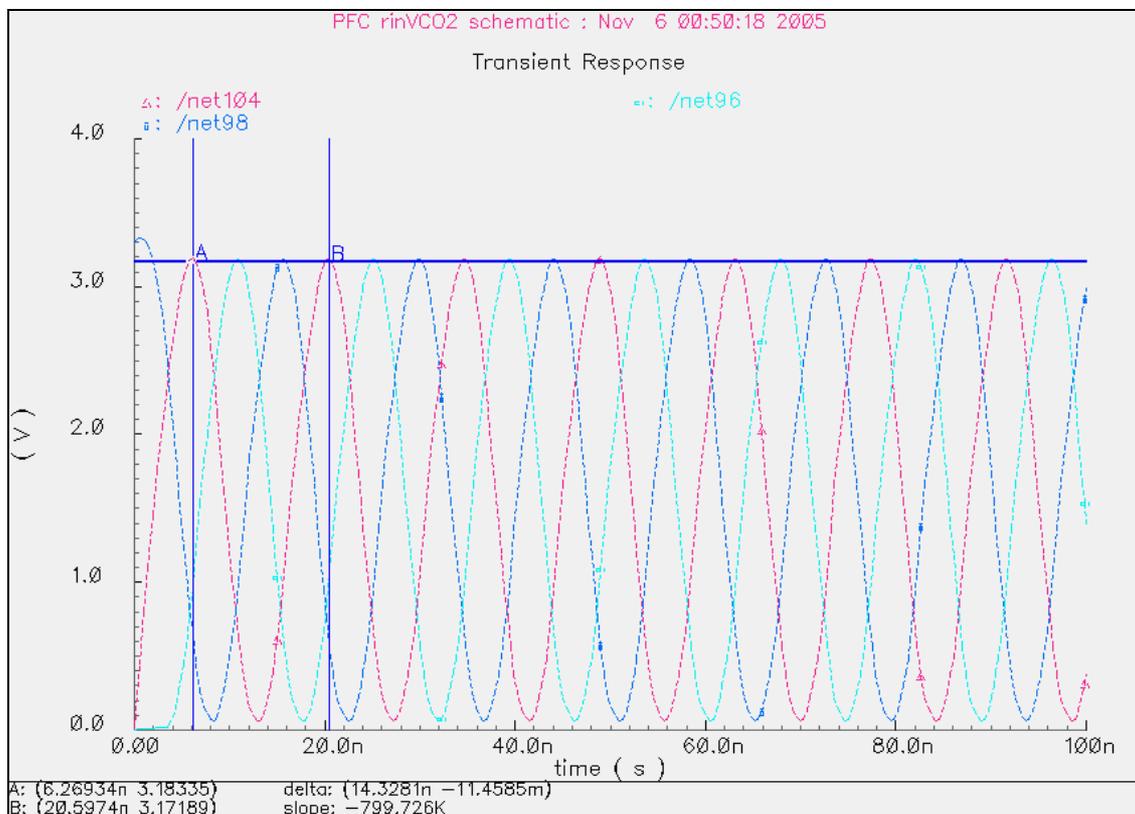


Fig.:4.5.2.- Para Istarved=1m F.Oscilacion=127.62Mhz

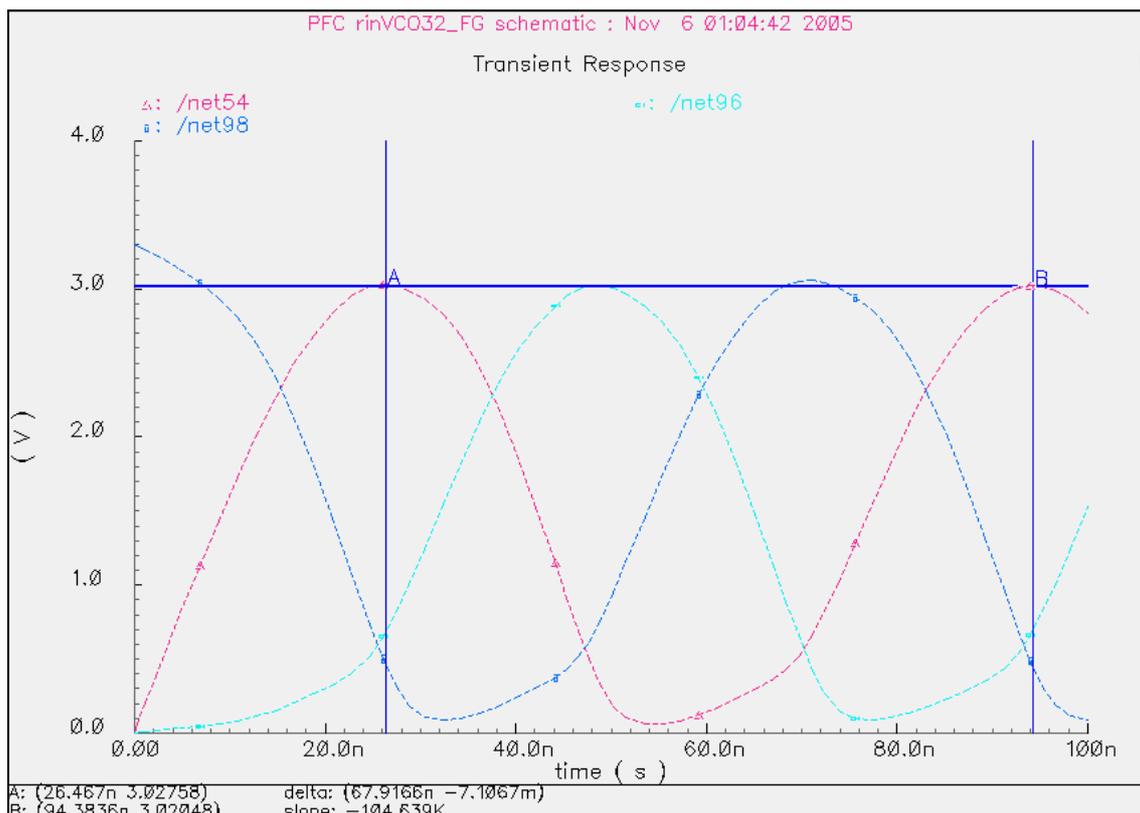


**Fig.:4.5.3.- Para Istarved=0.5m F.Oscilacion=31.65MHz**

Comparación Para 3etapas sin Tres FG

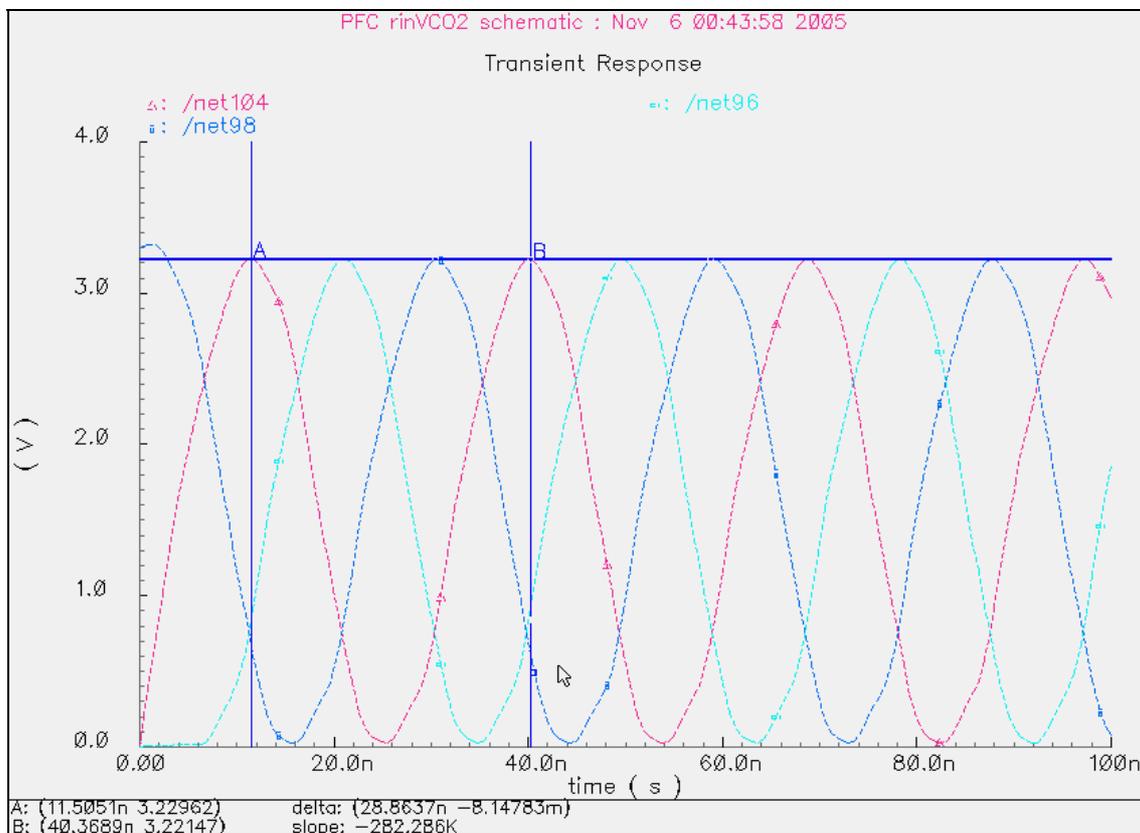


**Fig.:4.5.4.- Para Istarved=0.5m F.Oscilacion=69.80Mhz**



**Fig.:4.5.5.- Para Istarved=0.25m F.Oscilacion=14.72Mhz**

Comparado con Otro de 3 etapas sin Tres de Puerta flotante



**Fig.:4.5.6.- Istarved=0.25m F.Oscilacion=34.64Mhz**

Podemos observar comparando los dos osciladores estudiados de 3 etapas de inversores que:

- El Oscilador de 3 etapas sin Ttres de FG, las frecuencia de oscilación es mayor (aprox. El doble) a pequeñas intensidades de Istarved
- El oscilador de 3 etapas con Ttres de FG las formas de onda tienen una forma más regular senoidal

#### 4.6.- Circuito de 5 etapas con transistores FG

Vamos a realizar ahora el estudio para un oscilador de 5 etapas de inversores con Transistores de FG.

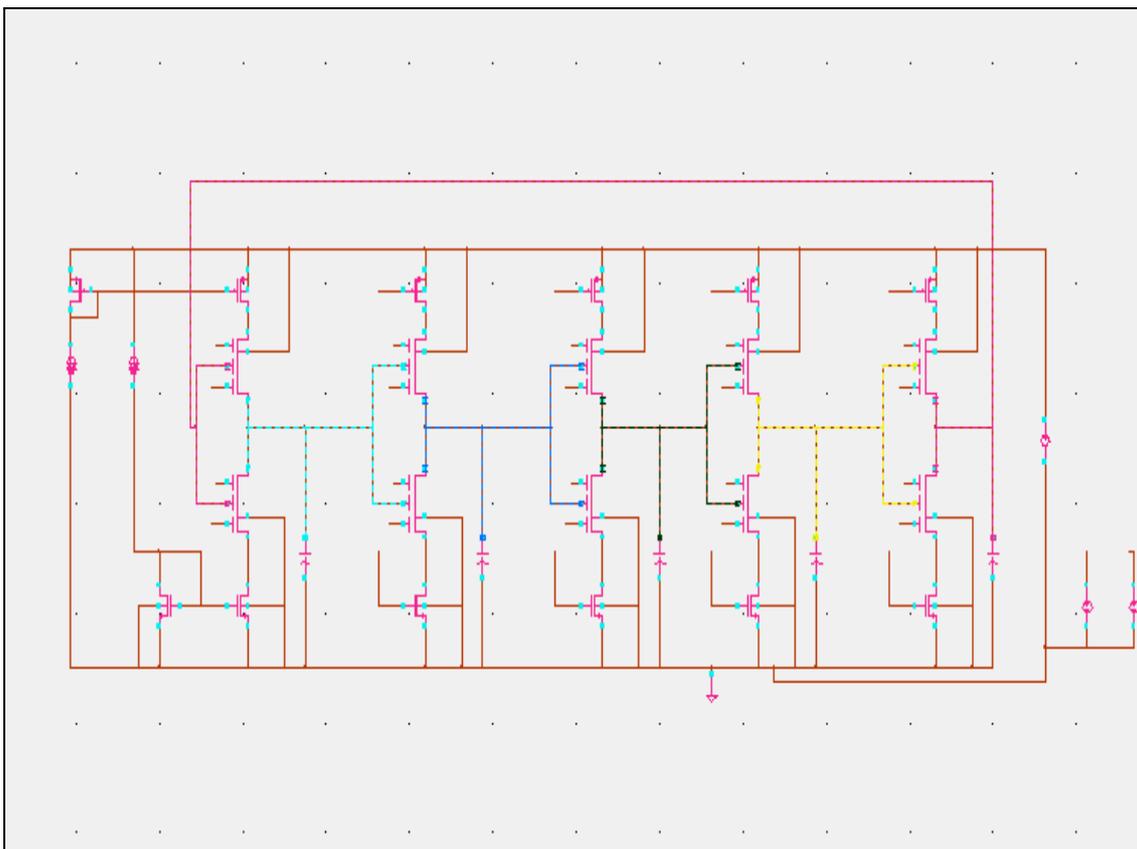
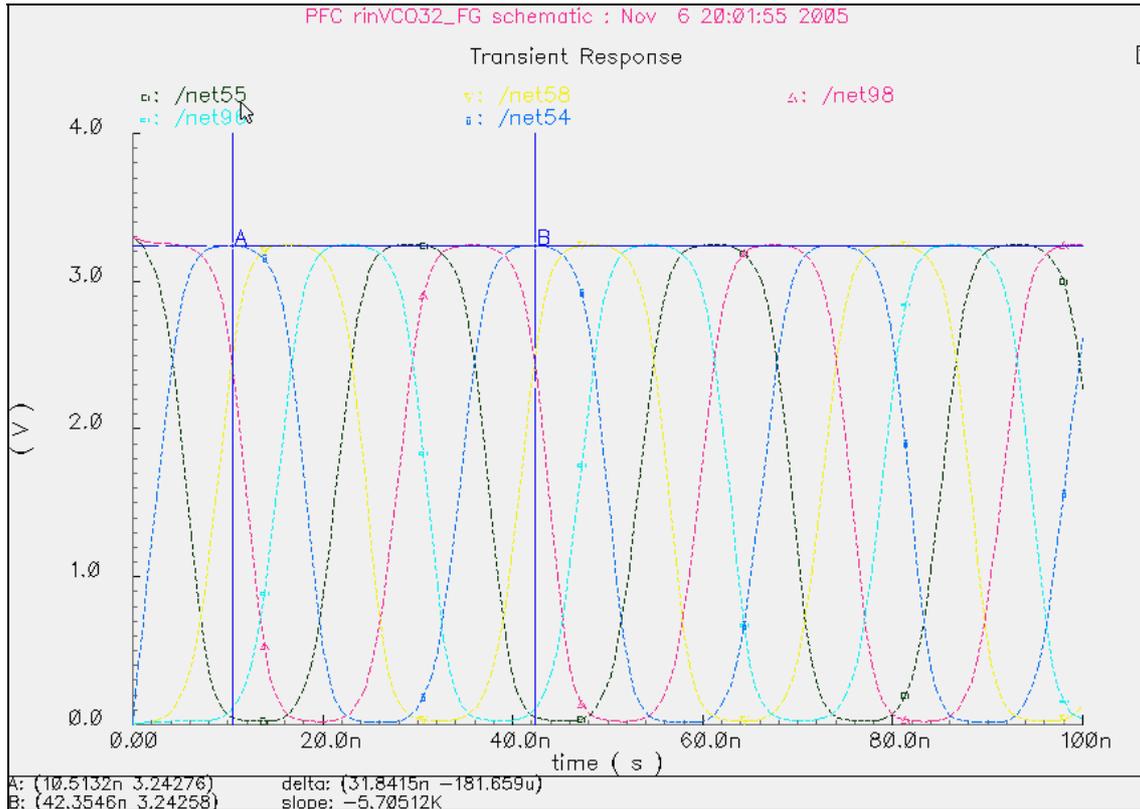
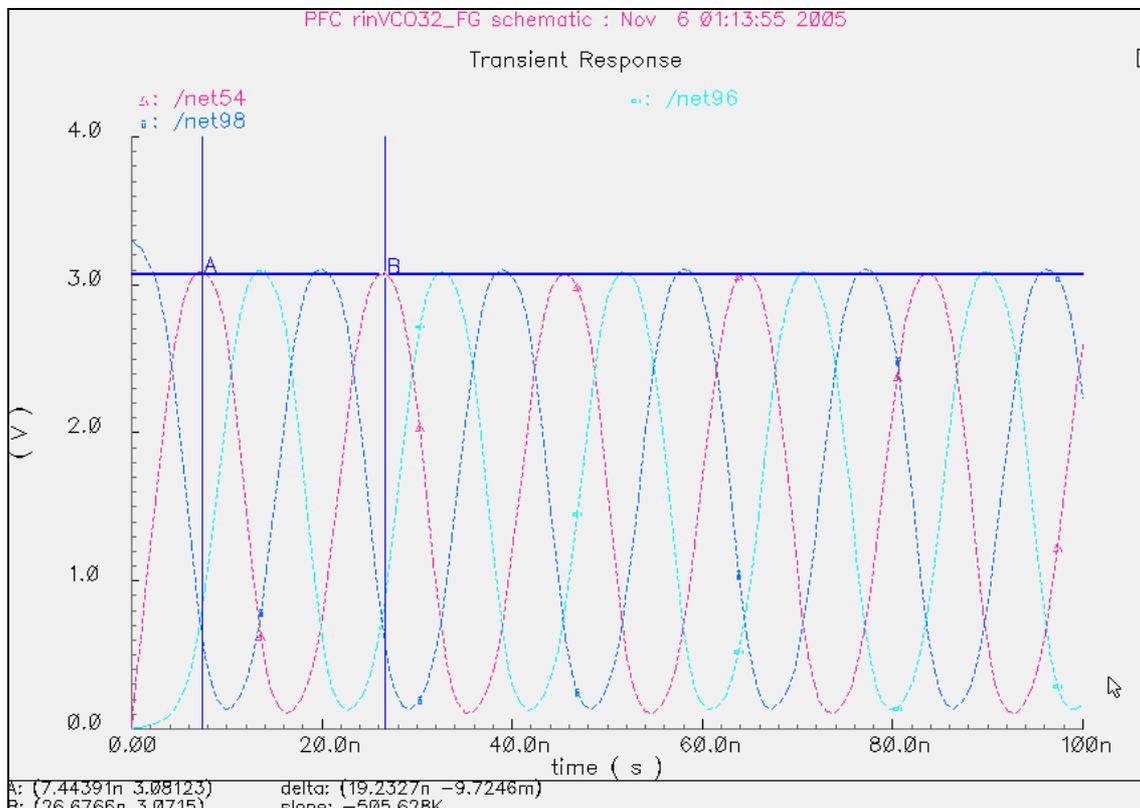


Fig.:4.6.1.- Circuito con 5 etapas con Ttres de FG



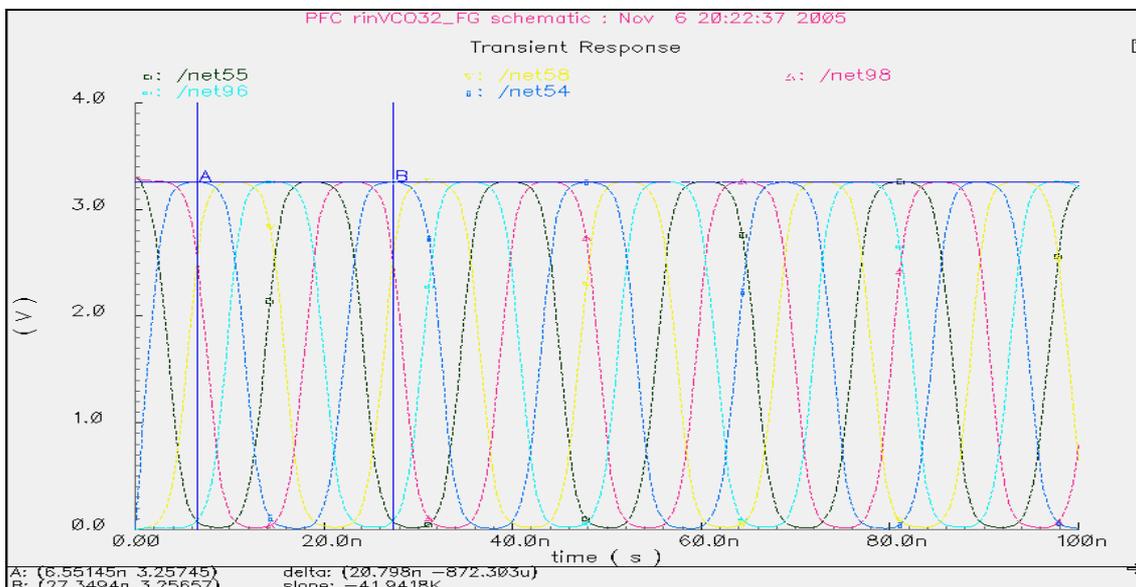
**Fig.:4.6.2.- Salida para  $V_p=1.5$  y  $V_n=1.7$ , e  $I_{starved}=1m$   
F.Oscilacion=31.40Mhz**



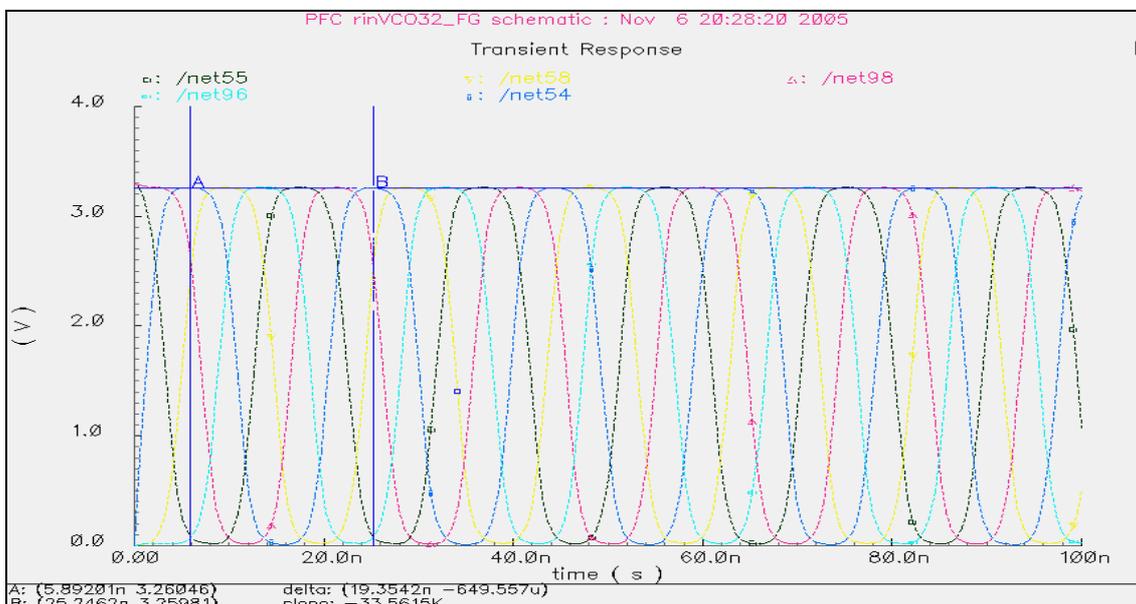
**Fig.:4.6.3.- Comparamos con 3 etapas Ttres de FG F.Oscilacion=51.90Mhz**

### Comparación de 3 etapas con 5 etapas

- La frecuencia de oscilación ha disminuido con el de 5 etapas
- La forma de Onda en el de 5 etapas es mas cuadrada asemejándose a una salida digital.



**Fig.:4.6.4.- Salida para  $V_p=1.5$  y  $V_n=1.7$ , e  $I_{starved}=5m$   
F.Oscilacion=48.08Mhz**



**Fig.:4.6.5.- Salida para  $V_p=1.5$  y  $V_n=1.7$ , e  $I_{starved}=10m$   
F.Oscilacion=51.66MH**

Tabla comparativa 3etapas con 5etapas, teniendo igual  $V_p=1.5$  y  $V_n=1.7$

Istarved	F.Osc. 3etapas	F.Osc.5etapas
1m	51.90Mhz	31.40Mhz
5m	79.12Mhz	48.08Mhz
10m	87.23Mhz	51.66Mhz

La frecuencia como comprobamos ha bajado considerablemente en 5etapas y la forma de onda se hace mas cuadrada.

#### 4.7.- Valores de $V_n$ desde 0 a 3.3v cada 0.1

Vamos a probar con  $I_{starved}=5mA$ , para los valores de  $V_n$  desde 0 a 3.3 para cada 0.1

$V_n$	F.Oscila	$V_n$	F.Oscila	$V_n$	F.Oscila	$V_n$	F.Oscila
0	50.07	1	71.26	2	82.25	3	86.31
0.1	52.77	1.1	72.34	2.1	82.85	3.1	87.02
0.2	55.30	1.2	73.18	2.2	83.69	3.2	87.99
0.3	56.52	1.3	74.89	2.3	84.14	3.3	88.57
0.4	58.63	1.4	76.62	2.4	86.03		
0.5	60.13	1.5	77.67	2.5	85.31		
0.6	62.93	1.6	78.82	2.6	84.28		
0.7	64.89	1.7	79.18	2.7	85.23		
0.8	67.89	1.8	80.24	2.8	85.61		
0.9	69.56	1.9	81.88	2.9	86.49		

Fig.:4.7.1.- Tabla para  $I_{starved}=5mA$  y valores de  $V_n$  desde 0 a 3.3 para cada 0.1.  $V_p=1.5$ . F.Osc=Mhz

Observamos que la salida para  $V_n=3.3$  y  $V_p=1.5$  se ha reducido bastante en amplitud, si bien la frecuencia ha aumentado progresivamente

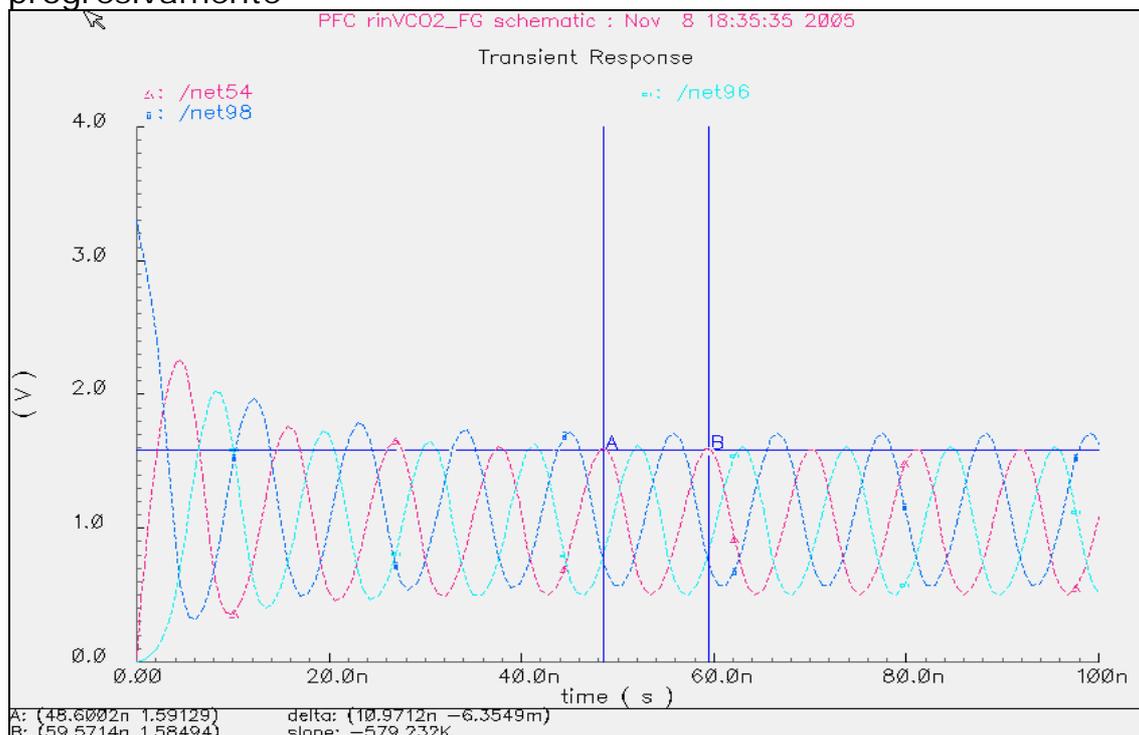


Fig.:4.7.2.- salida para  $V_n=3.3$  y  $V_p=1.5$

#### 4.8.- Valores de $V_p$ desde 0 a 3.3v cada 0.1

Probamos ahora con  $V_p$  desde 0 a 3.3 para cada 0.1

$V_p$	F.Oscila	$V_p$	F.Oscila	$V_p$	F.Oscila	$V_p$	F.Oscila
0	85.66	1	85.06	2	72.06	3	54.95
0.1	85.85	1.1	84.15	2.1	70.15	3.1	53.63
0.2	85.74	1.2	83.63	2.2	68.32	3.2	51.87
0.3	85.57	1.3	82.23	2.3	66.31	3.3	51.25
0.4	85.28	1.4	80.59	2.4	64.51		
0.5	84.81	1.5	78.99	2.5	63.15		
0.6	85.51	1.6	78.42	2.6	61.91		
0.7	84.39	1.7	76.48	2.7	60.01		
0.8	84.45	1.8	75.32	2.8	58.11		
0.9	85.01	1.9	72.90	2.9	56.32		

Fig.- 4.8.1.- Tabla para  $I_{starved}=5m$  y valores de  $V_p$  de 0 a 3.3 para cada 0.1,  $V_n=1.7$  F.Osc=Mhz

La salida para  $V_p=3.3$  y  $V_n=1.7$ , se ha reducido en amplitud solo en uno de los niveles, en este caso en el nivel alto, manteniéndose en cero.

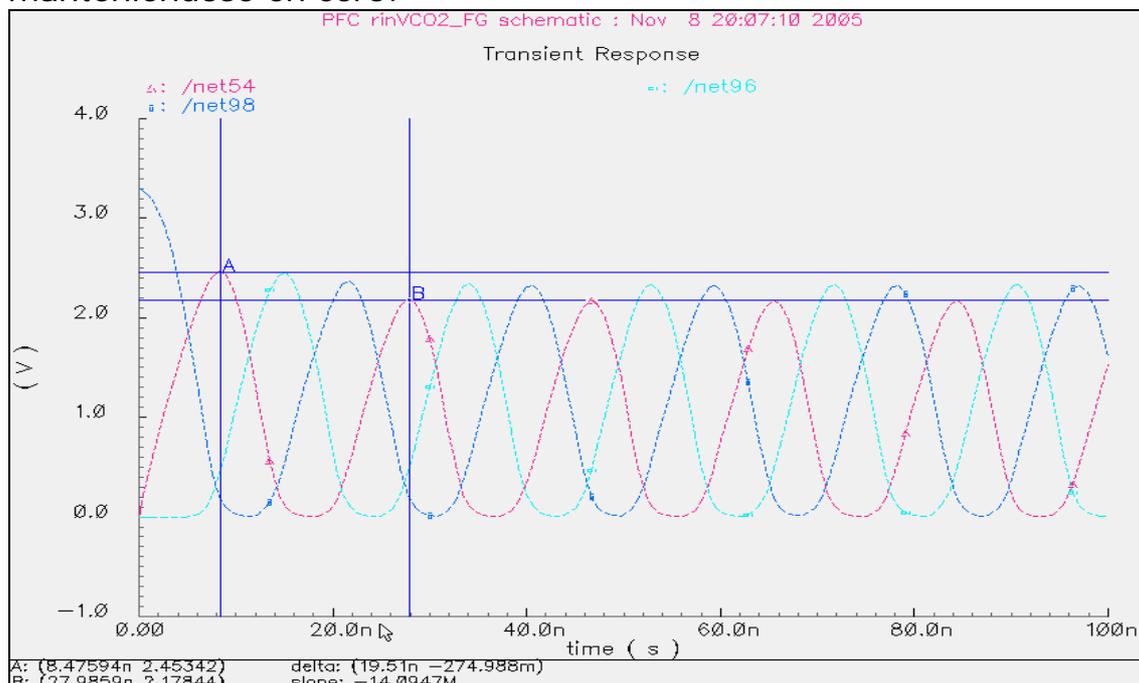


Fig.:4.8.2.- salida para  $V_p=3.3$  y  $V_n=1.7$

OBSERVAMOS EN LAS TABLAS ANTERIORES QUE LOS VALORES DE LA FRECUENCIA VARIA DE FORMA INVERSA, MANTENIENDO  $V_p$  o  $V_n$  CTE. LOS VALORES SON MUY SIMILARES EN MAXIMO Y MINIMO DE LA FRECUENCIA

#### 4.9.- Valores para salida oscilador en $V_{DD}/2$

A continuación vamos a probar para que valores la salida de los osciladores está centrada en  $V_{DD}/2=1.65v$ .

- Probamos primero para  $V_p=3.3v$  y  $V_n=0v$
- Probamos para  $V_n=0v$  y  $V_p=3.3v$
- ¿se mantendrá siempre que subamos  $V_n$  lo que bajemos  $V_p$  y viceversa?

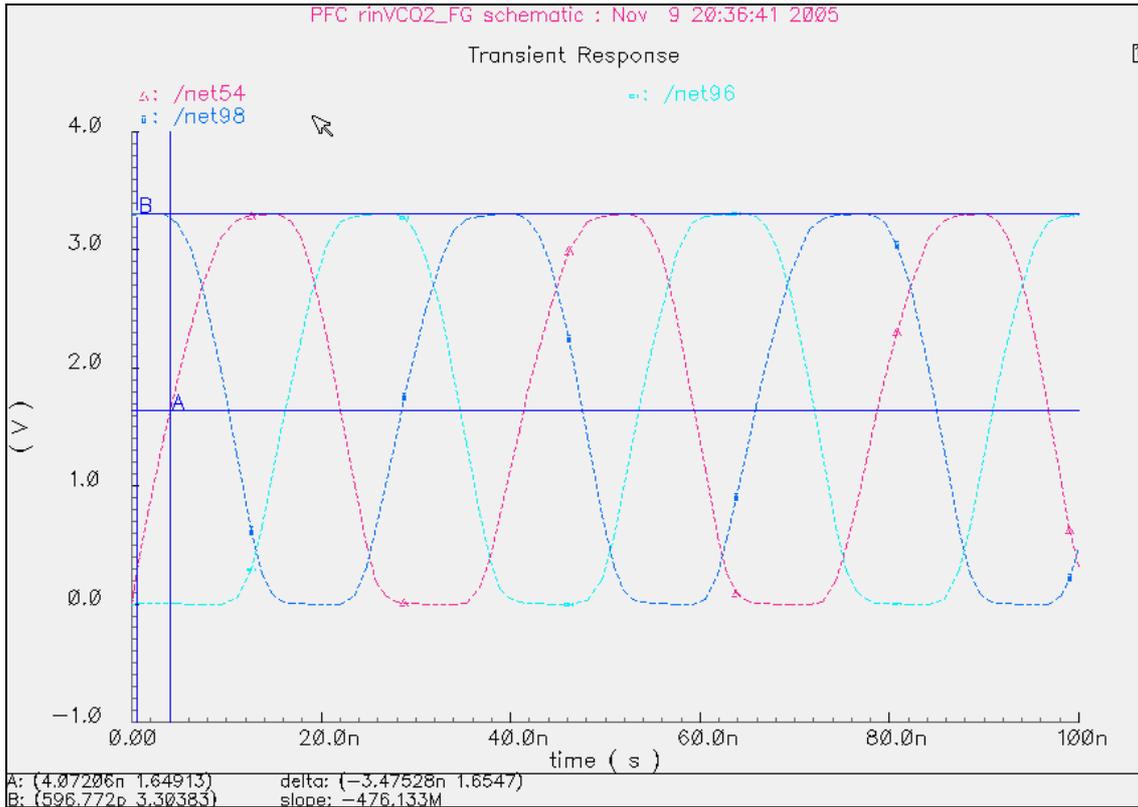


Fig.:4.9.1.- Salida para  $V_p=3.3$  ,  $V_n=0$ ,  $I_{starved}=5mA$

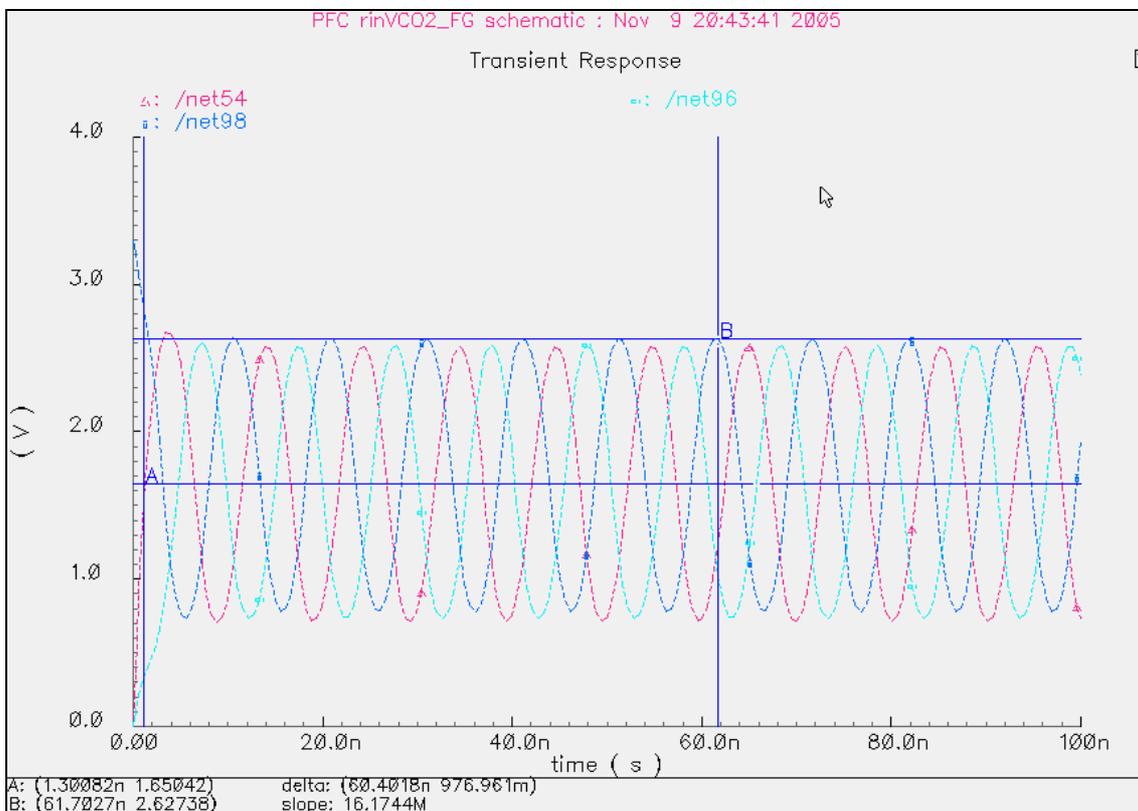
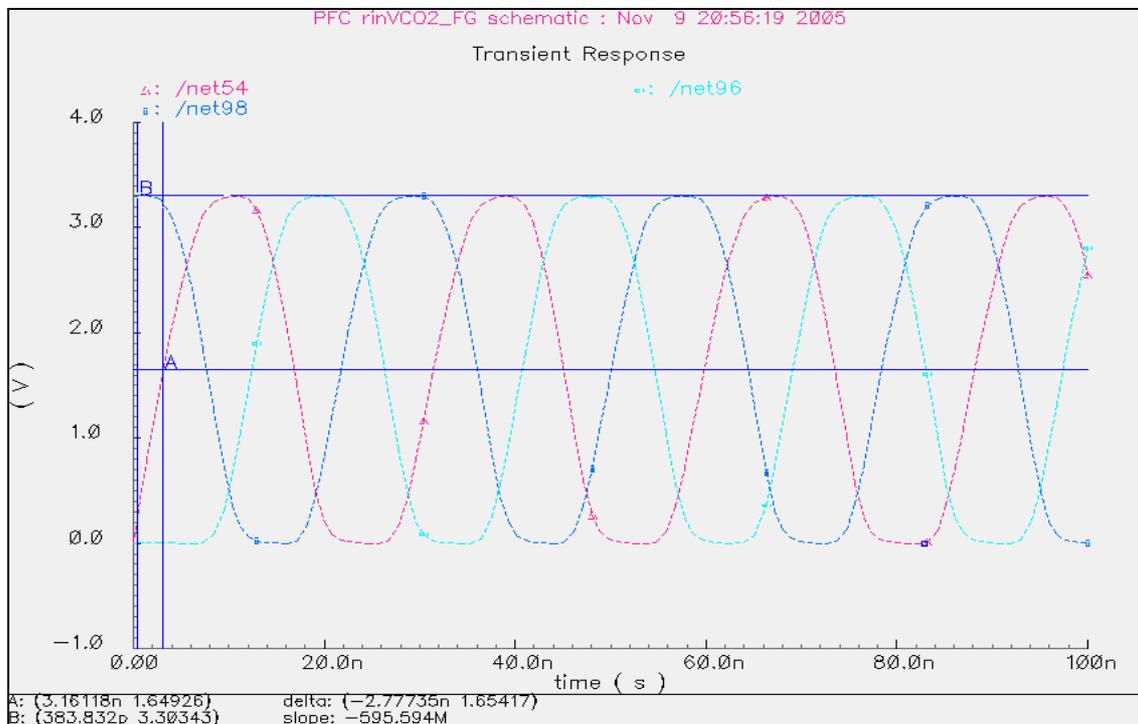


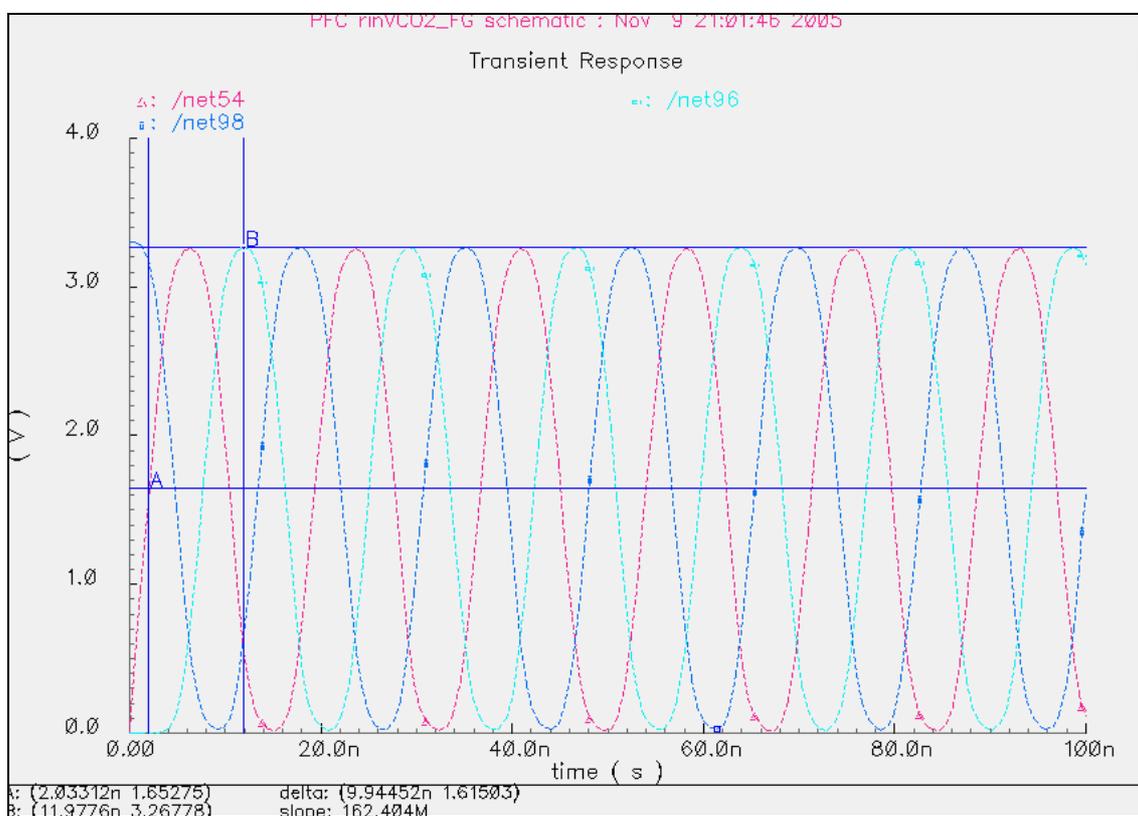
Fig.:4.9.2.- Salida para  $V_p=0$  ,  $V_n=3.3$ ,  $I_{starved}=5mA$

LA SALIDA DE LOS OSCILADORES ESTA CENTRADA EN LA PRIMERA GRAFICA fig.:4.9.1 OSEA PARA  $V_p=3.3$  ,  $V_n=0$ ,  $I_{starved}=5mA$

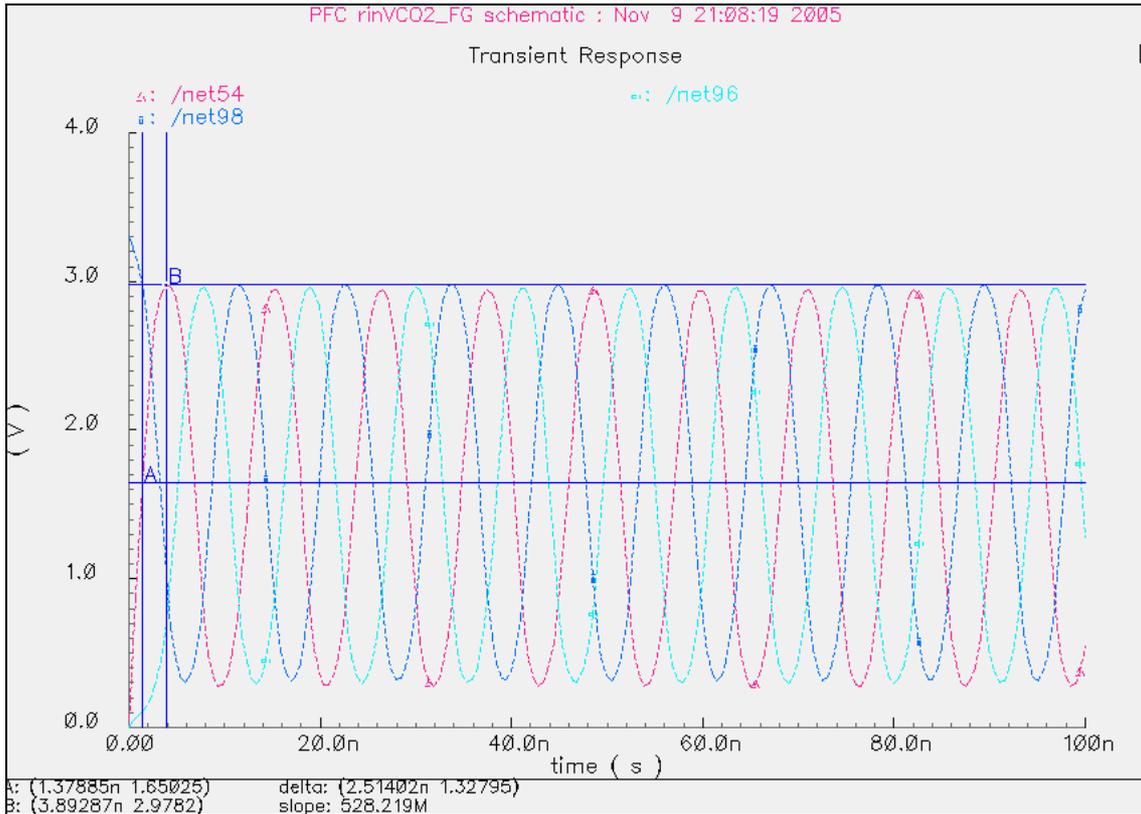
Veamos a continuación si se mantiene siempre que subamos  $V_n$  lo que bajemos  $V_p$



**Fig.:4.9.3.- Salida para  $V_n=0.3$   $V_p=3$**

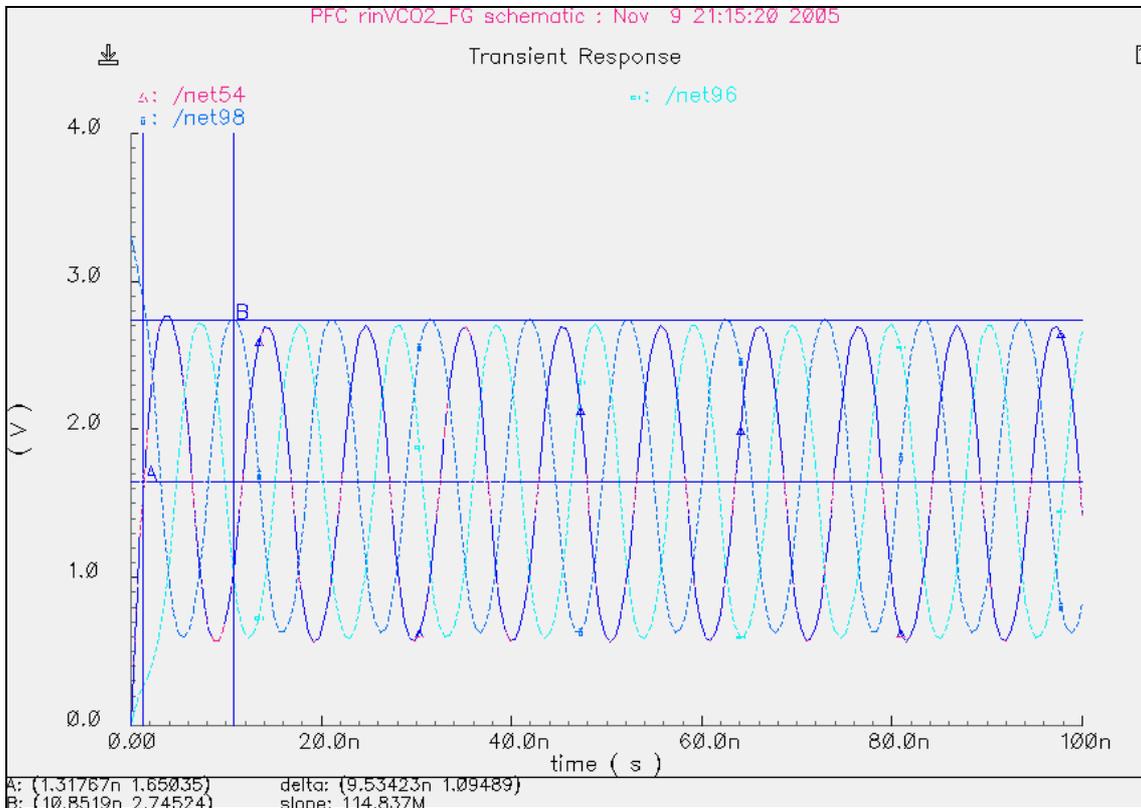


**Fig.:4.9.4.- Salida para  $V_n=1$ ,  $V_p=2.3$**



**Fig.:4.8.5.- Salida Para  $V_n=2.3$  ,  $V_p=1$**

Viceversa



**Fig.- 4.9.6.- Salida para  $V_n=3$  ,  $V_p=0.3$**

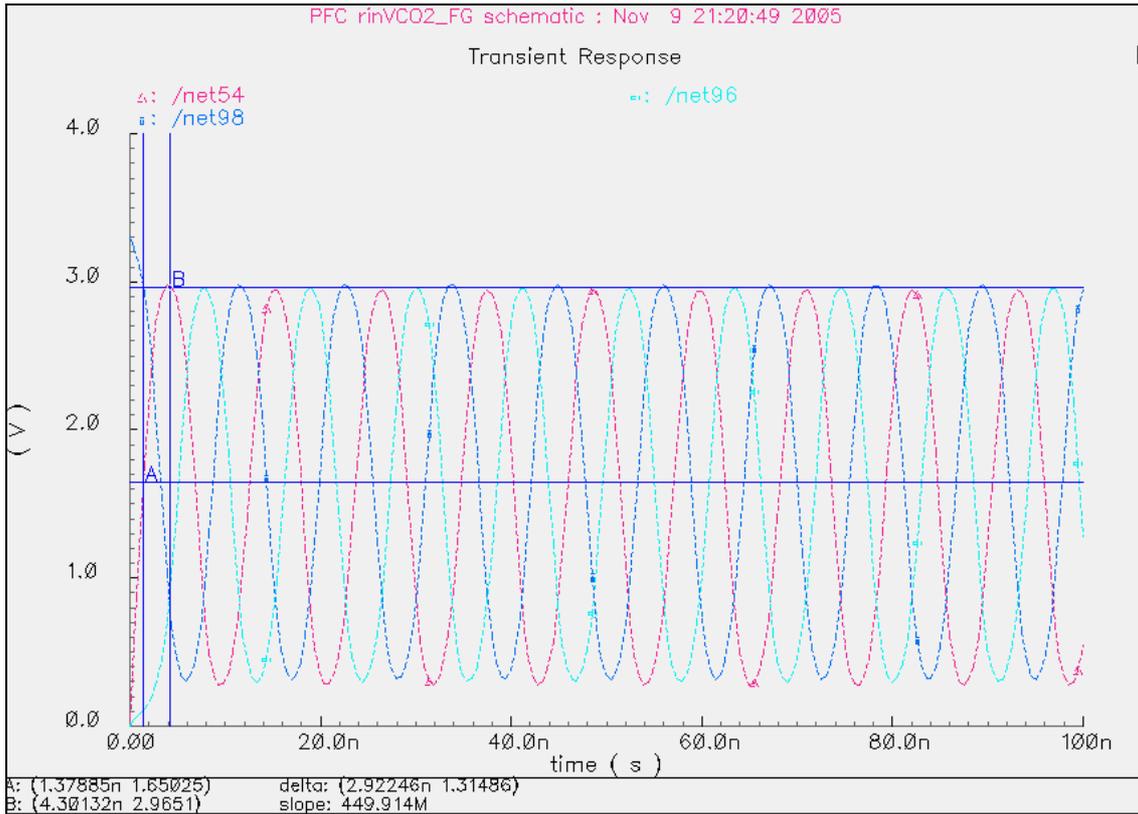


Fig.:4.9.7.- salida para  $V_n=2.3$ ,  $V_p=1$

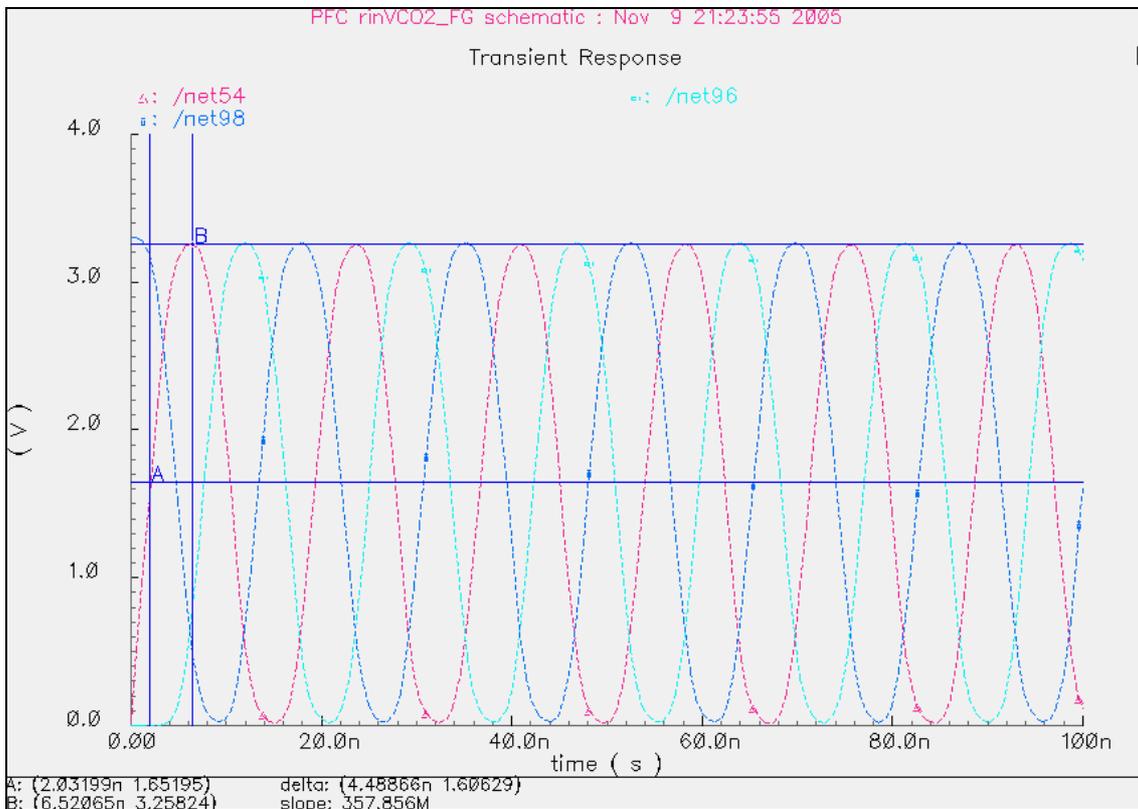
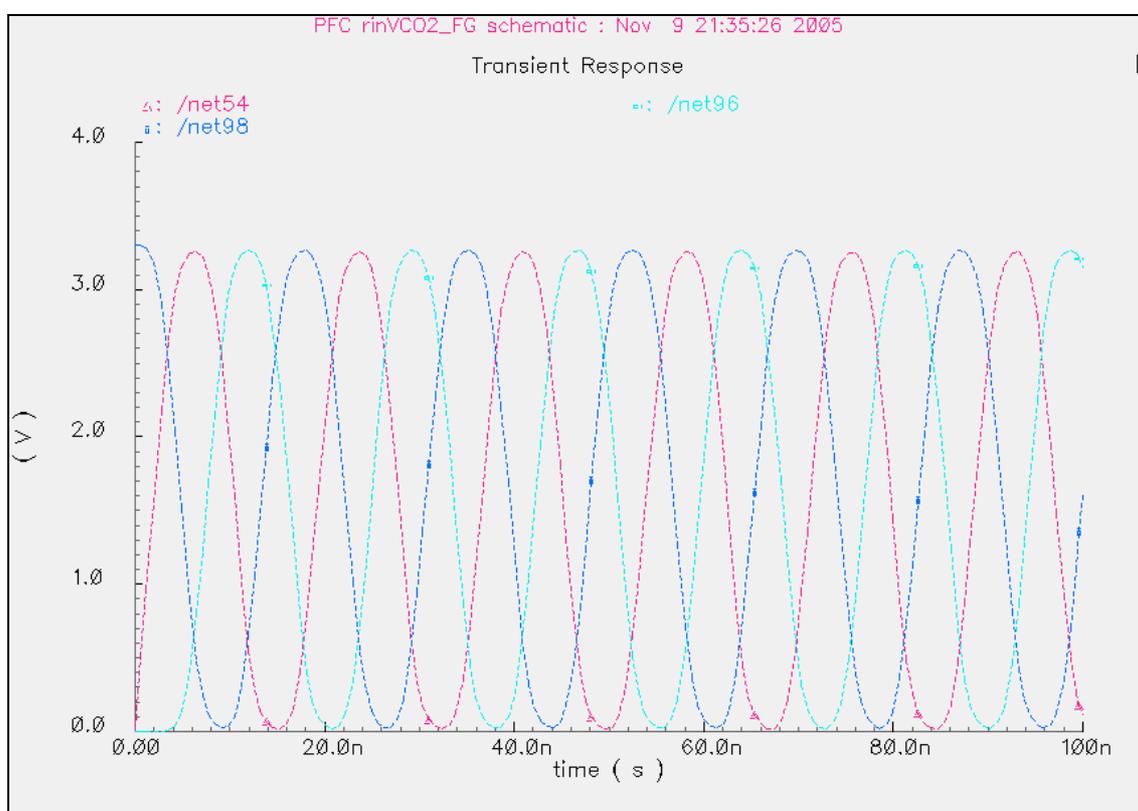


Fig.:4.9.8.- Salida para  $V_n=1$ ,  $V_p=2.3$

NO SE MANTIENE LA DIFERENCIA. SE APRECIA MAYORES DIFERENCIAS PARA VALORES DE  $V_n$  ALTOS Y  $V_p$  BAJOS. POR EL CONTRARIO LA DIFERENCIA ES CTE PARA VALORES BAJOS DE  $V_n$  Y ALTOS DE  $V_p$ .

LA SALIDA ES SENOIDAL PARA EL RANGO DE  $V_n > 1$ , E INDEPENDIENTE DE  $V_p$



**Fig.:4.9.9.- Salida Senoidal**

## 5.- ANALISIS Y SIMULACIONES CON TRANSISTORES QUASI FLOATING-GATE (QFG)

### 5.1.- Introducción

Los circuitos de QFG son circuitos wide-band sin la degradación del GB, efectos que se asociaron a las técnicas de FG. Estos circuitos se basan en transistores con sus terminales de la puerta conectados muy "débil" con uno de los rails de la energía a través de una resistencia de valor muy grande. Esta resistencia fija el punto de funcionamiento de la C.C. del terminal de la puerta de entrada en los transistores MOS a uno de los rails de la energía. Este punto de funcionamiento reduce al mínimo los requisitos de la fuente del circuito. Las resistencias de valores muy grandes permiten que los terminales de la puerta se realicen como (casi) terminales flotantes para las frecuencias de la señal de sólo 0.02 hertzios hasta las frecuencias en la gama de gigahertz. Los circuitos QFG pueden funcionar con voltajes de fuente cerca del voltaje umbral de un transistor.

A continuación, vamos a realizar simulaciones análogas a las anteriores pero con transistores QFG y current starved (Istarved) con el objetivo de tener mayor grado de libertad.

El mayor grado de libertad, para variar la frecuencia de oscilación, lo vamos a conseguir manipulando vn y vp (tensiones que controlan la gm de la transistores).

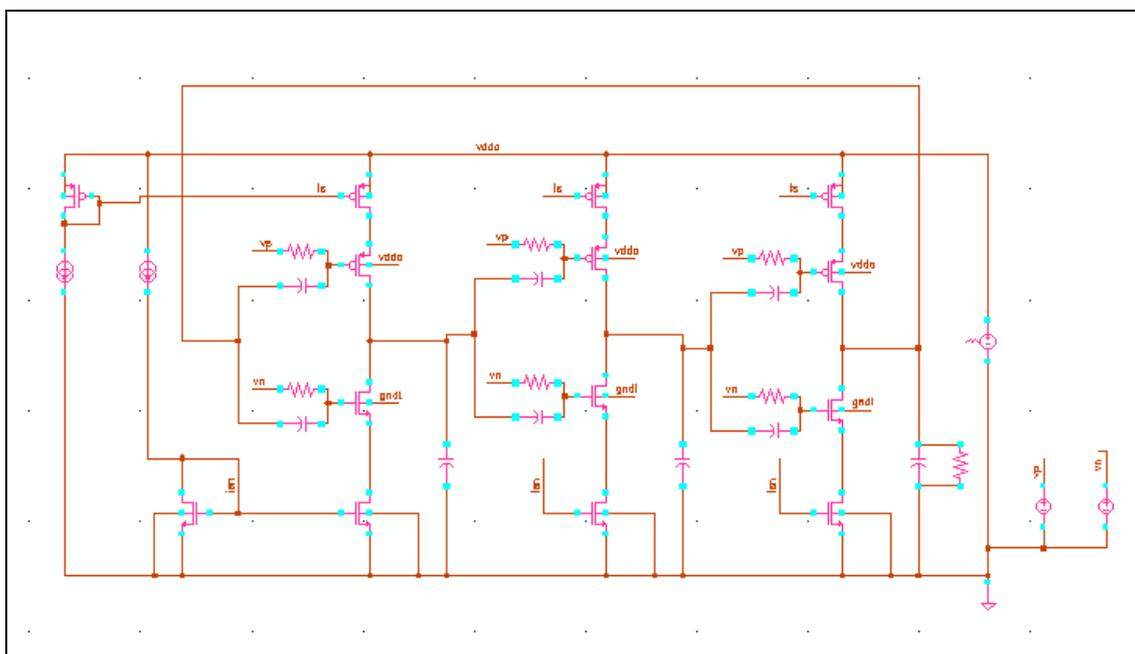


Fig.:5.1.1 Circuito con transistores QFG

## 5.2.- Rango de variación de $v_p$ y $v_n$ con la frecuencia.

Como comparación, vamos a probar primero con los mismos valores tanto para  $v_p=1,5v$ ,  $v_n=1,7v$  e  $i_{starved}=5mA$  de este cto QFG con el cto FG. Lo primero que observamos es que no se alcanza el nivel bajo de tensión en cuanto a la amplitud quedando bastante lejos aprox. 1voltio, sin embargo se produce un gran incremento en cuanto a la frecuencia de oscilación pasando esta de 78,97 Mhz en el cto FG a 191 Mhz en el cto QFG para una misma intensidad  $i_{starved}$  de 5mA. A continuación vamos a compararlo con los mismos valores de  $v_p$  y  $v_n$  pero para  $i_{starved}$  de 10mA. Comprobamos que se mantienen los niveles de salida en amplitud similares a los anteriores y que la frecuencia ha aumentado de 191 Mhz a 217,3 Mhz frente a los valores de 78,97 y 86,7 del circuito FG respectivamente.

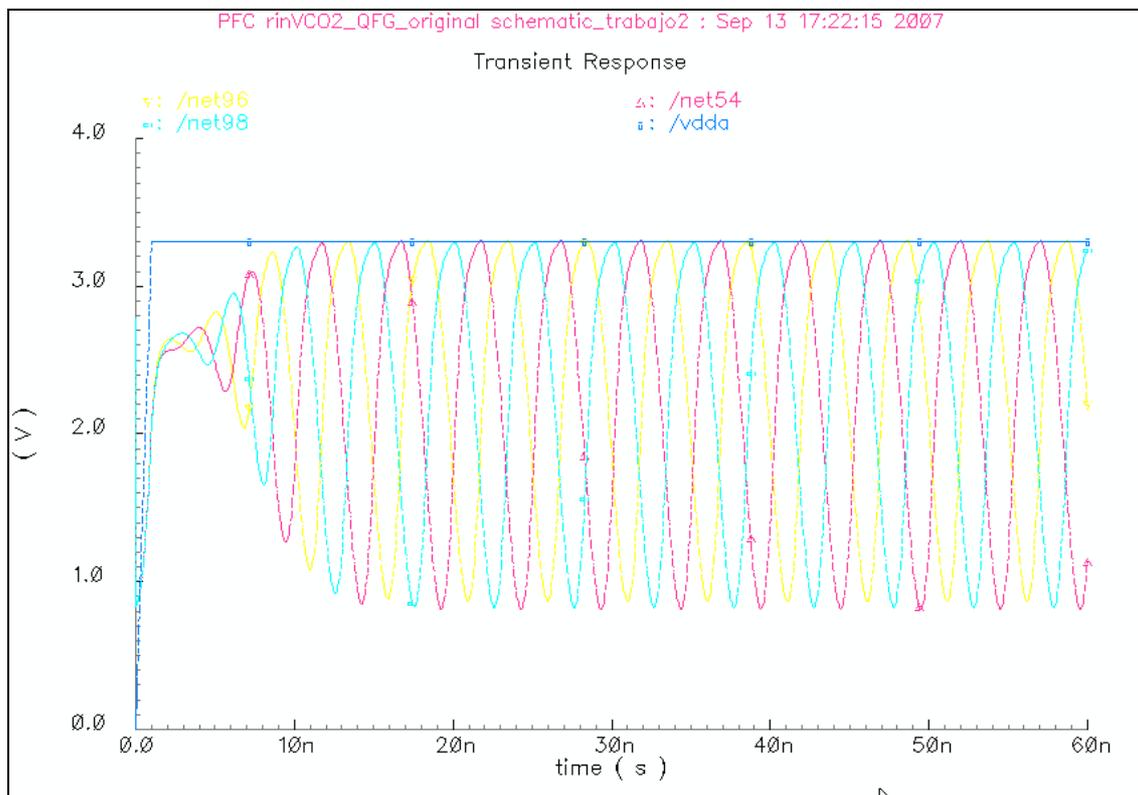
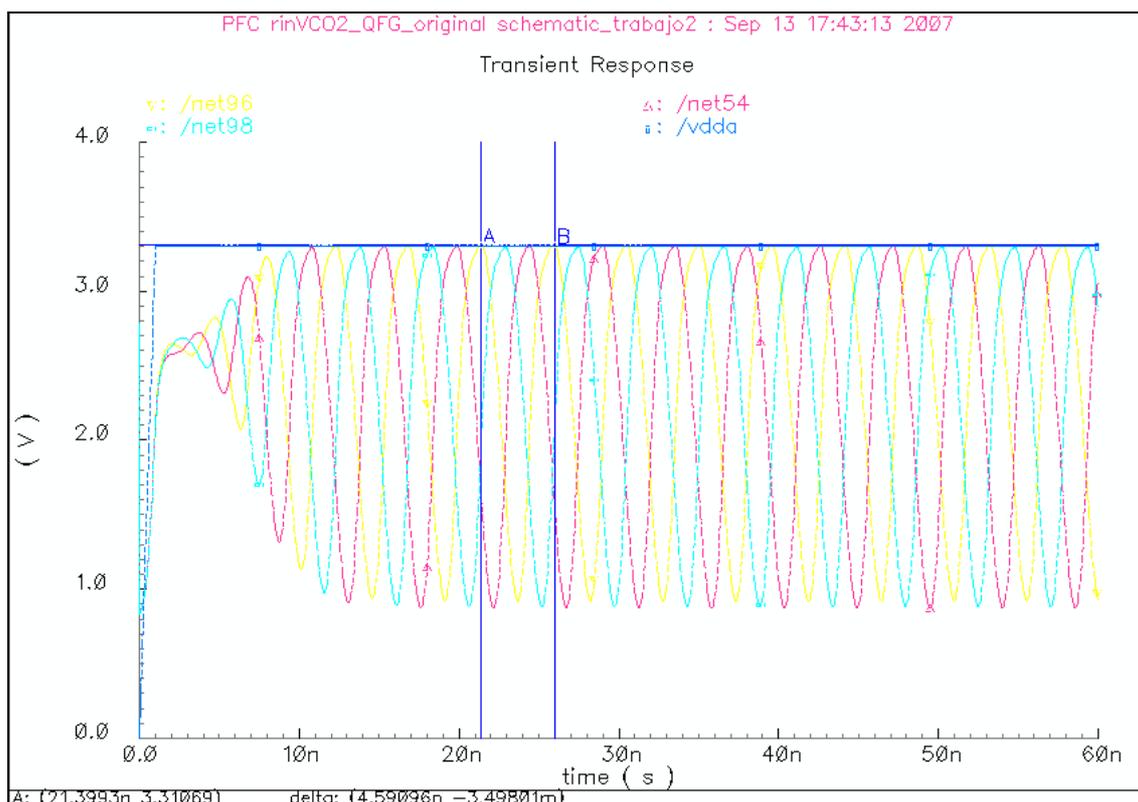


Fig.:5.2.1 Salida para  $v_p=1.5v$ ,  $v_n=1.7v$ ,  $i_{starved}=5mA$ , 191Mhz



**Fig.:5.2.2 Salida para  $v_p=1.5v$ ,  $v_n=1.7v$ ,  $I_{starved}=10mA$ ,  $217,3Mhz$**

Con la comparación realizada no tenemos la salida en amplitud deseada por lo que buscamos nuevos valores de  $v_p$  y  $v_n$  que hagan que la salida en amplitud este comprendida entre 0-3,3v.

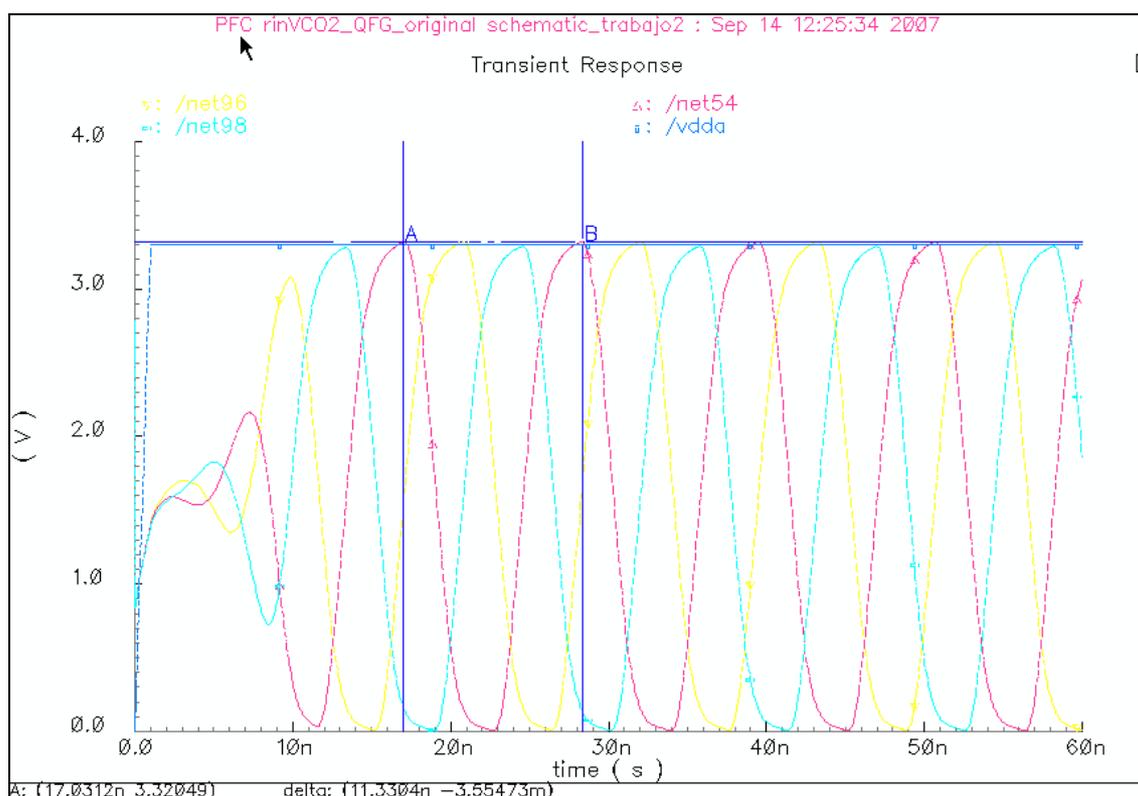
A continuación vamos a realizar una tabla con distintos valores de  $v_p$ ,  $v_n$ , e  $I_{starved}$ .

$V_p$	$V_n$	$I_{starved}$	F.oscilacion
3	2	1m	89,39Mhz (amplitud de 0-3.3v. Ver fig)
		2.5m	120.18
		5m	138.47
		<b>10m</b>	<b>149,75</b>
		15m	150,28
		20m	154,30
		40m	160,73(amplitud de 0,0-3,3v)
2	3	1m	128,58(amplitud de 0,2-3.1v)
		2.5m	224,17
		5m	274,33

		<b>10m</b>	<b>297,88</b>
		15m	308,63
		20m	315,67
		40m	323,34(amplitud de 0,25-3,2v)

En las dos figuras siguientes, se observa la salida para los valores de  $I_{starved}$  1mA-40mA, que cumple con todo el rango de tensión desde 0v a 3.3v, para  $v_p=3v$  y  $v_n=2v$ .

Para  $v_p=2v$  y  $v_n=3v$ , la amplitud de salida no llega a alcanzar todo el rango desde 0-3.3.v, sino que queda limitada por arriba y abajo, aunque se consigue para la misma intensidad un considerable aumento de la frecuencia de oscilación pasando a ser aproximadamente el doble para  $I_{starved}$  10mA. Esta característica hay que tenerla en cuenta a la hora de decidir que valor deseamos que prevalezca bien amplitud o frecuencia.



**Fig.:5.2.3 Salida para  $v_p=3v$ ,  $v_n=2v$ ,  $I_{starved}=1mA$ , 89,39Mhz**

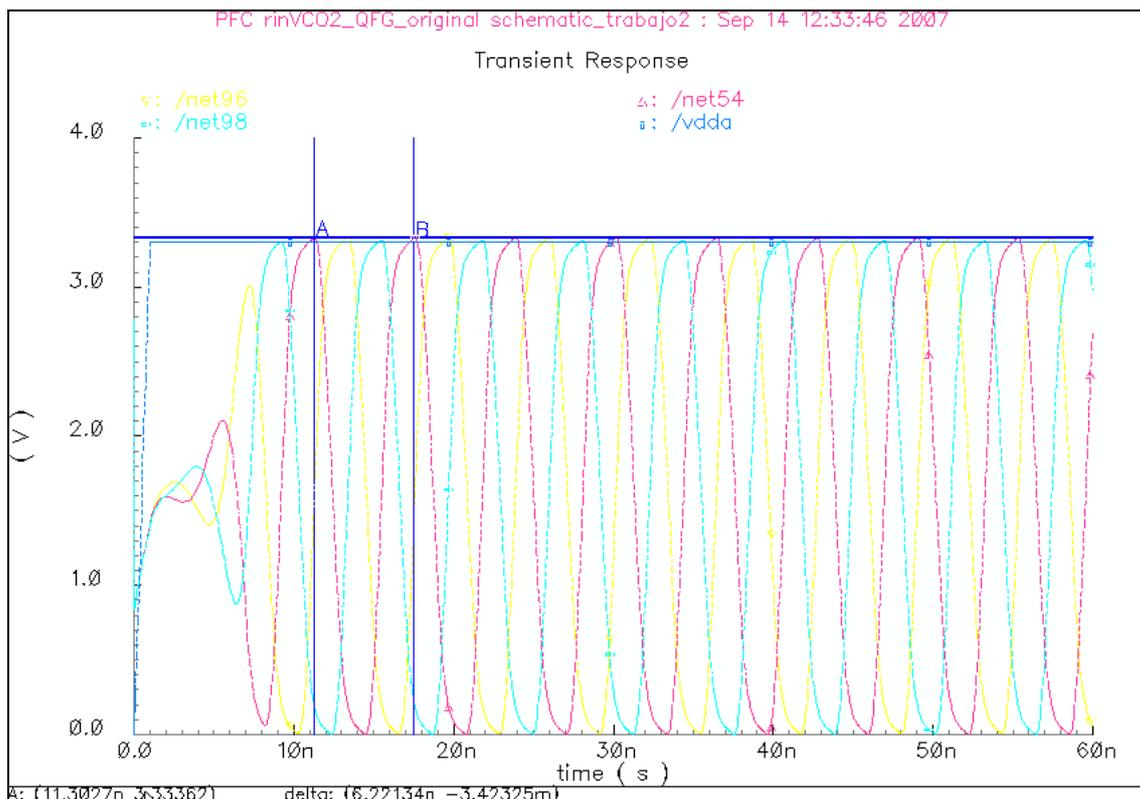


Fig.:5.2.4 Salida para  $v_p=3v$ ,  $v_n=2v$ ,  $I_{starved}=40mA$ , 160,73Mhz

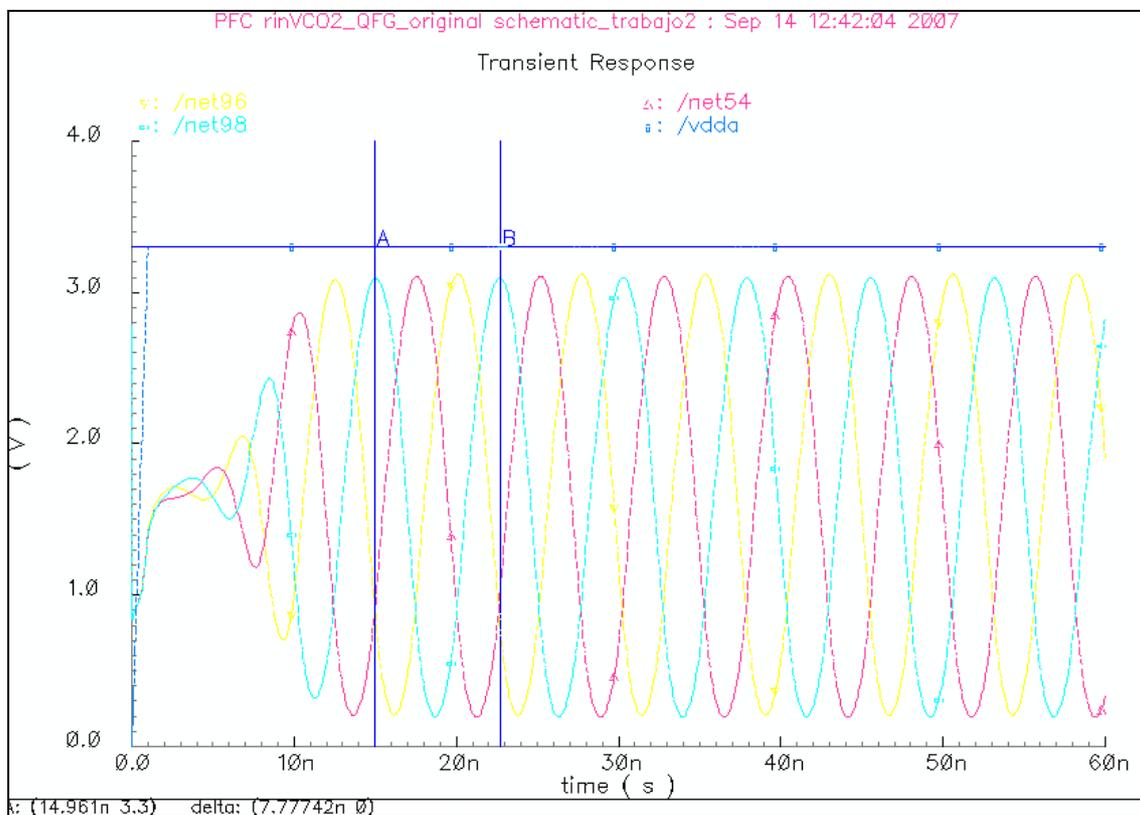
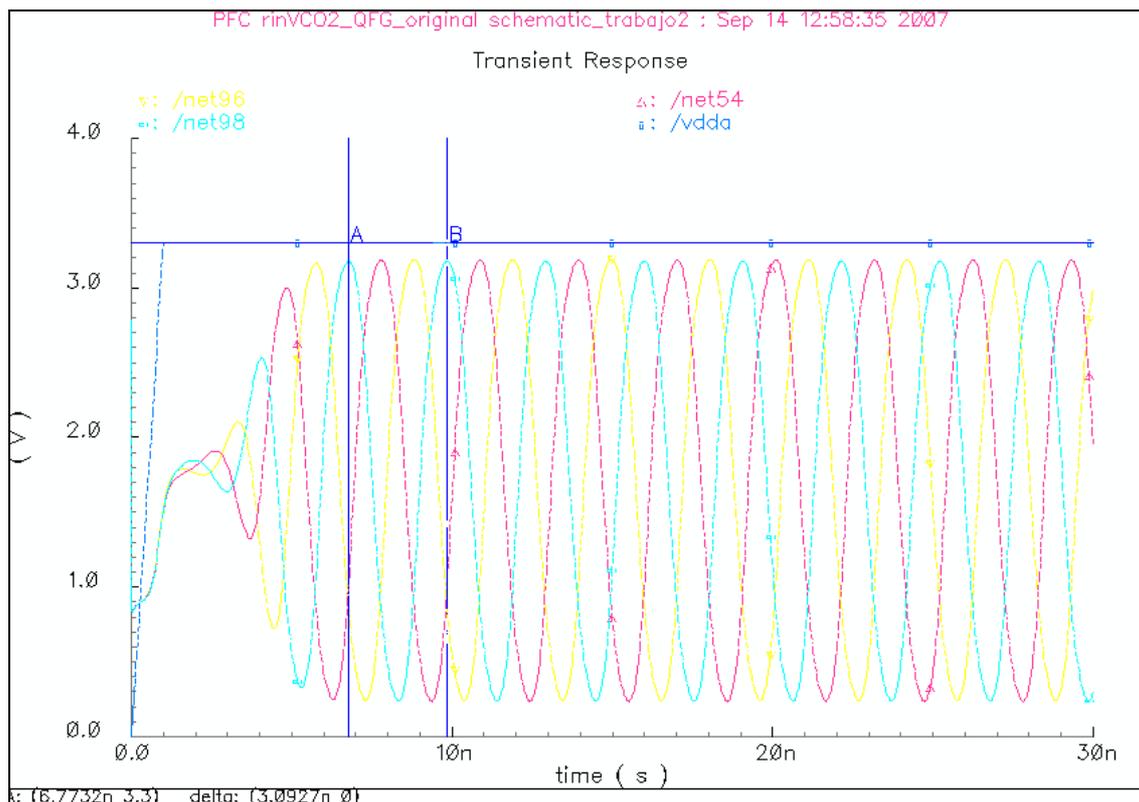


Fig.:5.2.5 Salida para  $v_p=2v$ ,  $v_n=3v$ ,  $I_{starved}=1mA$ , 128,58Mhz



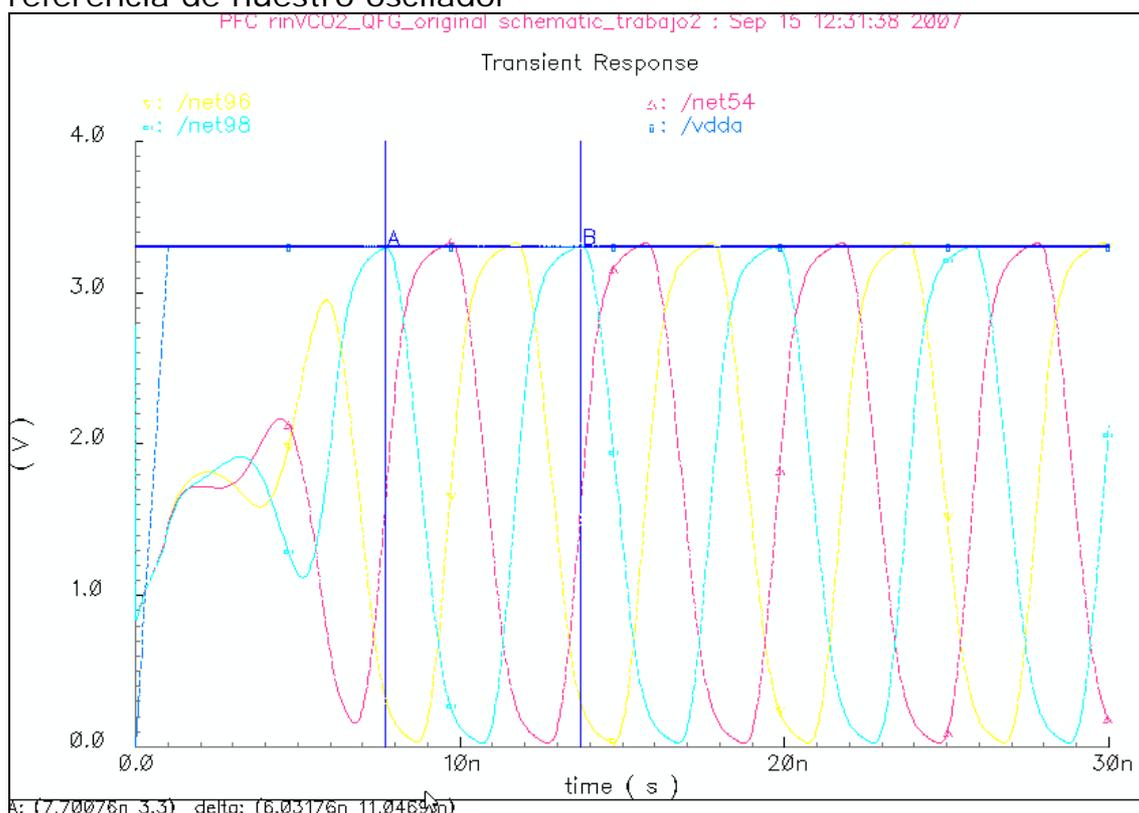
**Fig.:5.2.6 Salida para  $v_p=2v$ ,  $v_n=3v$ ,  $I_{starved}=40mA$ , 323,34Mhz**

Vamos a cambiar ahora el rango de  $V_p$  y  $V_n$  para cada valor de  $I_{starved}$

$I_{starved}$	$V_p$	$V_n$	F.oscilacion
1m	2	2	113,20Mhz (amplitud 0-3.3v)
	2.25	2	108,93 (amplitud 0-3.3v)
	2.50	2	102,75 (amplitud 0-3.3v)
	2.75	2	96,89 (amplitud 0-3.3v)
	3	2	88,94 (amplitud 0-3.3v)
5m	2	2	197,02Mhz (amplitud 0,2v-3.3v)
	2.25	2	181,72 (amplitud 0.1v-3.3v)
	2.5	2	168,03 (amplitud 0.05-3.3.v)
	2.75	2	152,0 (amplitud 0.0v-3.3v)
	3	2	137,64 (amplitud 0.0-3.3v)
10m	2	2	214,13 (amplitud 0,2v-3.3v)
	2.25	2	198,41 (amplitud 0.1v-3.3v)

	2.5	2	181,81 (amplitud 0.05v-3.3v)
	<b>2.75</b>	<b>2</b>	<b>166,33 (amplitud 0.0v-3.3v)</b>
	3	2	148,57 (amplitud 0.0v-3.3v)

Observando la tabla anterior la mayor frecuencia de oscilación se consigue para  $I_{starved}$  de 10mA,  $v_p=2.75v$ ,  $v_n=2v$ , con un rango de amplitud desde 0.0v a 3.3v. Por lo tanto este es el valor de referencia de nuestro oscilador



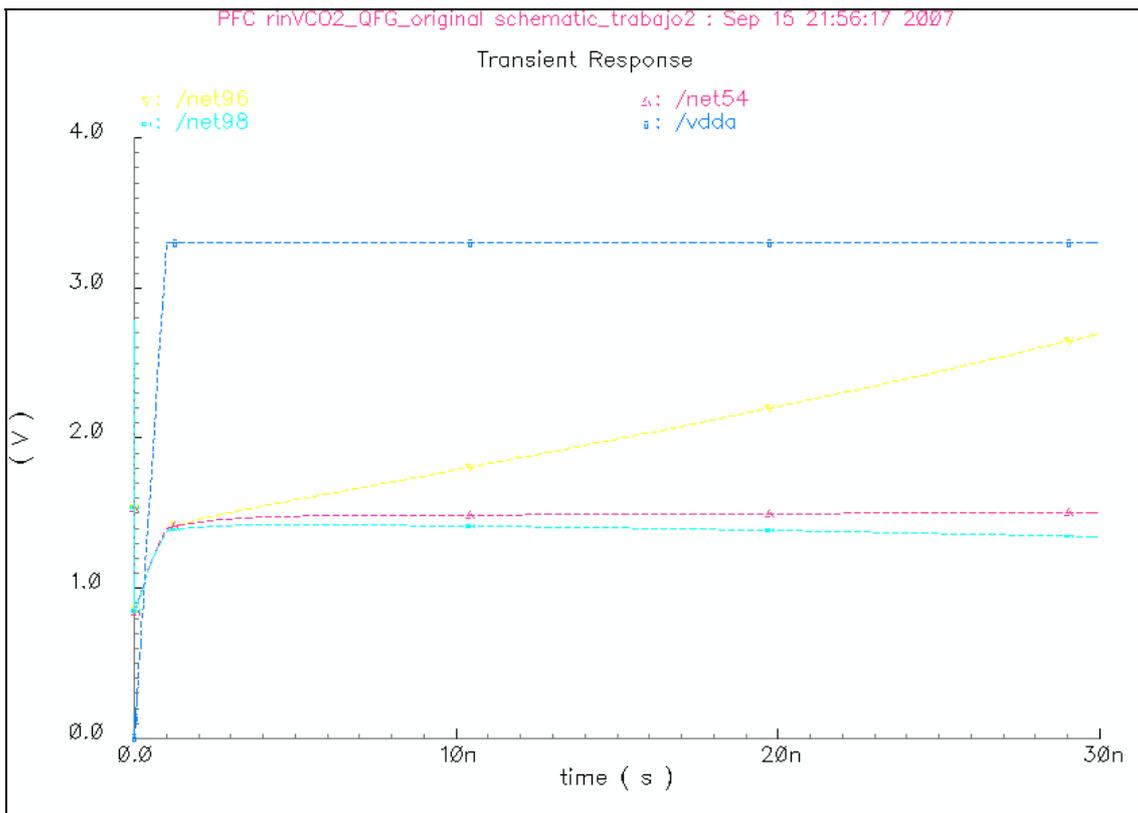
**Fig.:5.2.7 Salida para  $v_p=2.75v$ ,  $v_n=2v$ ,  $I_{starved}=10mA$ , 166.33 Mhz**

### 5.3.- Valores para salida oscilador en $VDD/2$

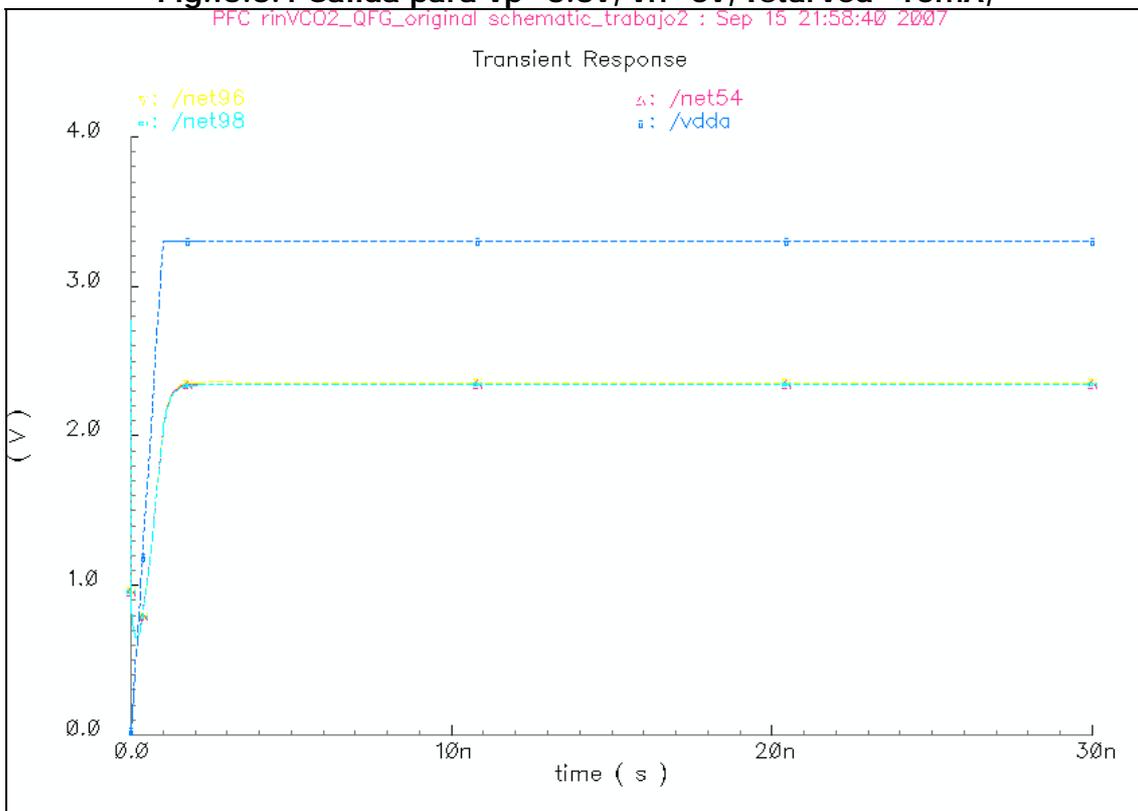
A continuación vamos a probar para que valores la salida de los osciladores está centrada en  $VDD/2=1.65v$ .

- Probamos primero para  $V_p=3.3v$  y  $V_n=0v$
- Probamos para  $V_n=0v$  y  $V_p=3.3v$

Para los dos valores anteriores, no hay oscilación como se muestran en las figuras siguientes 5.3.1 y 5.3.2. Los valores de  $v_p$  y  $v_n$  que centran la amplitud en  $V_{dd}/2$  son los de  $v_p=2.75v$  y  $v_n=2v$ , como se muestra en la figura 5.3.3 y que son los de referencia de nuestro oscilador

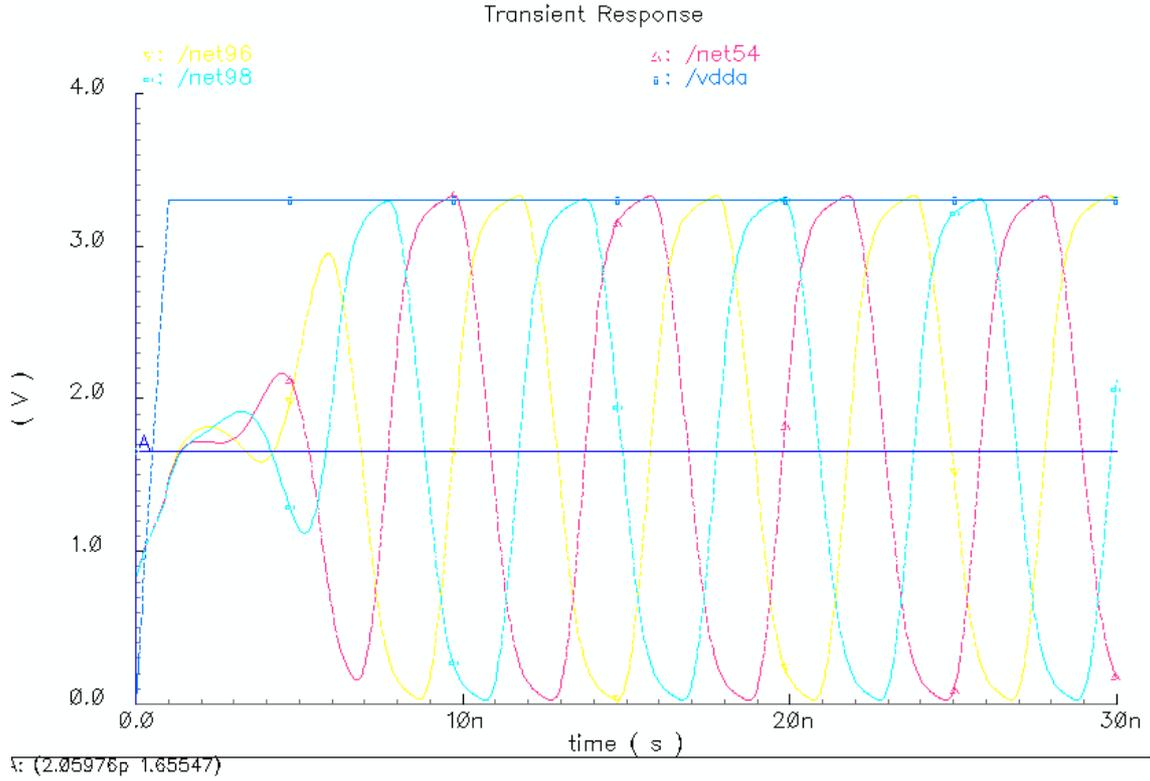


**Fig.:5.3.1 Salida para  $v_p=3.3v$ ,  $v_n=0v$ ,  $I_{starved}=10mA$ ,**



**Fig.:5.3.2 Salida para  $v_p=3.3v$ ,  $v_n=0v$ ,  $I_{starved}=10mA$ ,**

PFC rinVCO2\_QFG\_original schematic\_trabajo2 : Sep 15 21:47:48 2007



**Fig.:5.3.3 Salida para  $v_p=2.75v$ ,  $v_n=2v$ ,  $I_{starved}=10mA$ ,  $166.33 Mhz$**

## 5.4.-Análisis de la Densidad Espectral de Potencia (PSD)

De los estudios realizados anteriormente, no se observa que definan claramente al oscilador QFG, por lo que vamos a ampliarlos con el análisis de la PSD y finalmente compararlos con los otros osciladores estudiados anteriormente.

Partimos inicialmente con valores de  $v_p$  y  $v_n$  cercanos uno de ellos a la tensión umbral y medimos la PSD entre el primer y segundo armónico y del segundo armónico con el tercero

$v_p$	$v_n$	istarved	FMHz	PSD 1-2	PSD 2-3	Observaciones
1.5	3.3	2.7m	260	29.15	29.15	Valor inicial bueno
1.5	0.75v	5m	160	19.72	32.89	
1.6	0.75	5m	133	15.10	25.37	
1.7	0.75	5m	113	12.36	22.34	
1.8	0.75	5m	106	14.04	21.72	
1.9	0.75	5m	100	13.19	19.60	
2.0	0.75	5m	86	13.29	19.90	
2.1	0.75	5m	80	13.17	19.07	

Se observa que manteniendo  $v_n=0.75$  y aumentando  $v_p$  no se consigue mayor linealidad, sino al contrario, el valor que hace que la diferencia entre el 1er armónico y el tercero sea mayor de 30 dB es para  $v_p=0.5v$ ,  $v_n=0.75v$ ,  $istarved=5mA$ . Aumentamos ahora  $v_n$  manteniendo  $v_p$  en su valor más bajo de 1.5v.

$v_p$	$v_n$	istarved	FMHz	PSD 1-2	PSD 2-3	Observaciones
1.5	0.8	5m	160	17.01	29.03	
1.5	0.9	5m	166	16.94	28.31	
1.5	1	5m	166	15.65	25.94	NO HAY RESPUESTA
1.5	1.2	5m	180	14.62	25.01	
1.5	1.5	5m	193	15.05	24.37	
1.5	1.7	5m	200	15.12	24.88	
1.5	2	5m	220	15.69	26.45	
1.5	2.2	5m	233	18.45	28.01	
1.5	2.5	5m	253	20.01	29.37	
1.5	2.75	5m	273	23.76	28.90	
1.5	2.9	5m	280	23.78	29.16	
1.5	3.0	5m	280	25.40	28.75	
1.5	3.1	5m	290	24.33	28.72	
<b>1.5</b>	<b>3.3</b>	<b>5m</b>	<b>300</b>	<b>28.28</b>	<b>30.44</b>	

En la tabla anterior se observa que no se alcanza una diferencia mayor de 30 dB hasta que  $v_n=3.3v$ ,  $v_p=1.5v$ , e  $istarved=5m$ . Por lo

tanto tenemos dos valores para los cuales se hace mayor la linealidad superando los 30 dB entre el primer y tercer armónico

vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
<b>1.5</b>	<b>0.75v</b>	<b>5m</b>	<b>160</b>	<b>19.72</b>	<b>32.89</b>	
<b>1.5</b>	<b>3.3</b>	<b>5m</b>	<b>300</b>	<b>28.28</b>	<b>30.44</b>	

Estos valores son para una  $v_p=1.5v$  y un valor máximo y mínimo de  $v_n$  de 0.75v y 3.3v. A medida que aumentamos  $v_n$  aumenta la frecuencia y para valores próximos a 3.3v la linealidad.

Probamos ahora como varia con la intensidad para estos dos mismos valores de  $v_p$  y  $v_n$ .

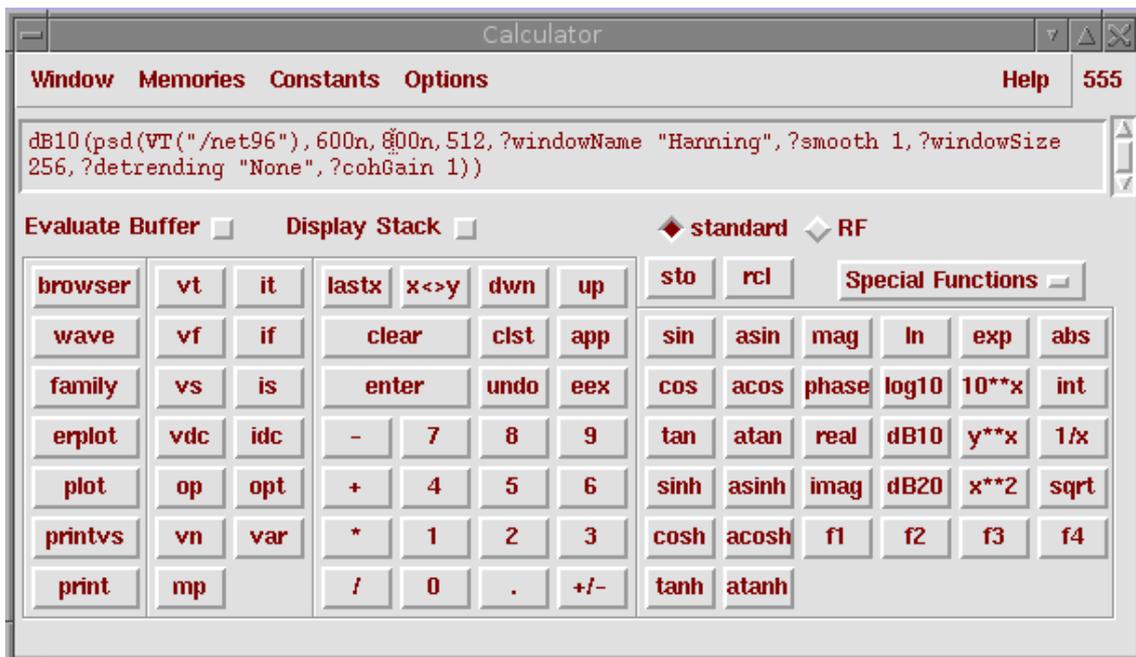
vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
1.5	0.75v	500u	100	19.05	34.08	
1.5	0.75v	700u	110	18.63	32.68	
1.5	0.75v	1m	120	18.77	32.04	
1.5	0.75v	1.2m	130	19.58	32.71	
1.5	0.75v	1.5m	140	20.04	31.91	
1.5	0.75v	1.7m	140	19.05	32.18	
1.5	0.75v	2m	150	17.80	31.46	
1.5	0.75v	2.2m	140	19.22	31.30	
1.5	0.75v	2.5m	150	19.01	31.71	
1.5	0.75v	2.7m	150	19.42	32.49	
1.5	0.75v	3m	160	18.38	30.83	
1.5	0.75v	3.5m	150	19.17	31.06	
1.5	0.75v	4m	160	19.32	32.72	
1.5	0.75v	4.5m	160	19.44	31.44	
1.5	0.75v	5m	160	19.74	33.28	
1.5	0.75v	10m	170	19.16	32.98	
1.5	0.75v	20m	180	20.30	33.73	
1.5	0.75v	30m	180	21.81	37.65	
1.5	0.75v	40m	180	22.08		NO APARACE DIFERENCIADO EL 3ER ARMONICO

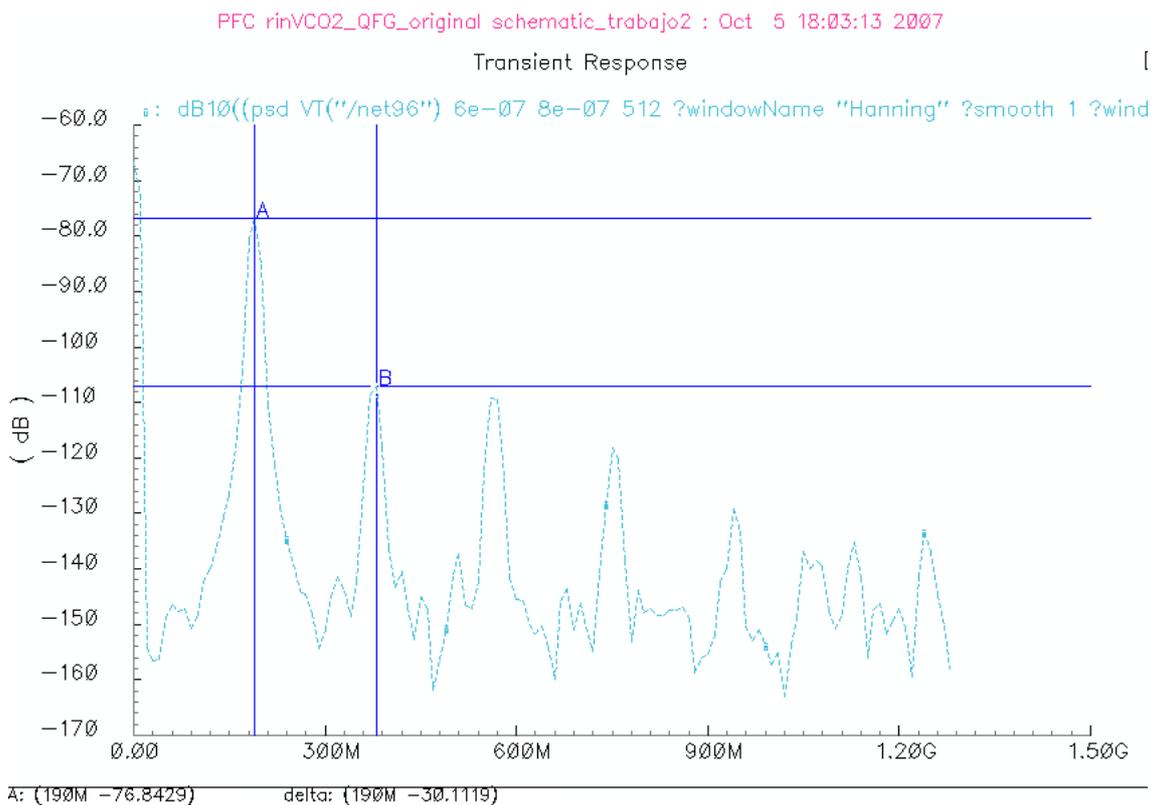
vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
1.5	3.3v	500u	40	32.69	22.81	
1.5	3.3v	700u	70	35.19	24.49	
1.5	3.3v	1m	110	34.98	28.57	
1.5	3.3v	1.2m	140	31.08	29.92	
<b>1.5</b>	<b>3.3v</b>	<b>1.5m</b>	<b>170</b>	<b>30.24</b>	<b>31.84</b>	
<b>1.5</b>	<b>3.3v</b>	<b>1.7m</b>	<b>190</b>	<b>30.11</b>	<b>32.31</b>	
1.5	3.3v	2m	210	29.44	31.03	

1.5	3.3v	2.2m	230	29.47	30.11	
1.5	3.3v	2.5m	240	29.56	30.11	
1.5	3.3v	2.7m	250	27.63	29.43	
1.5	3.3v	3m	260	27.67	28.82	
1.5	3.3v	3.5m	270	28.27	29.49	
1.5	3.3v	4m	280	28.04	29.63	
1.5	3.3v	4.5m	290	27.92	29.48	
1.5	3.3v	5m	300	27.78	28.65	
1.5	3.3v	6m	310	28.41	29.65	
1.5	3.3v	7m				NO HAY SALIDA HASTA LOS 4u

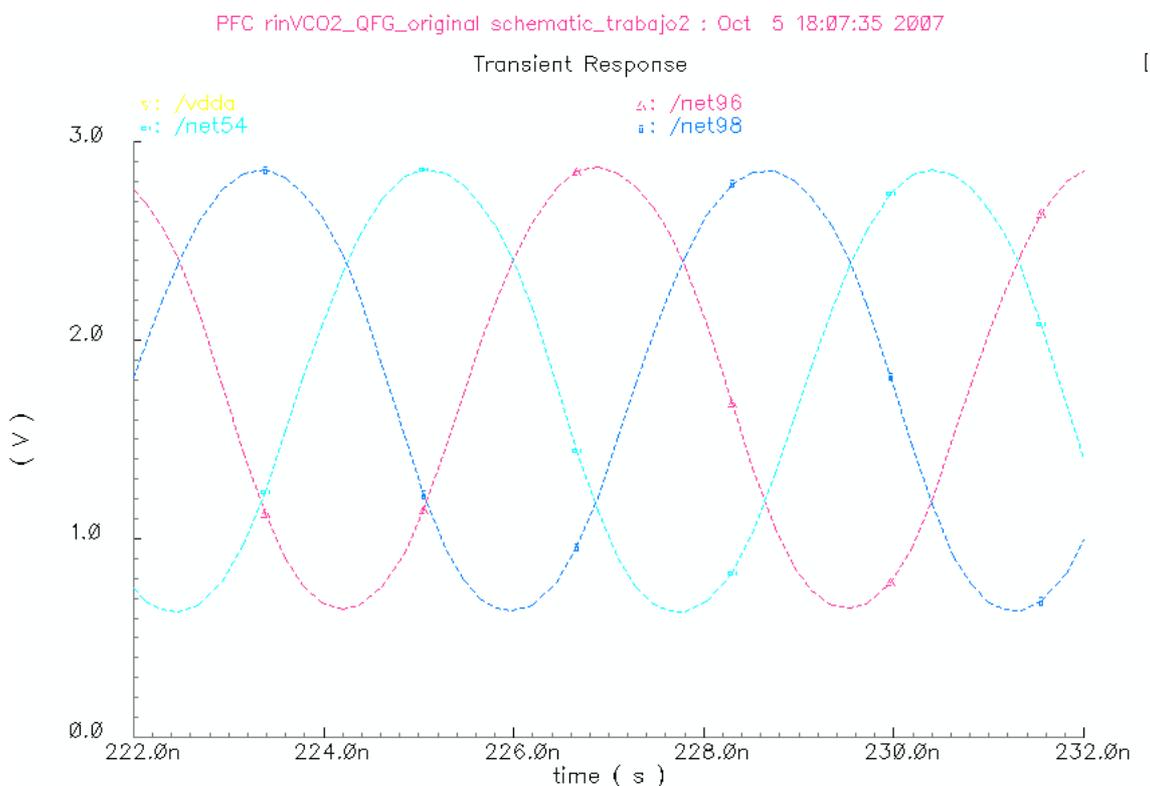
A partir de 6.5mA, deja de haber salida para  $t > 1\mu$ .

Podemos concluir considerando el mejor comportamiento del oscilador para los valores de  $v_p=1.5$ ,  $v_n=3.3v$  e  $i_{starved}=1.5-1.7mA$ . Valores de  $t_{tran}=1-1\mu$ , Calculator PSD=600u-800u





**Fig.:5.4.1 Salida PSD para  $v_p=1.5v$ ,  $v_n=3.3v$ ,  $I_{starved}=1.7mA$ , 190 Mhz  
Dif  $1^\circ-2^\circ=30.11db$ ,  $2^\circ-3^\circ=32.31db$**



**Fig.:5.4.2 Salida SENOIDAL para para  $v_p=1.5v$ ,  $v_n=3.3v$ ,  $I_{starved}=1.7mA$ ,  
190 Mhz Dif  $1^\circ-2^\circ=30.11db$ ,  $1^\circ-3^\circ=32.31db$**

## 5.5.-Calculo y comparación del THD de los diferentes circuitos VCO estudiados.

Realizamos a continuación el cálculo de THD de los siguientes circuitos con el fin de compararlos entre si y finalmente concluir con el mejor comportamiento de los analizados

- VCO con inversores NO programable
- VCO programable con Istarved
- VCO con Transistores FG
- VCO con transistores QFG

Para una misma intensidad de istarved 1mA

### 5.5.1.-CIRCUITO VCO NO PROGRAMABLE

vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
		1mA	365	29.64	21.77	NO HAY PROGRAMACION DE CORRIENTE NI TENSION

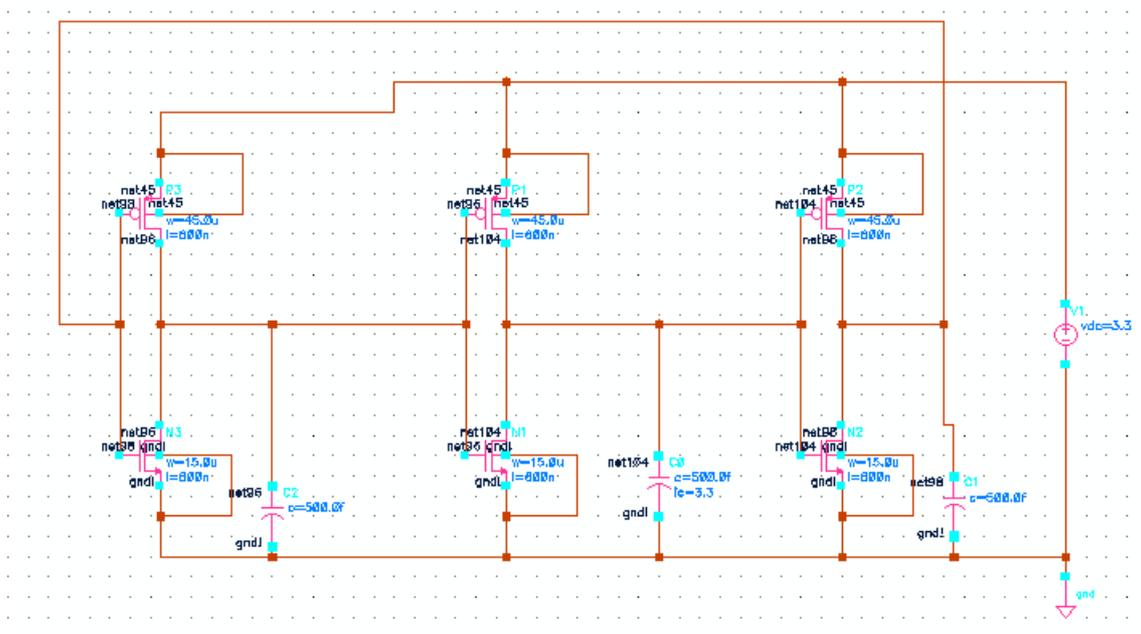
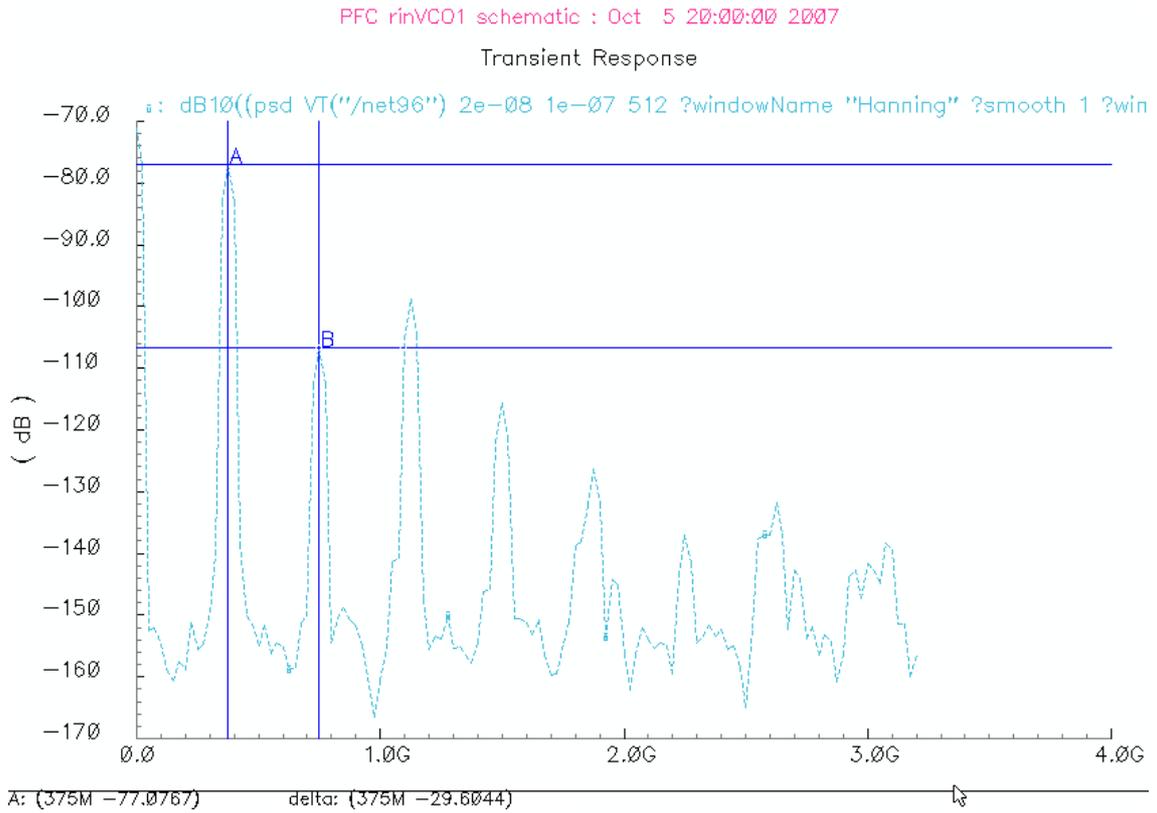
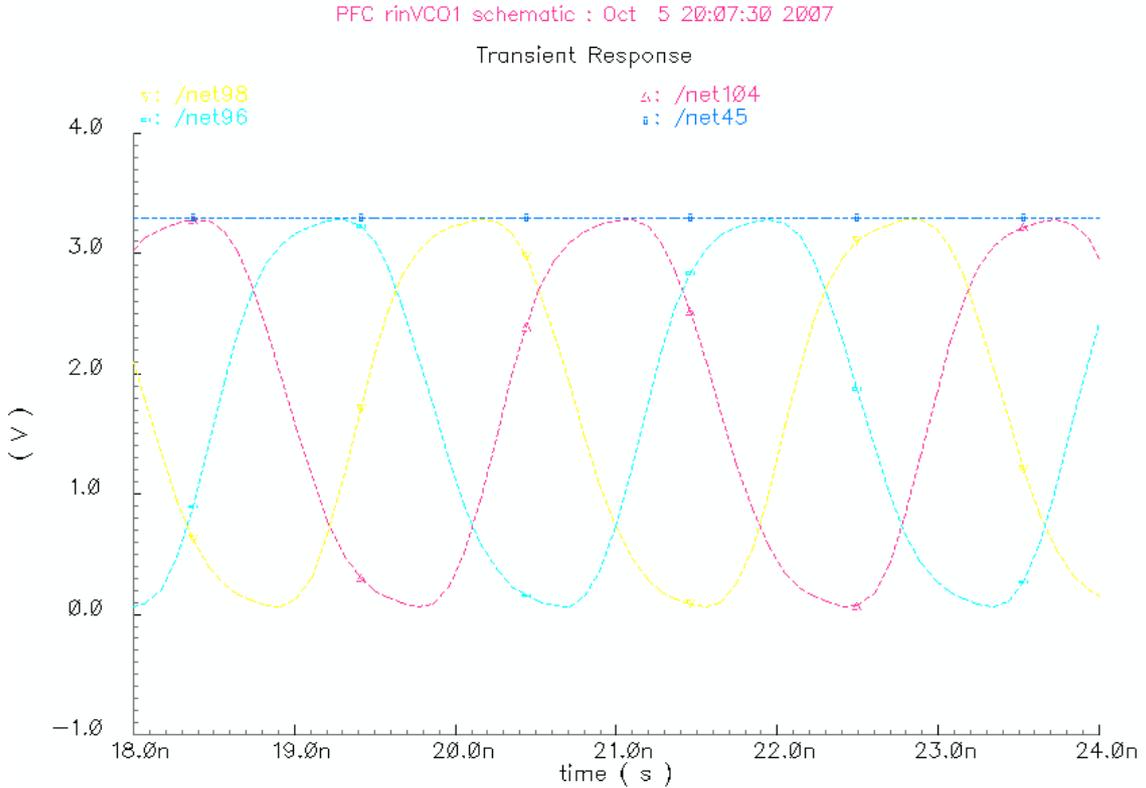


Fig.:5.5.1.1 Cicuito VCO NO Programable



**Fig.:5.5.1.2 Cicuito VCO NO Programable, 375 Mhz Dif 1°-2°=29.64db, 2°-3°=21.77db**



**Fig.:5.5.1.3 Salida SENOIDAL cto. VCO , 375 Mhz Dif 1°-2°=29.64db, 1°-3°=21.77db**

5.5.2.-CIRCUITO VCO PROGRAMABLE CON ISTARVED

vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
-	-	1mA	120	31.77	26.00	NO HAY PROGRAMACION DE TENSION

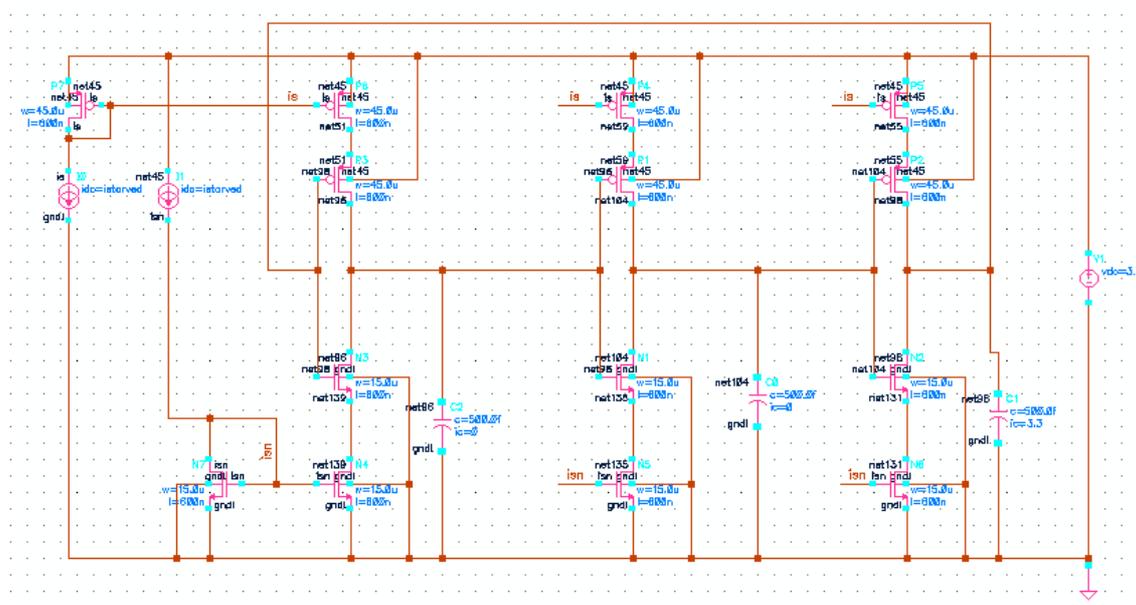
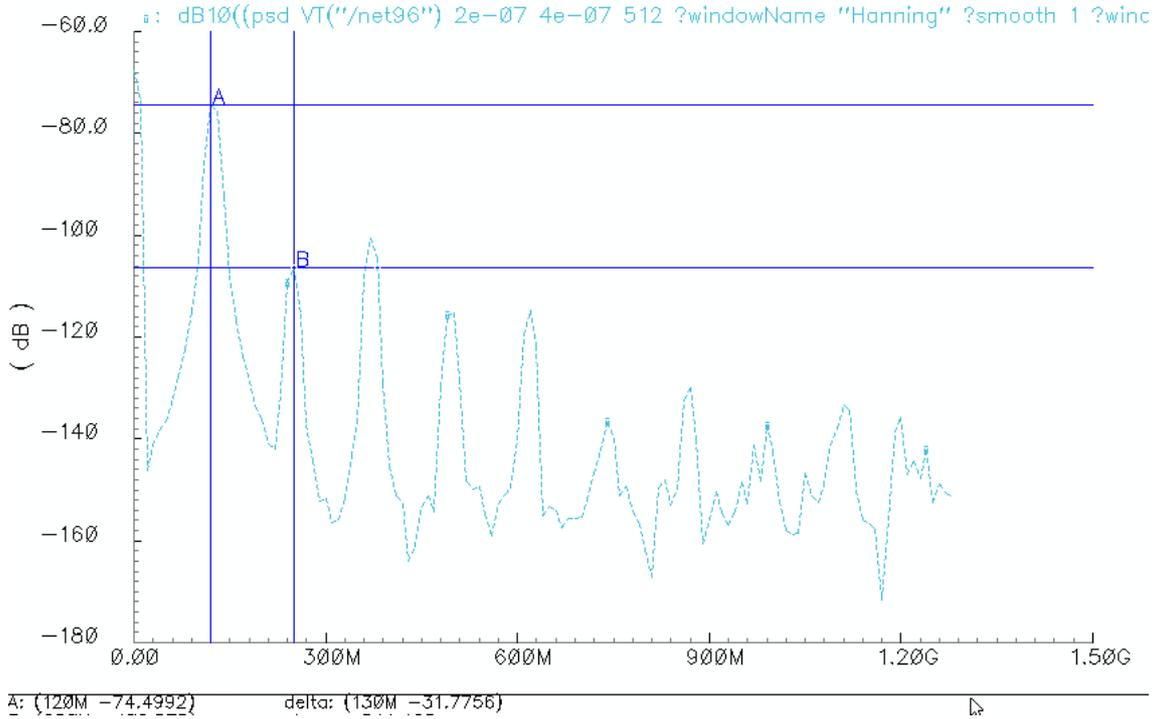


Fig.:5.5.2.1 Cicuito VCO Programable con istarved

PFC rinVCO2 schematic : Oct 5 20:27:46 2007

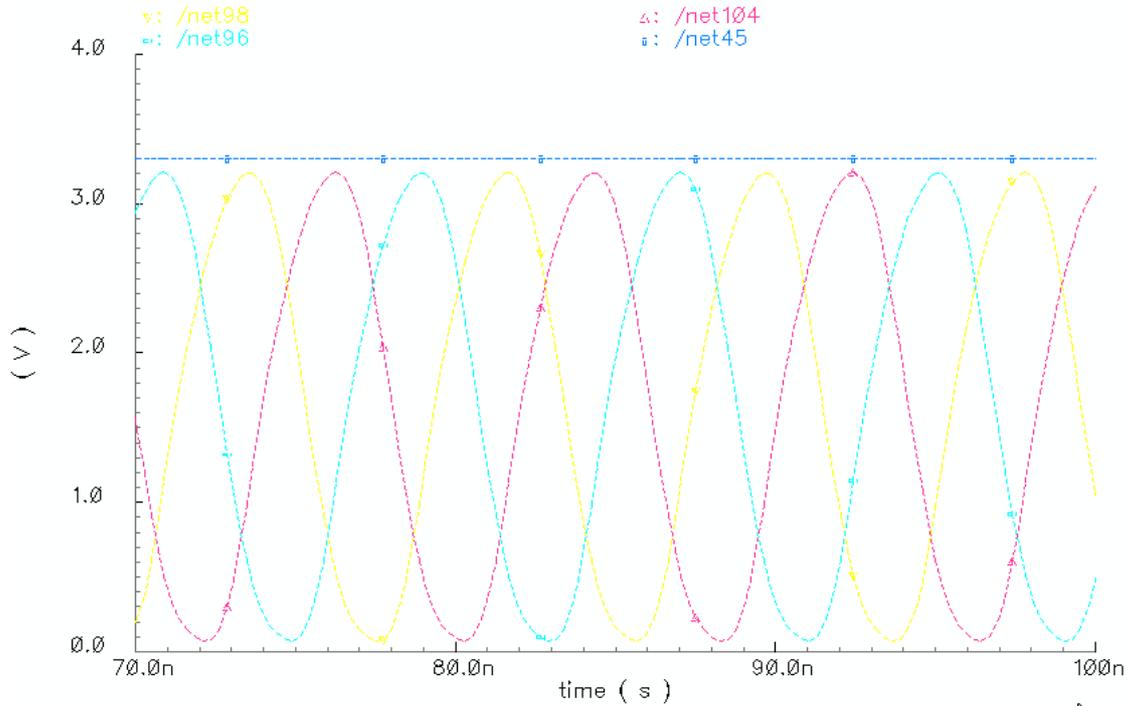
Transient Response



**Fig.:5.5.2.3 Circuito VCO Programable con istarved, 120 Mhz Dif 1°-2°=31.77db, 1°-3°=26.01db**

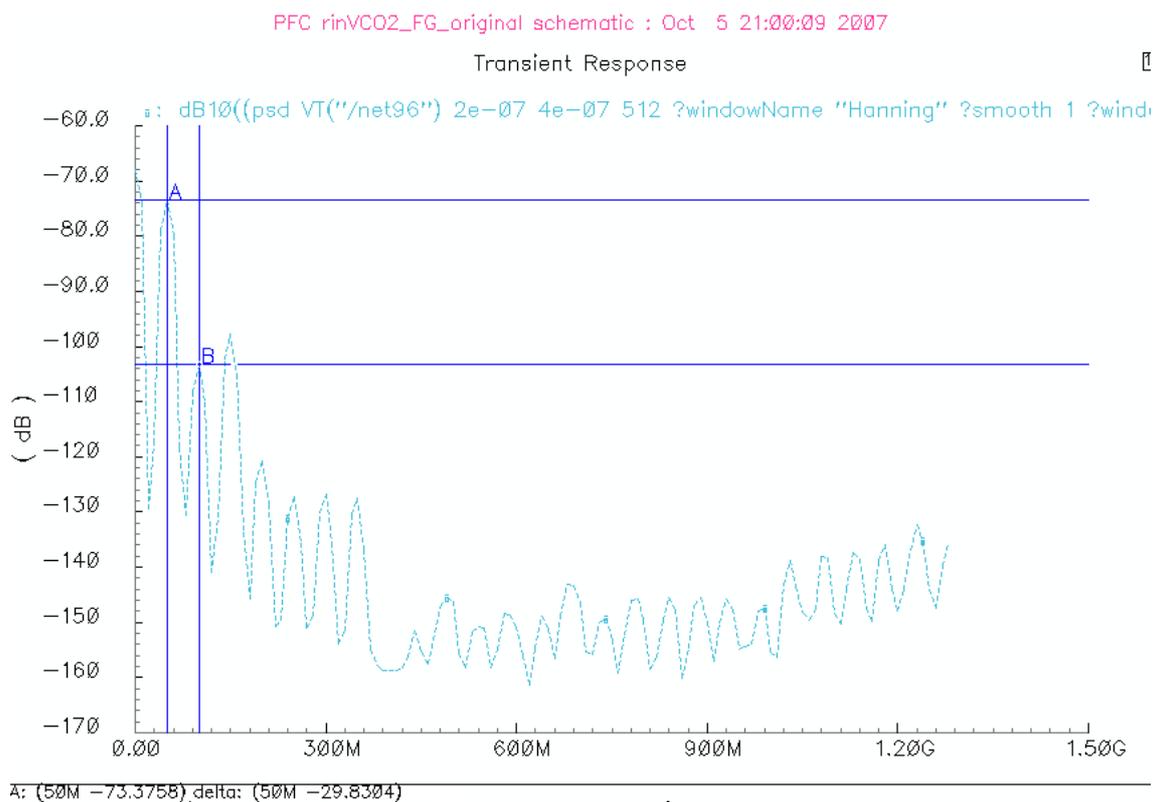
PFC rinVCO2 schematic : Oct 5 20:33:32 2007

Transient Response

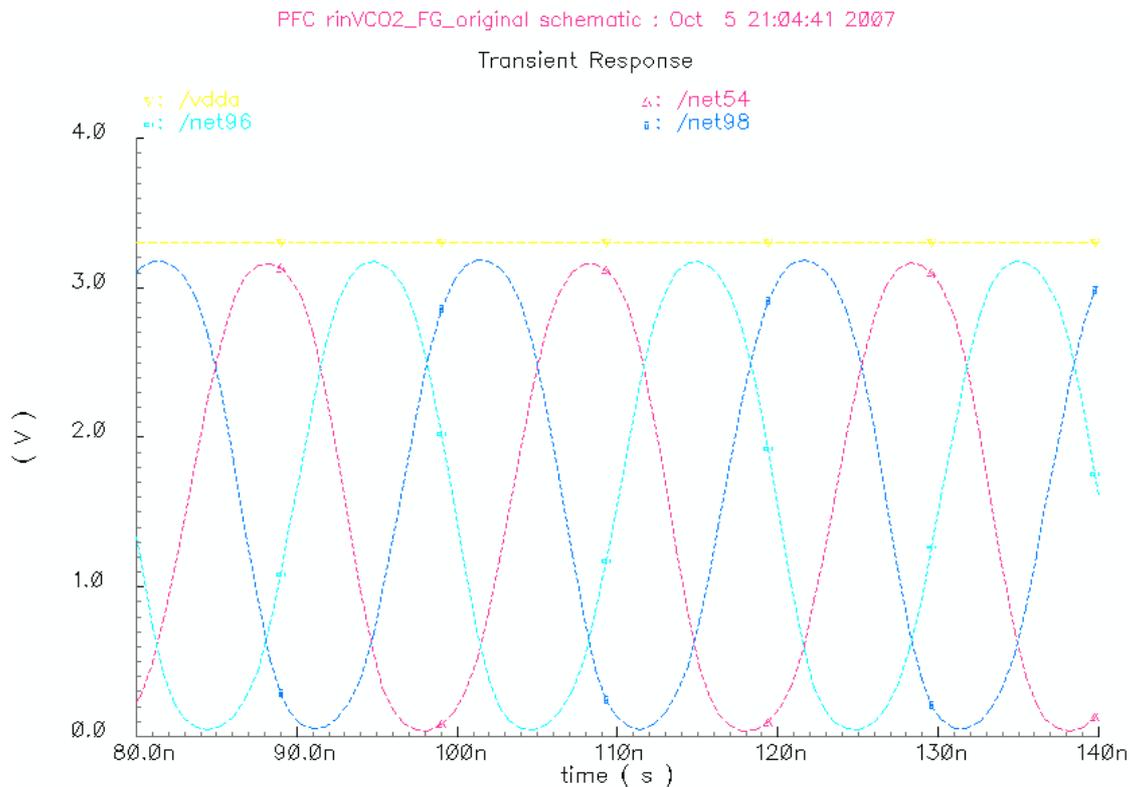


**Fig.:5.5.2.4 Salida SENOIDAL Circuito VCO Programable con istarved, 120 Mhz Dif 1°-2°=31.77db, 1°-3°=26.01db**





**Fig.:5.5.3.2 Cicuito VCO Programable FG, 50 Mhz Dif  $1^\circ-2^\circ=29.83\text{db}$ ,  $2^\circ-3^\circ=24.27\text{db}$**



**Fig.:5.5.3.3 Salida SENOIDAL Cicuito VCO Programable FG, 50 Mhz Dif  $1^\circ-2^\circ=29.83\text{db}$ ,  $2^\circ-3^\circ=24.27\text{db}$**

5.5.4.-CIRCUITO VCO PROGRAMABLE QFG

vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	Observaciones
1.5	3.3	1mA	110	34.51	28.85	

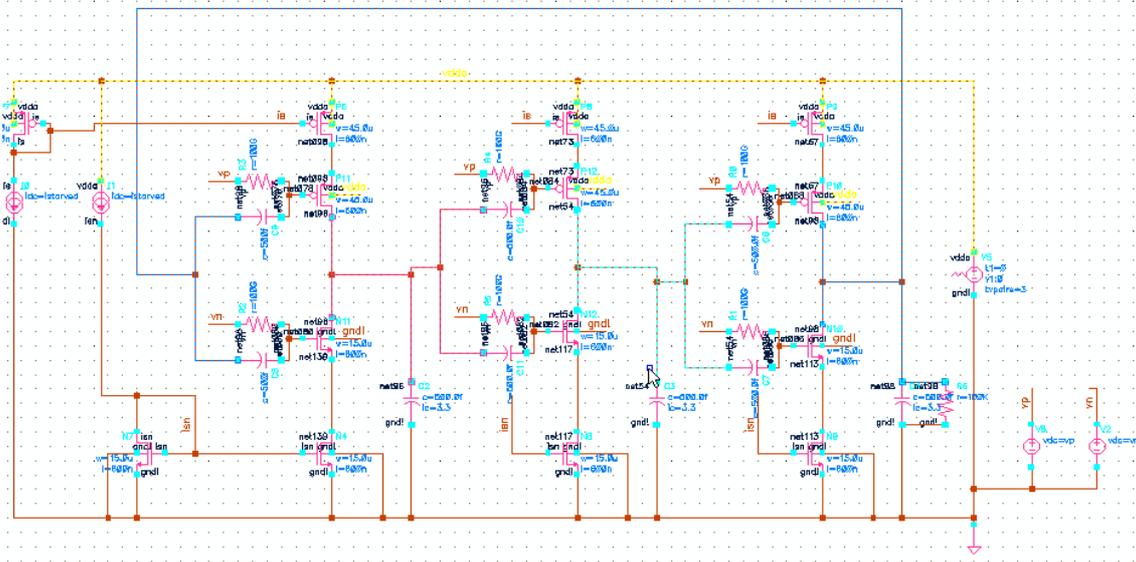
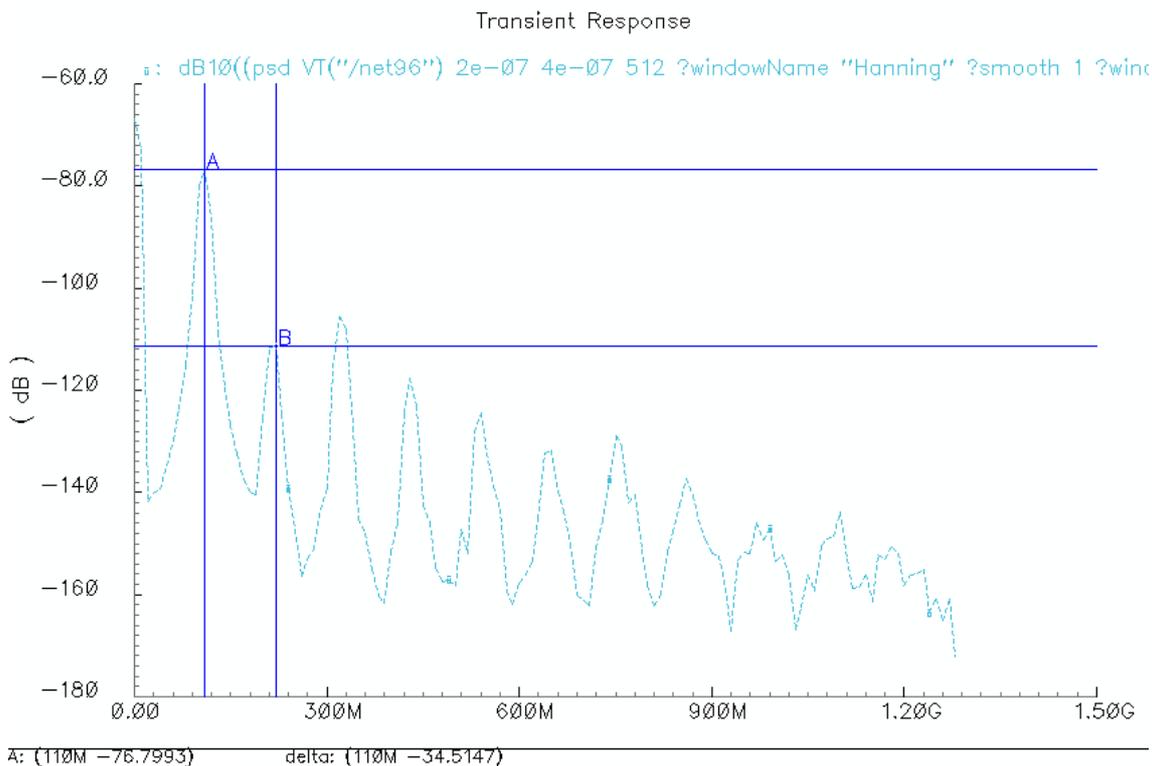


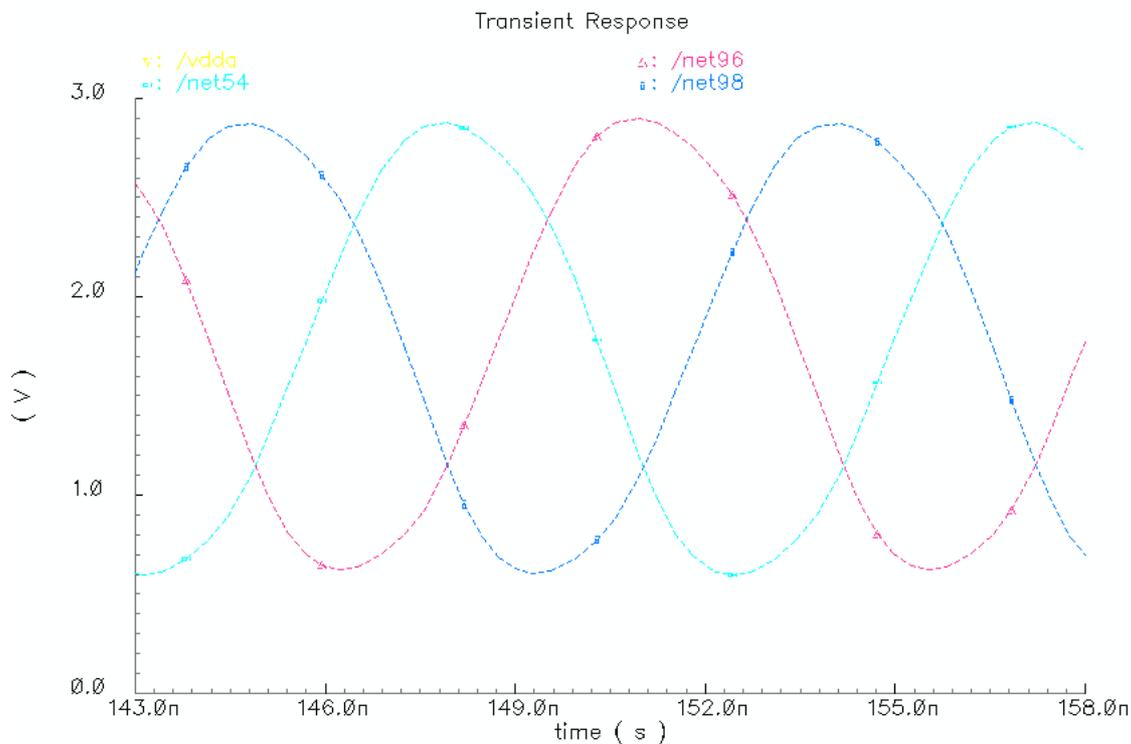
Fig.:5.5.4.1 Salida Cicuito VCO Programable QFG

PFC rinVCO2\_QFG\_original schematic\_trabajo2 : Oct 5 22:09:38 2007



**Fig.:5.5.4.2 Salida Cicuito VCO Programable QFG, 110Mhz Dif 1°-2°=34.51, 1°-3°=28.85db**

PFC rinVCO2\_QFG\_original schematic\_trabajo2 : Oct 5 22:15:17 2007



**Fig.:5.5.4.3 Salida SENOIDAL Cicuito VCO Programable QFG, 110Mhz Dif 1°-2°=34.51, 2°-3°=28.85db**

## 6.-RESUMEN-CONCLUSIONES

A continuación se presenta una tabla resumen de los diferentes circuitos VCO estudiados en el capítulo anterior.

Atendiendo a la siguientes relaciones, realizamos el cálculo de la THD ( Distorsión Armónica Total).

0,1%-----→ 60dB

1%-----→ 40 dB

10%-----→ 20 dB

Circuito	vp	vn	istarved	FMhz	PSD 1-2	PSD 2-3	THD
VCO no progrmable	-	-	-	365	29.64	21.77	5.18%
VCO programable con Istarved	-	-	1mA	120	31.77	26.00	4.11%
VCO con Transistores FG	1.5	1.7	1mA	50	29.83	24.27	5.085%
VCO con transistores QFG	1.5	3.3	1mA	110	34.51	28.85	2.74%

Como podemos comprobar ninguno de los circuitos está por debajo del valor deseable en linealidad del 1%. De todos modos el valor que más se acerca el del 2.74% correspondiente al circuito VCO basado en transistores QFG, así mismo la frecuencia en esta circuito está muy cercana al VCO programable y supera en el doble al circuito VCO con transistores FG.